

2007年3月19日

ナノCMOS時代のアナログ技術

— A/D変換器高性能化アルゴリズムを例 —

群馬大学 工学部 電気電子工学科

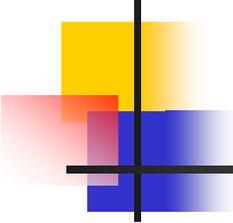
小林春夫

連絡先: 〒376-8515 群馬県桐生市天神町1丁目5番1号

群馬大学工学部電気電子工学科

電話 0277 (30) 1788 FAX: 0277 (30)1707

e-mail: k_haruo@el.gunma-u.ac.jp



発表内容

ナノCMOS時代のアナログ技術 私論

アナログテスト技術

逐次比較近似AD変換器

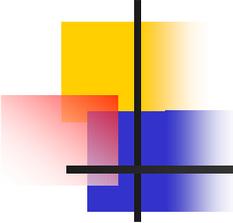
通信用 AD変調器

時間領域AD変換器

パワー回路、MEMS技術

まとめ

[付録] サンプルホールド回路でのノイズ



発表内容

ナノCMOS時代のアナログ技術 私論

逐次比較近似AD変換器

通信用 AD変調器

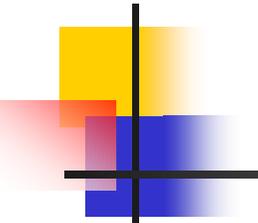
時間領域AD変換器

アナログテスト技術

パワー回路、MEMS技術

まとめ

[付録] サンプルホールド回路でのノイズ



半導体産業 急成長か成熟か

ISSCC 2007 TSMCの基調講演

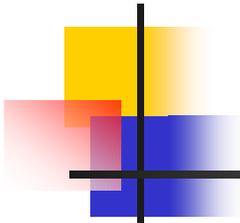
最近の半導体産業の平均成長率が鈍化

半導体産業が**成熟産業**になるという議論を聞く。

「すでに成熟産業になりつつある」、

「10年後になる」、「15年後になる」等

様々な意見を ちまたで聞く。



集積回路の限界

ISSCC2007 パネル討論

集積回路の限界について、
誰もはっきりとはわかっていない。
物理学的、技術的、経済的要因
そろそろ限界が見えそうで、しかし
それがはっきりとはわからない状態で、
巨大な産業が進み、
大きな技術開発がなされている。

デジタル・アシスト・アナログ技術

ISSCC2007 イブニングセッション

CMOS微細化にともない

→ デジタルは大きな恩恵

高集積化、低消費電力化、高速化、低コスト化

→ アナログは必ずしも恩恵を受けない

電源電圧低下、出力抵抗小、ノイズ増大

「デジタル技術を用いて

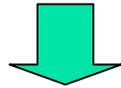
アナログ性能向上する技術」が重要

「デジタルリッチ・アナログミニマムな構成」が重要

半導体プロセスと回路

— 目的と手段 —

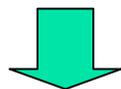
「デジタルは半導体プロセス微細化のトレンドに適合。
アナログは適しているとは限らない。」



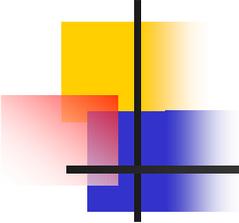
半導体ロードマップの呪縛にかかった発想・表現

半導体プロセスの微細化はデジタルの低消費電力・
高速・高集積化・低コスト化のために行う。

デジタルでメリットなければ半導体微細化をする理由なし。



微細化プロセスでもデジタルは必ず動く、高性能・低コスト。



信号処理技術による アナログ回路性能向上

冗長性によるデジタル誤差補正、
多数決回路、符号理論

ADC/DACのキャリブレーション

静的システム信号処理

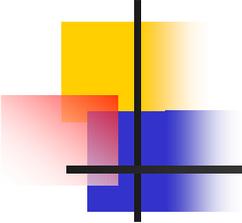
RF回路のキャリブレーション

動的システム信号処理

サンプリング技術

サブサンプリング、バンドパスサンプリング

周波数拡散技術



計測・制御とアナログ回路

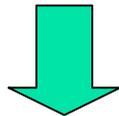
計測器(電子計測器)

制御システム(ファクトリーオートメーション):

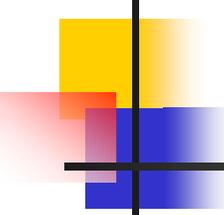
➡ アナログ回路は重要

アナログ回路内:

計測技術、制御技術の考え方がより重要



チップ内計測制御技術



制御技術とアナログ回路

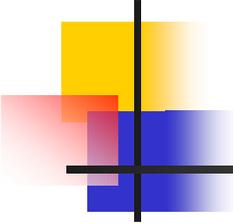
微細CMOSではバイアス回路が重要

バイアス電圧制御(regulation)

自動可変ゲインアンプ(AGC)

電源回路の制御

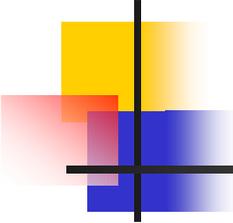
ラプラス変換、ステップ応答、ボーデ線図、
ナイキスト安定判別等の線形システム理論



計測技術とアナログ回路

ADC/DACの非線形性、
電源電圧、電流、温度、
基板ノイズ、ジッタ・タイミングの
“チップ内計測技術”がより重要。
計測した値に基づき、
“チップ内制御・信号処理・校正”を行う。

アナログ回路のテスト法・テスト容易化設計も
重要



発表内容

ナノCMOS時代のアナログ技術 私論

逐次比較近似AD変換器

通信用 AD変調器

時間領域AD変換器

アナログテスト技術

パワー回路、MEMS技術

まとめ

[付録] サンプルホールド回路でのノイズ

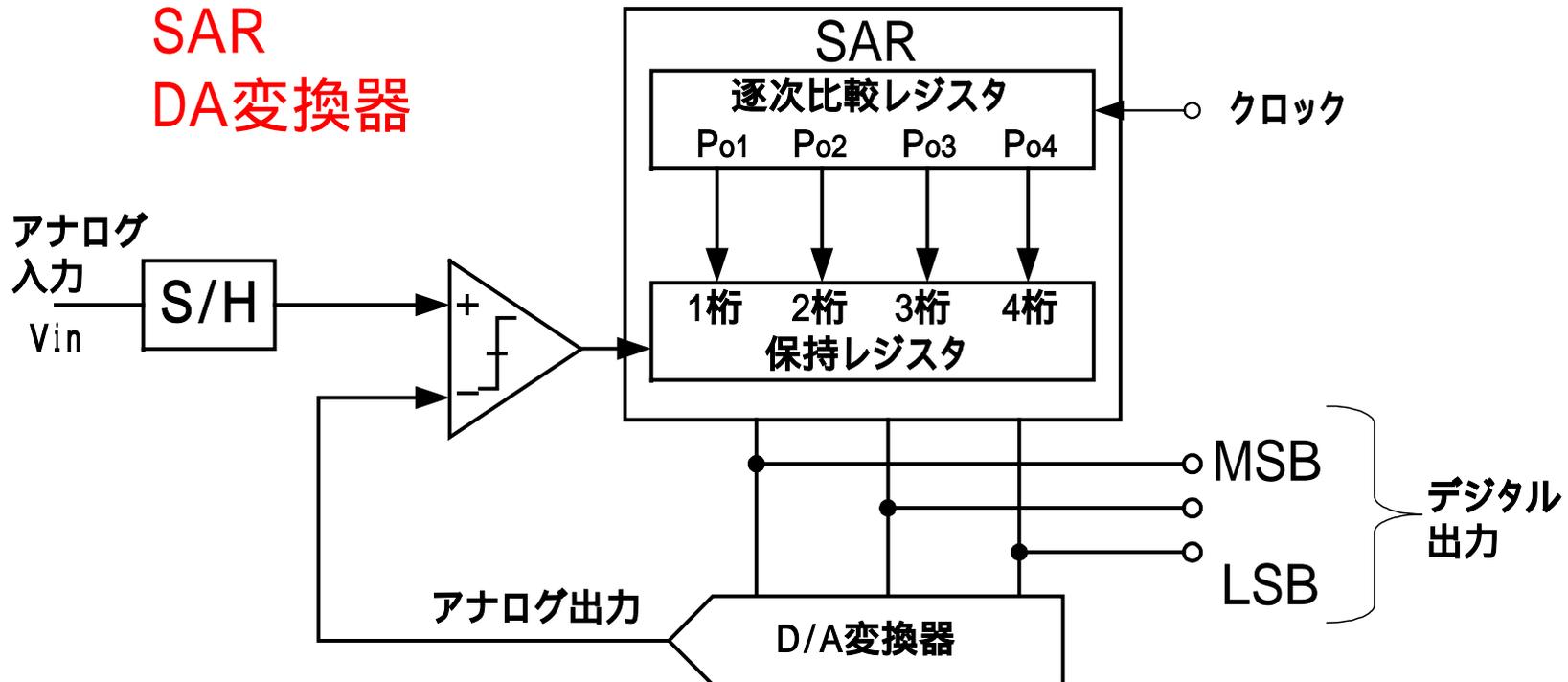
逐次比較形AD変換器

Successive Approximation Register (SAR) ADC

構成要素

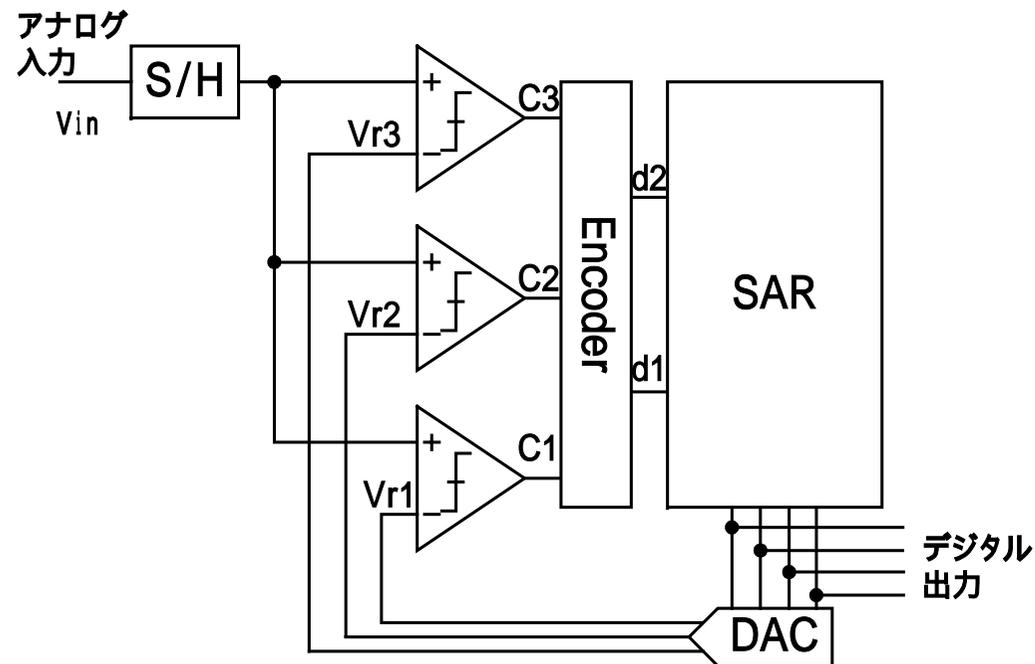
S / H回路
コンパレータ
SAR
DA変換器

オペアンプ不要な
微細CMOS低電圧動作可
再注目



SAR ADC 冗長性を用いたデジタル誤差補正

武蔵工大(堀田Gr), 群馬大, STARC 共同研究 AVLSIW2006発表

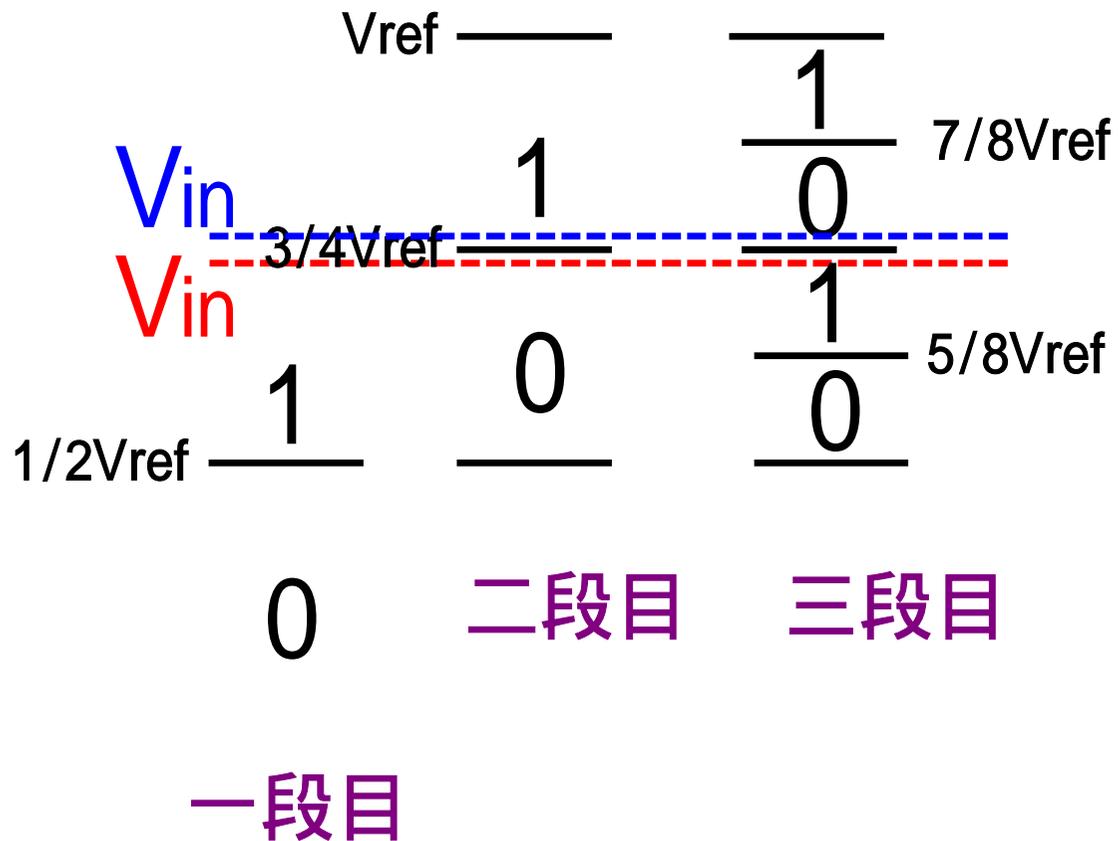


三個のコンパレータを使用し、
比較電圧範囲に冗長性を持たせる

前段でのエラーは後段でデジタル補正可能

1個のコンパレータによる 逐次比較AD変換

- 従来法 -



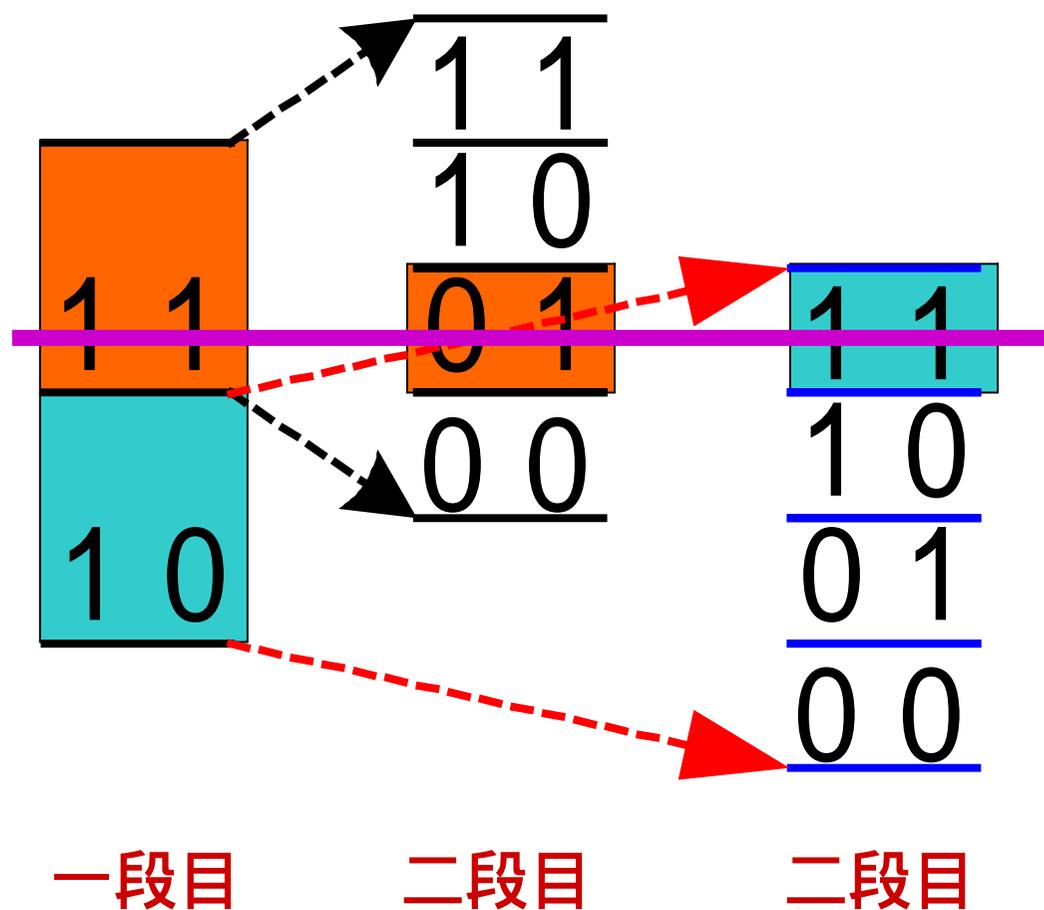
ある段で間違えると
後段で補正ができない

正解

不正解

3個のコンパレータによる デジタル誤差補正アルゴリズム

— 提案法 —

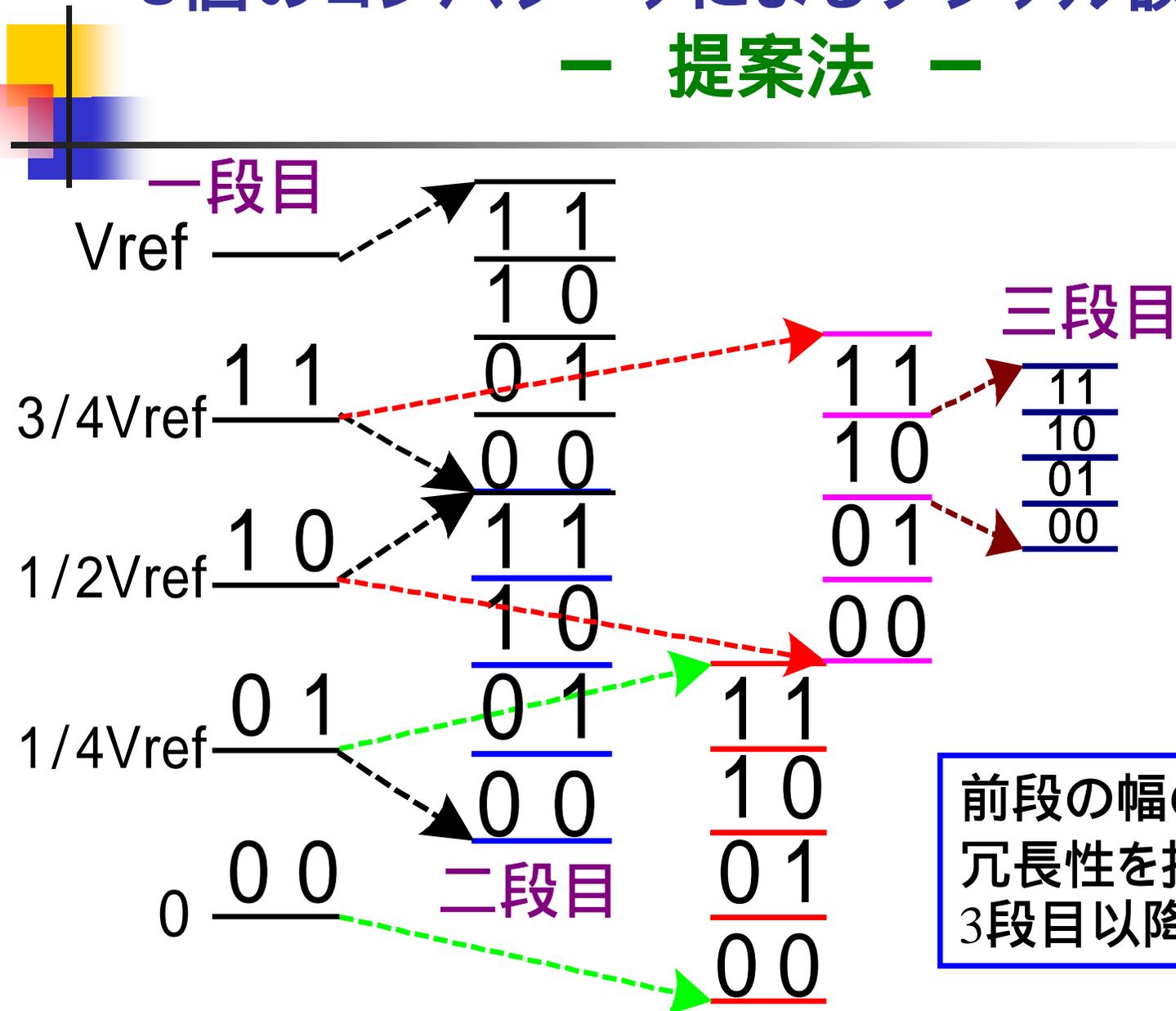


11 01の場合と
10 11の場合は
同じデジタル値
1 1 0を出力

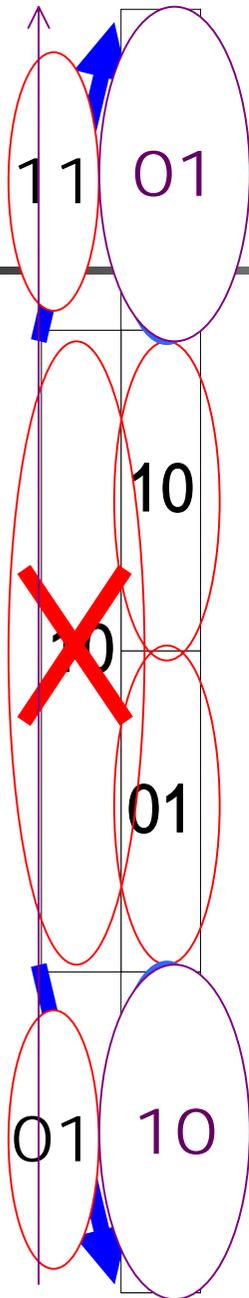
Orange box: 正解 (Correct solution)
Cyan box: 不正解 (Incorrect solution)

3個のコンパレータによるデジタル誤差補正

— 提案法 —



デジタル誤差補正の原理



10 10、01
10 00、11 ×

10 11 の場合
前段を11 現在段を01に変更

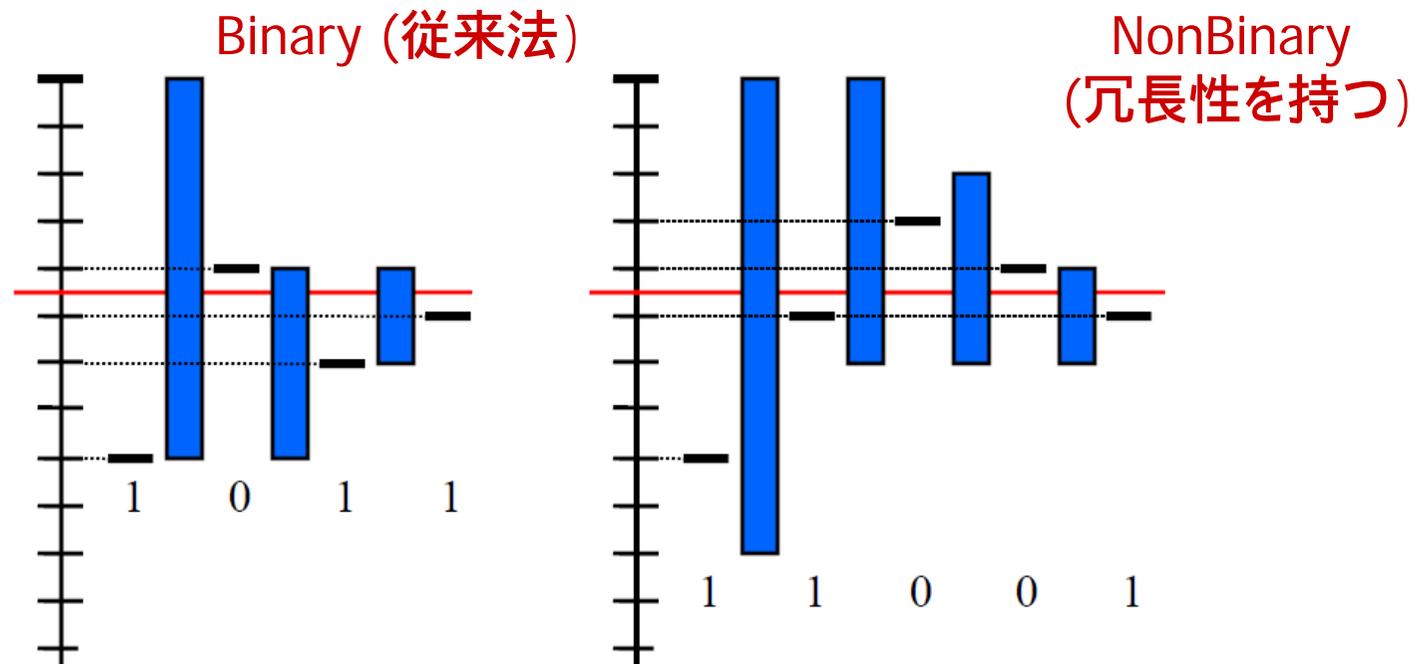
10 00 の場合
前段を01 現在段を10に変更

非2進逐次比較近似ADC

時間領域の冗長性を利用したデジタル誤差補正

出典: [1] F. Kuttner (Infineon) A 1.2V 10b 20MS/S Non-Binary SAR ADC in 0.13um, ISSCC (2002).

[2] M. Heserner 他 (Infineon) A 14b 40MS/S Redundant SAR ADC with 480MHz Clock in 0.13um, ISSCC (2007).



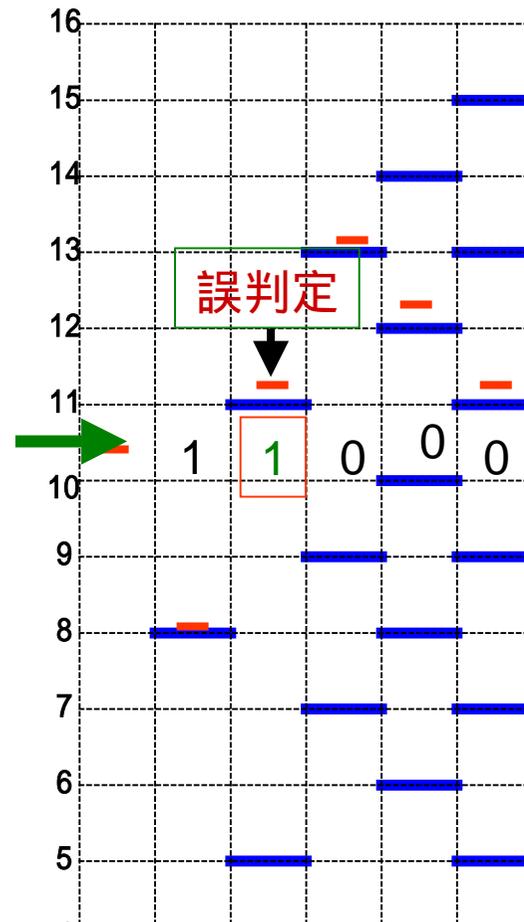
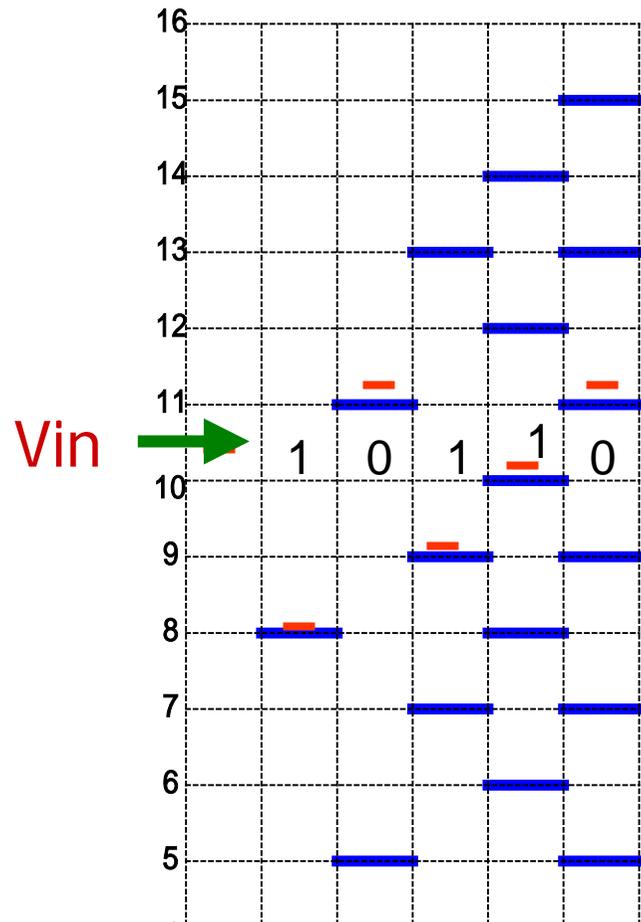
4ビットADC

$10 < V_{in} < 11$ の場合

5サイクルで2進4ビット出力

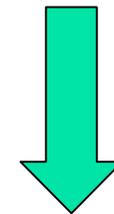
誤判定なし

誤判定あり



10110

11000



4bit 正解出力

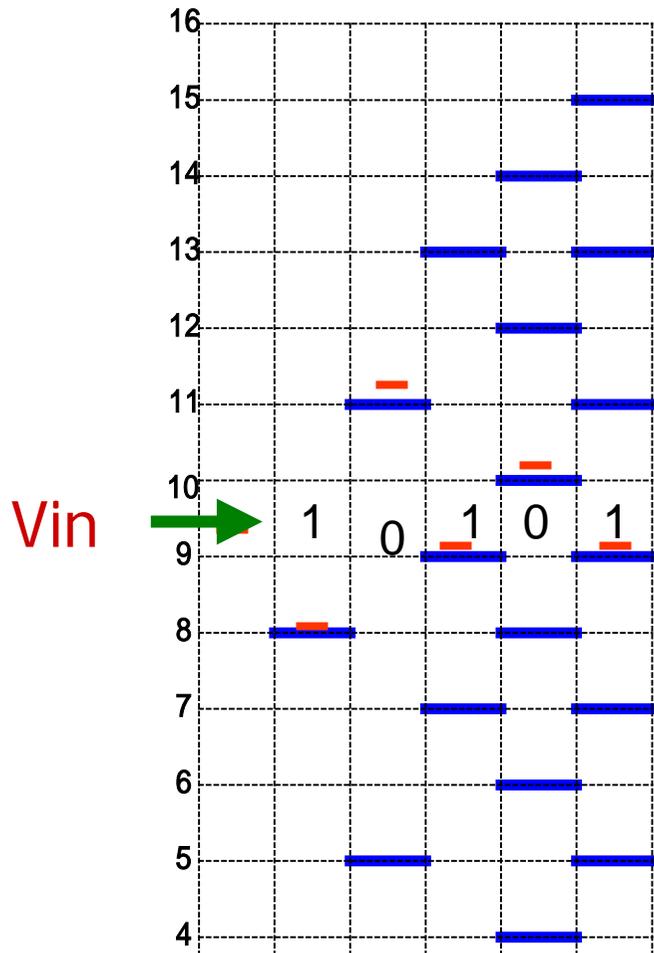
1010

4ビットADC

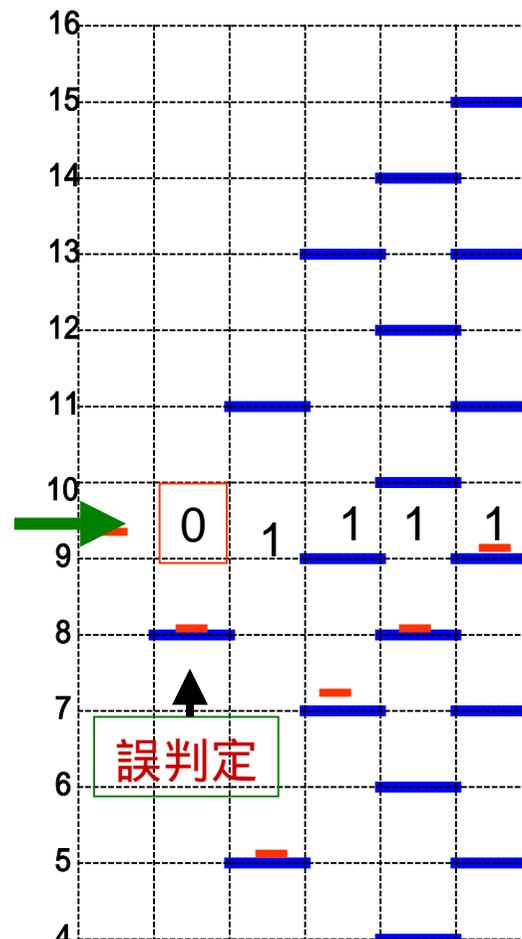
$9 < V_{in} < 10$ の場合

5サイクルで2進4ビット出力

誤判定なし

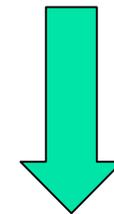


誤判定あり



10101

01111



4bit 正解出力
1001

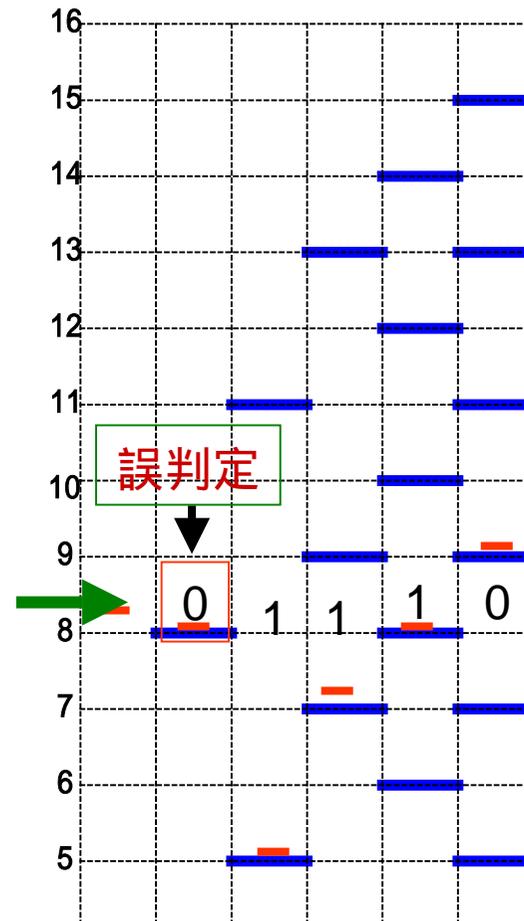
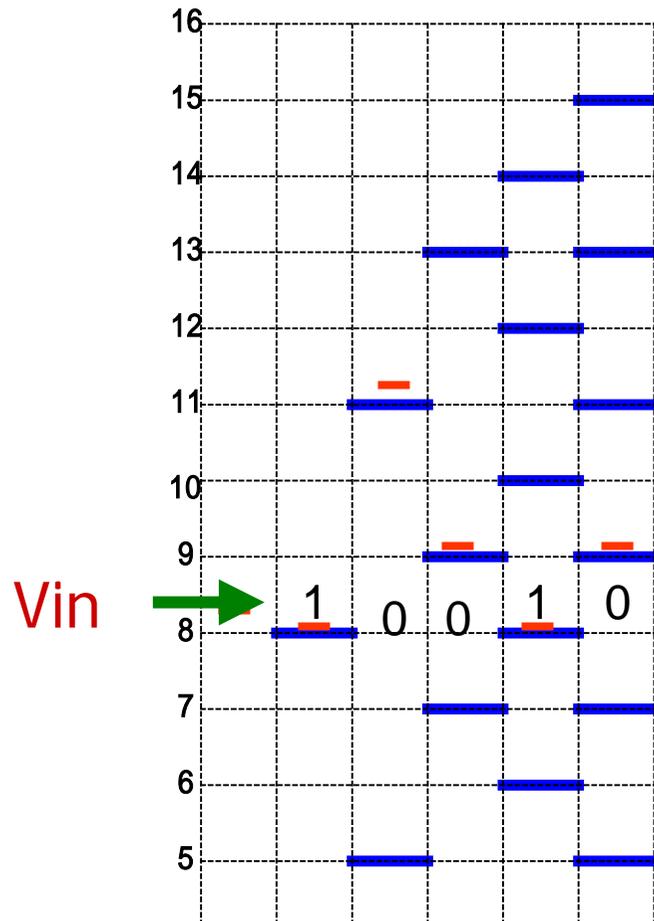
4ビットADC

$8 < V_{in} < 9$ の場合

5サイクルで2進4ビット出力

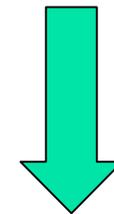
誤判定なし

誤判定あり



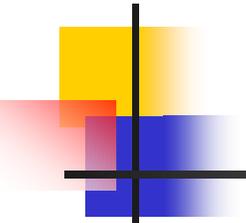
10010

01110



4bit 正解出力

1000



デジタルでアナログ回路高速化 の問題を解く

逐次比較近似ADCでのデジタル誤差補正

3ビット比較器

非2進

➡ 高速クロック使用、判定エラーは補正可

インターリーブADC

キャリブレーション

オープンループで歪みをデジタル補正

弱いフィードバックでデジタル補正

オープンループは高速だが精度です

ADC/DAC キャリブレーション

— 計測、信号処理技術 —

逐次比較近似ADC、パイプラインADC



フィードバック部の内部DACの線形性が重要



逐次比較ADC, パイプラインADC自身を
測定用ADCとして用いてDACキャリブレーション

その測定用ADCとDACの要求される線形性の
関係の明確化が重要

電流源DACの自己校正法

— 電流源の並び替え —

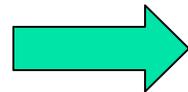
上位7ビットがセグメント、下位7ビットがバイナリ

電流セル型DAC

上位7ビット電流セルの大小の並び替え

(このために電流コンパレータ1個のみでよい)

20個余分な電流源



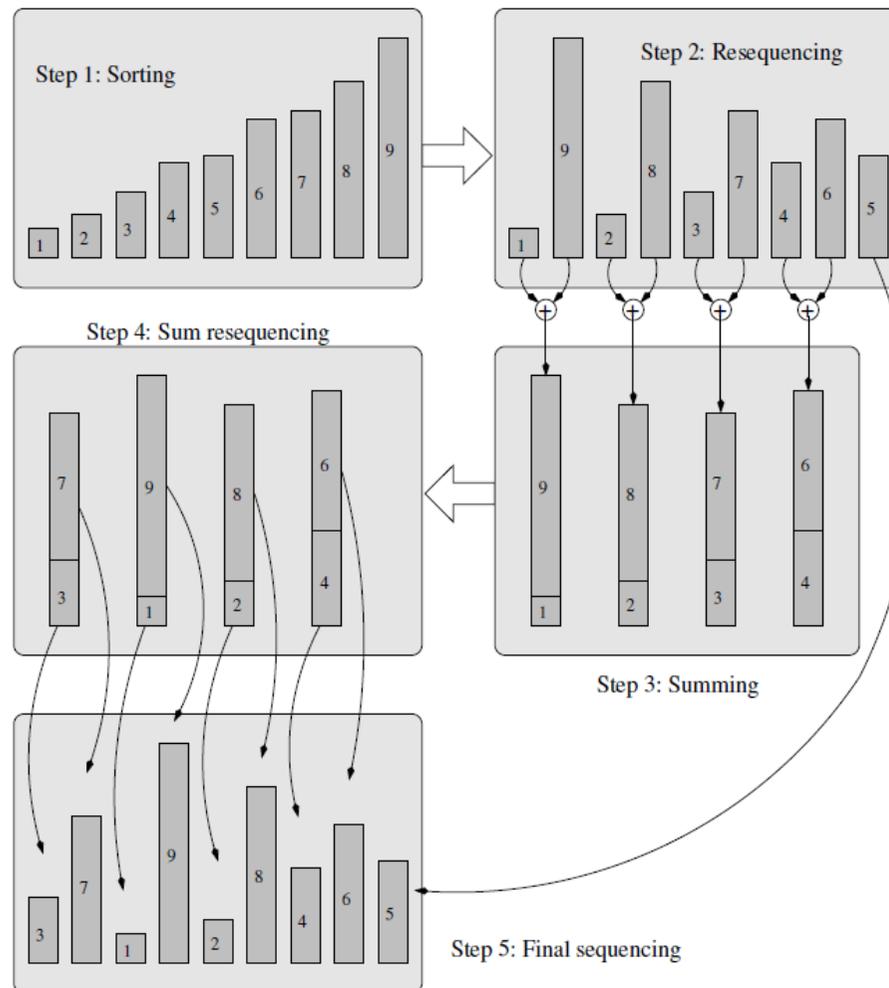
14ビット精度を確保

電流源のマッチング不要でチップ面積縮小

- **出典:** A 14-bit 200-MHz Current-Steering DAC with Switching-Sequence Post-Adjustment Calibration
T. Chen, G. Gielen, ESAT-MICAS, K.U.Leuven, ASSCC, China (2006)

Switching-Sequence Post-Adjustment (SSPA) のアルゴリズム

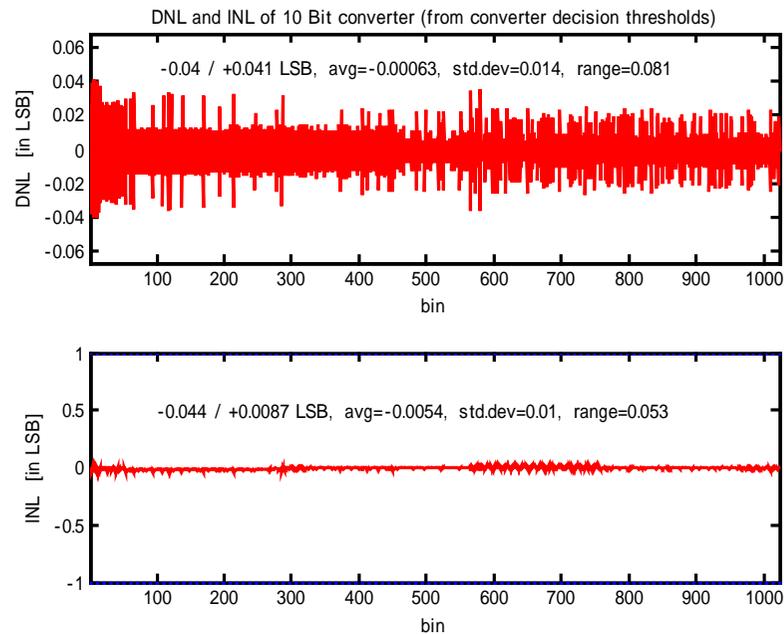
電流源の
大小比較結果に
基づき、
電流源の2段階の
並び替え



SSPA法の効果の追試シミュレーション結果

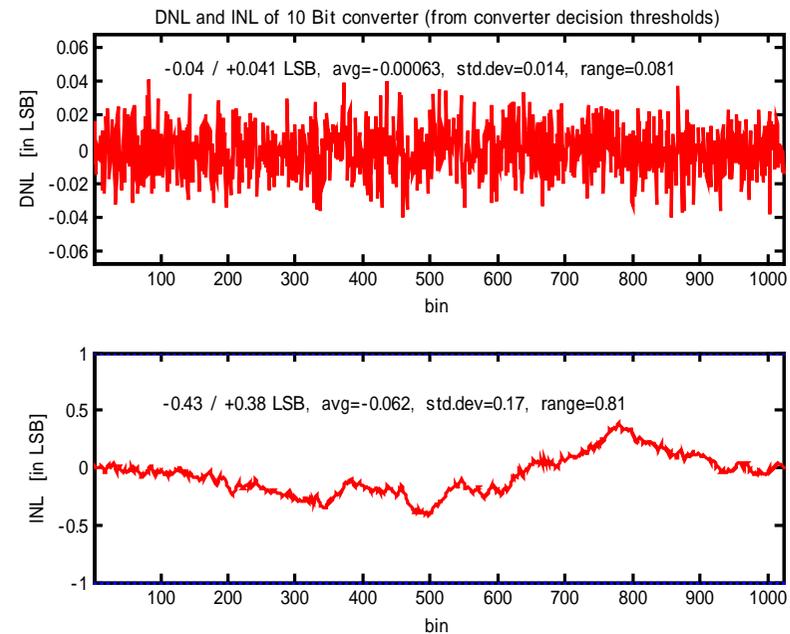
- INL, DNL -

SSPA法



DNL_{pp} = 0.081LSB
INL_{pp} = 0.053LSB

SSPA法なし

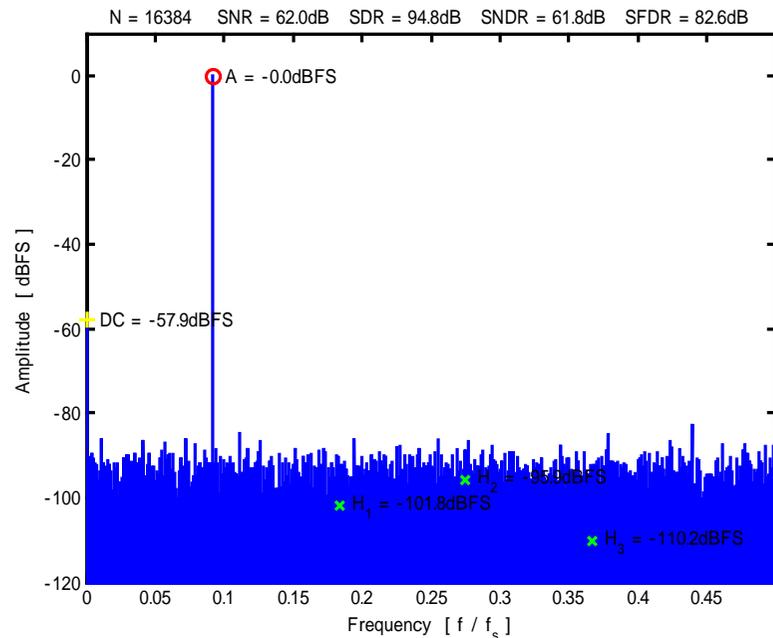


DNL_{pp} = 0.081LSB
INL_{pp} = 0.81LSB

SSPA法の効果の追試シミュレーション結果

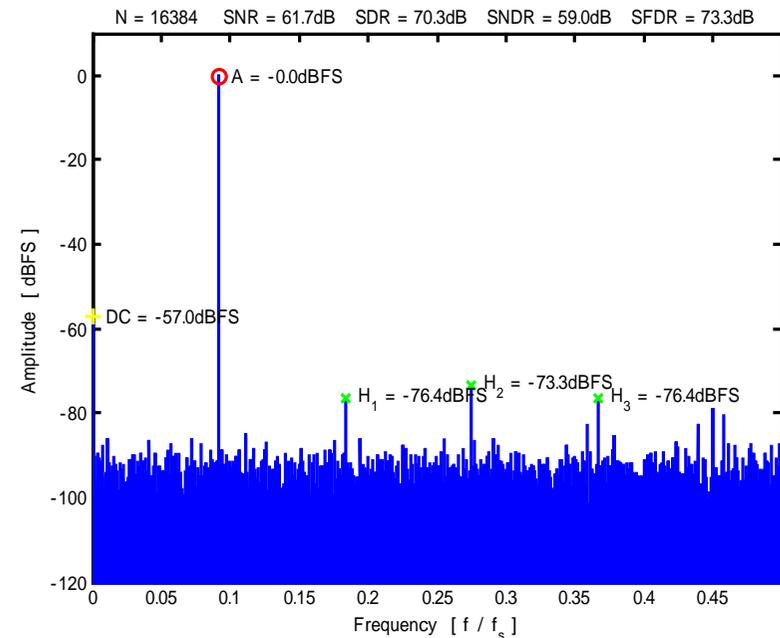
- SFDR, SNDR -

SSPA法

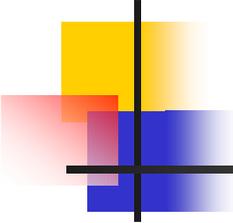


- SFDR = 82.6 [dB]
- SNDR = 61.1 [dB]

SSPA法なし



- SFDR = 73.3 [dB]
- SNDR = 59.0 [dB]



発表内容

ナノCMOS時代のアナログ技術 私論

逐次比較近似AD変換器

通信用 AD変調器

時間領域AD変換器

アナログテスト技術

パワー回路、MEMS技術

まとめ

[付録] サンプルホールド回路でのノイズ

受信機アーキテクチャ比較

RF ベースバンド

Zero-IF イメージなし

DC オフセット, $1/f$ ノイズの問題

RF Low-IF

DC オフセット, $1/f$ ノイズの問題なし

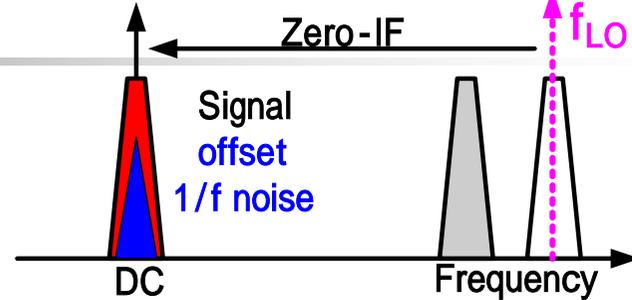
信号帯域に加えてイメージ帯域も

AD変換される。 ➡ 電力の浪費

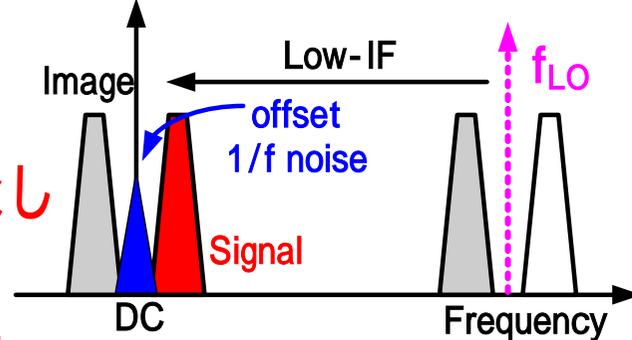
信号帯域のみAD変換

➡ 電力効率良

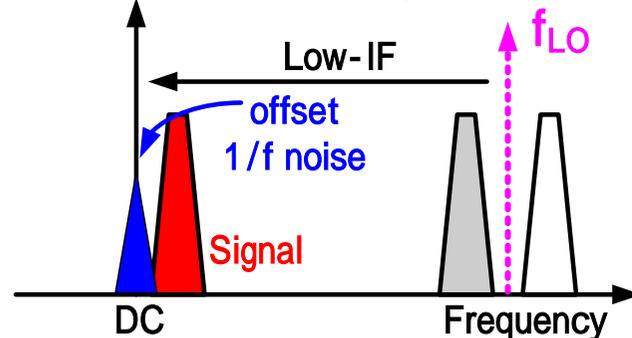
Direct conversion receiver



Low-IF receiver Conventional

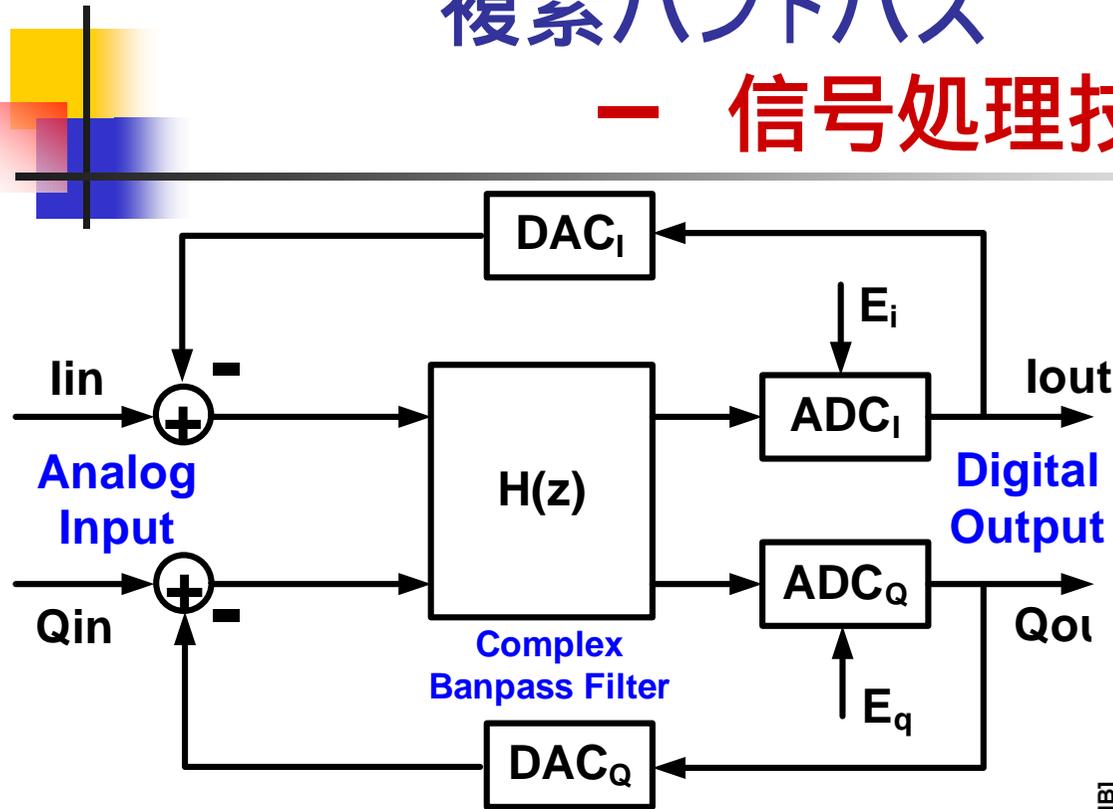


Quadrature-IF

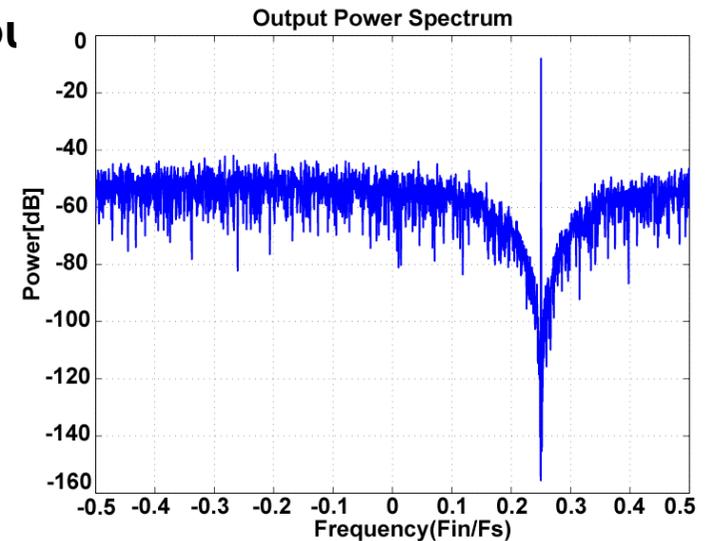


Low-IF 受信機用 複素バンドパス AD変調器

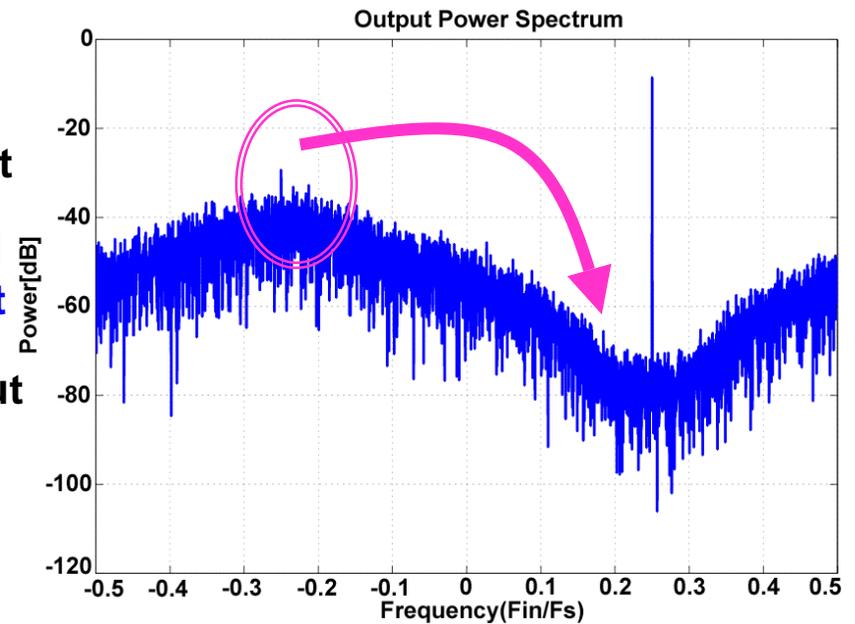
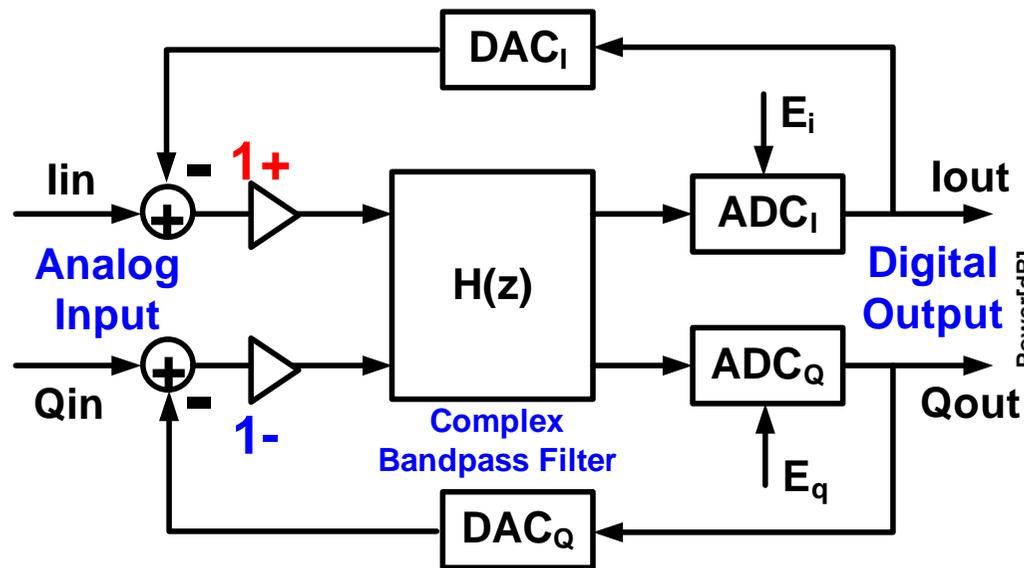
— 信号処理技術 —



$$I_{out} + jQ_{out} = \frac{H}{1+H} (I_{in} + jQ_{in}) + \frac{1}{1+H} (E_i + jE_q)$$

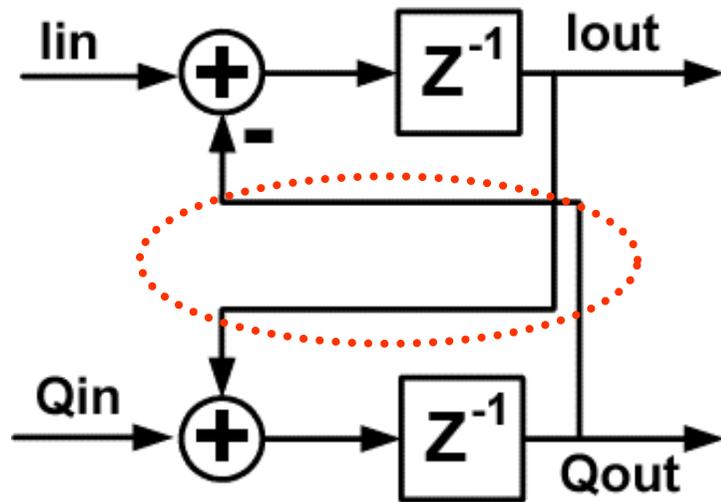


I, Q経路ミスマッチ



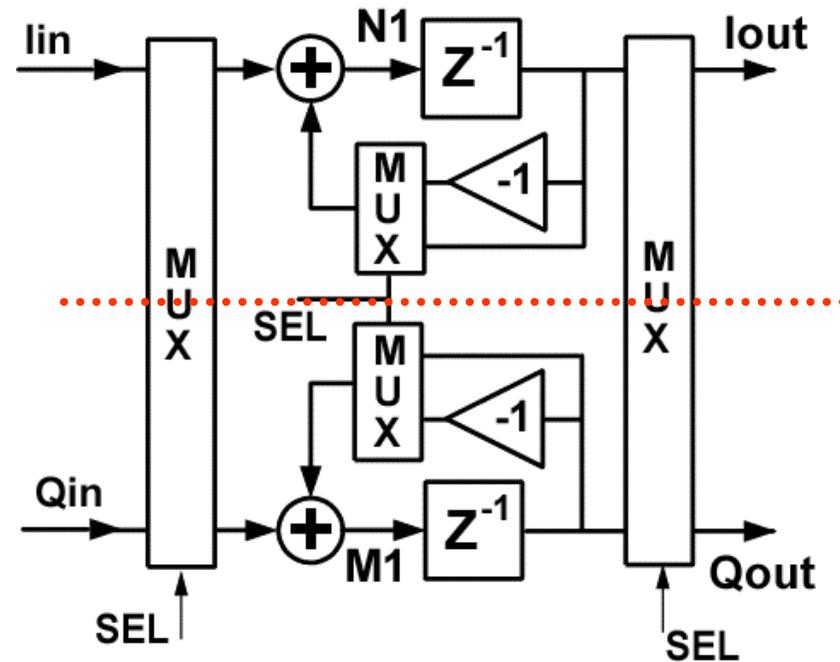
イメージ帯域の量子化ノイズが
信号帯域に回り込む

複素フィルタの I, Q 経路ダイナミックマッチング



Complex Filter

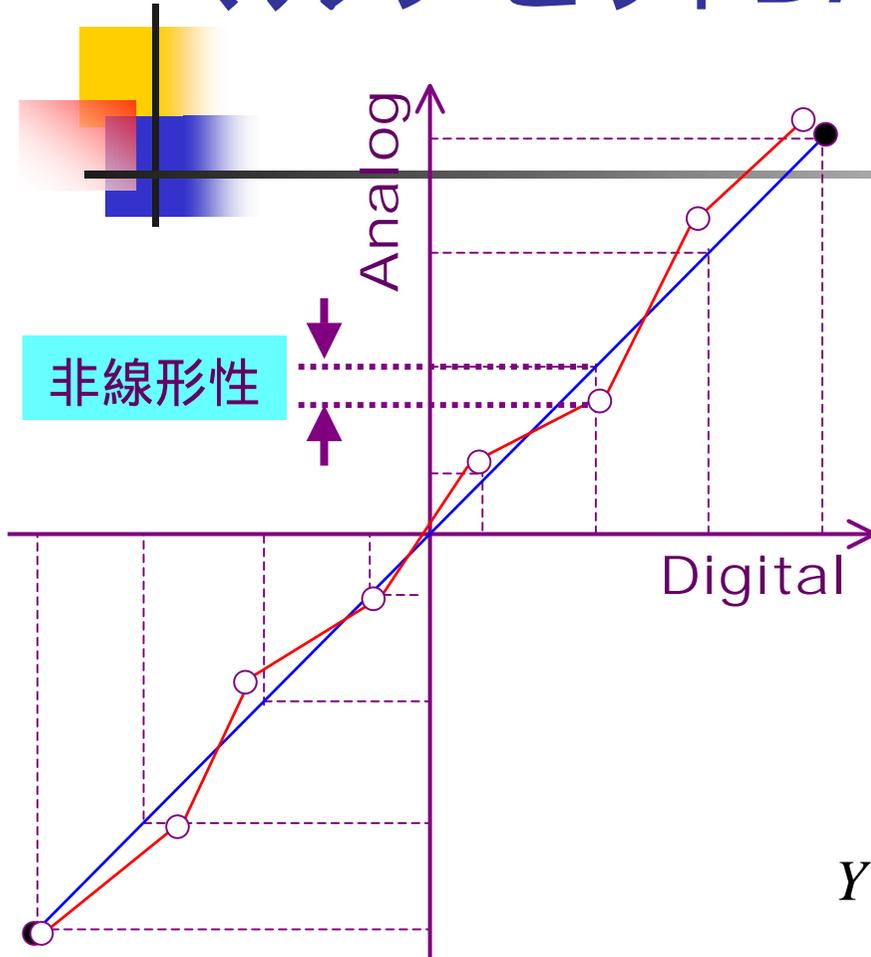
直接構成



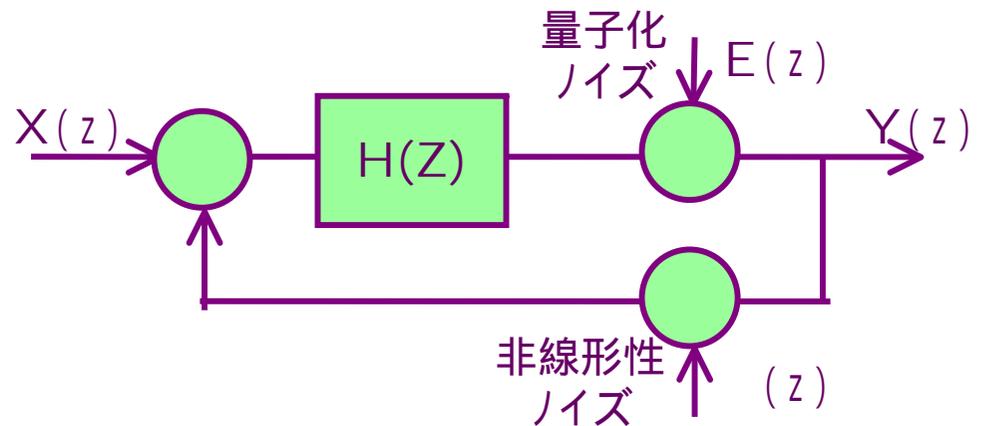
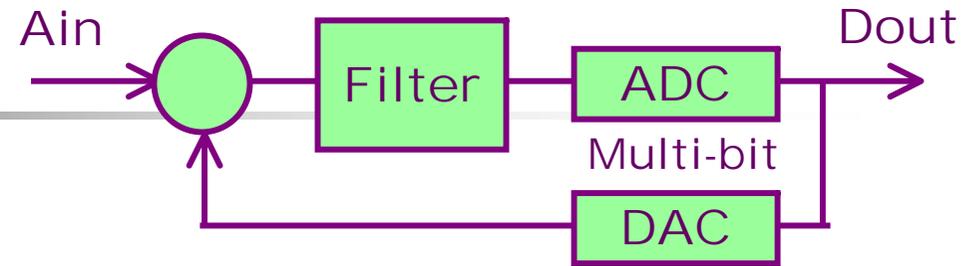
等価な構成

上下の経路をI, Q交互に使用

マルチビットDACの非線形性



● : Single-bit Output
○ : Multi-bit Output

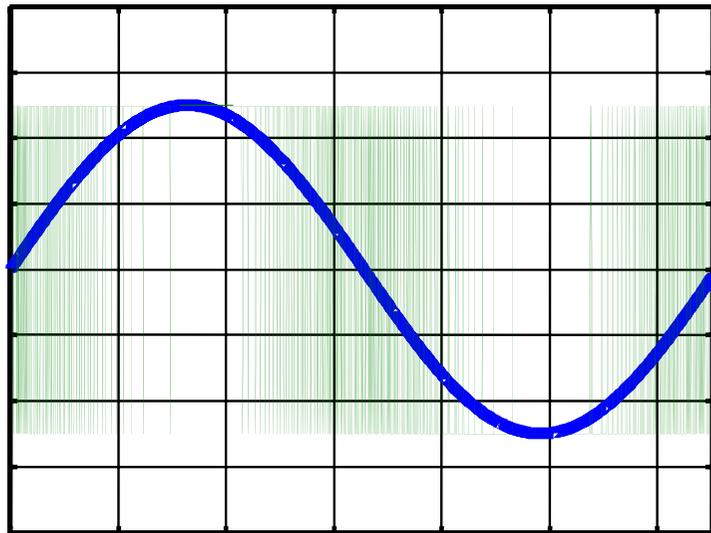


$$Y(z) = \frac{H(z)}{1+H(z)} \{X(z) - \delta(z)\} + \frac{1}{1+H(z)} E(z)$$

非線形ノイズ $\delta(z)$ がシェープされない

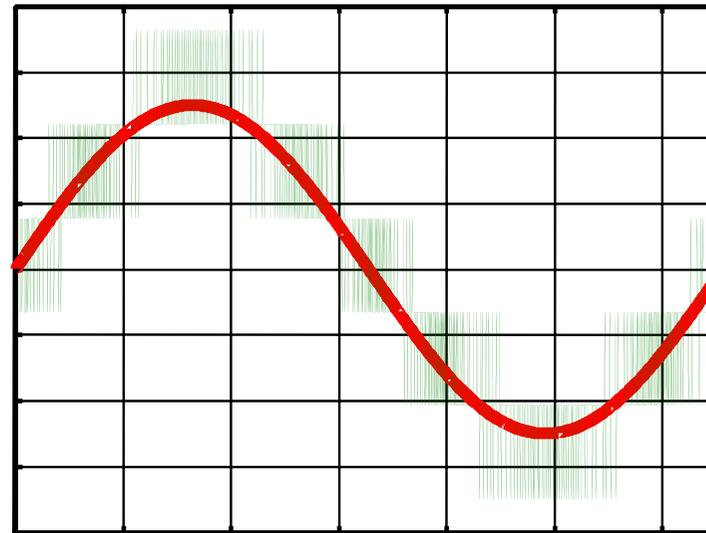
変調器内のADC/DAC のマルチビット化

Single-Bit



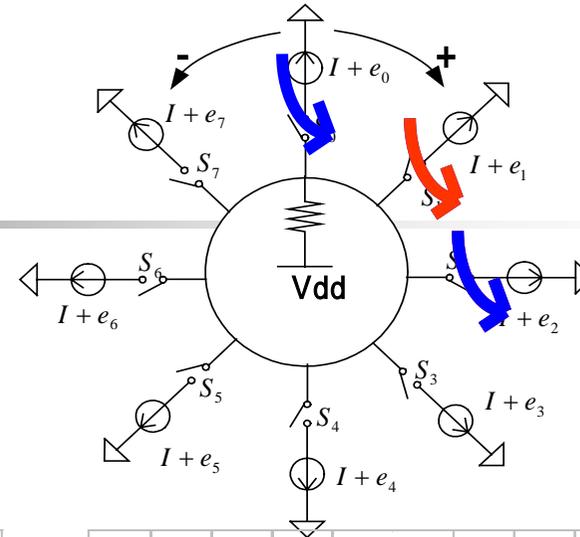
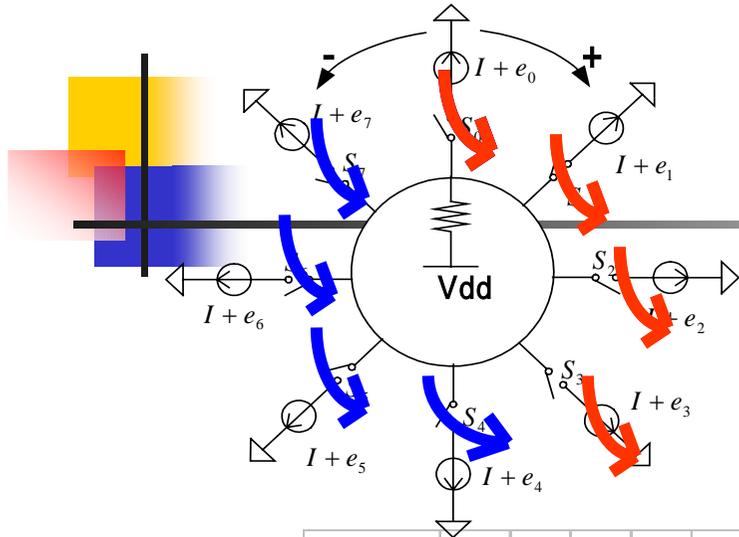
- シングルビット
 - 高次フィルタが必要
(消費電力 大)

Multi-Bit



- マルチビット
 - 低次フィルタで高精度(低消費電力)
 - アンプのスルーレート緩和(低消費電力)
 - マルチビットDACの非線形性が問題

複素バンドパスDWAアルゴリズム



Time

Input of DAC

| | | DAC1 | | | | | | | |
|------|---|------|---|---|---|---|---|---|---|
| | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| 4+3i | 4 | | | | | | | | |
| 2+5i | 5 | | | | | | | | |
| 3+1i | 3 | | | | | | | | |
| 6+2i | 2 | | | | | | | | |
| 5+4i | 5 | | | | | | | | |
| 1+3i | 3 | | | | | | | | |
| 7+2i | 7 | | | | | | | | |
| 4+6i | 6 | | | | | | | | |
| 2+4i | 2 | | | | | | | | |
| 3+3i | 3 | | | | | | | | |

| | | DAC2 | | | | | | | |
|---|---|------|---|---|---|---|---|---|---|
| | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| 3 | 3 | | | | | | | | |
| 2 | 2 | | | | | | | | |
| 1 | 1 | | | | | | | | |
| 6 | 6 | | | | | | | | |
| 4 | 4 | | | | | | | | |
| 1 | 1 | | | | | | | | |
| 2 | 2 | | | | | | | | |
| 4 | 4 | | | | | | | | |
| 4 | 4 | | | | | | | | |
| 3 | 3 | | | | | | | | |

■ Output I

■ Output Q

信号処理による アナログ性能向上

I, Q ダイナミックマッチング:



高精度化

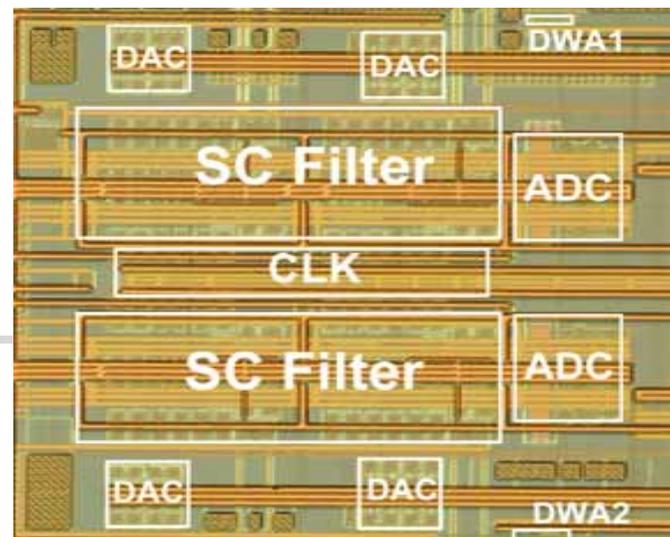
マルチビット、DWAアルゴリズム:



低次の変調器、アンプのスルーレート緩和



低消費電力化

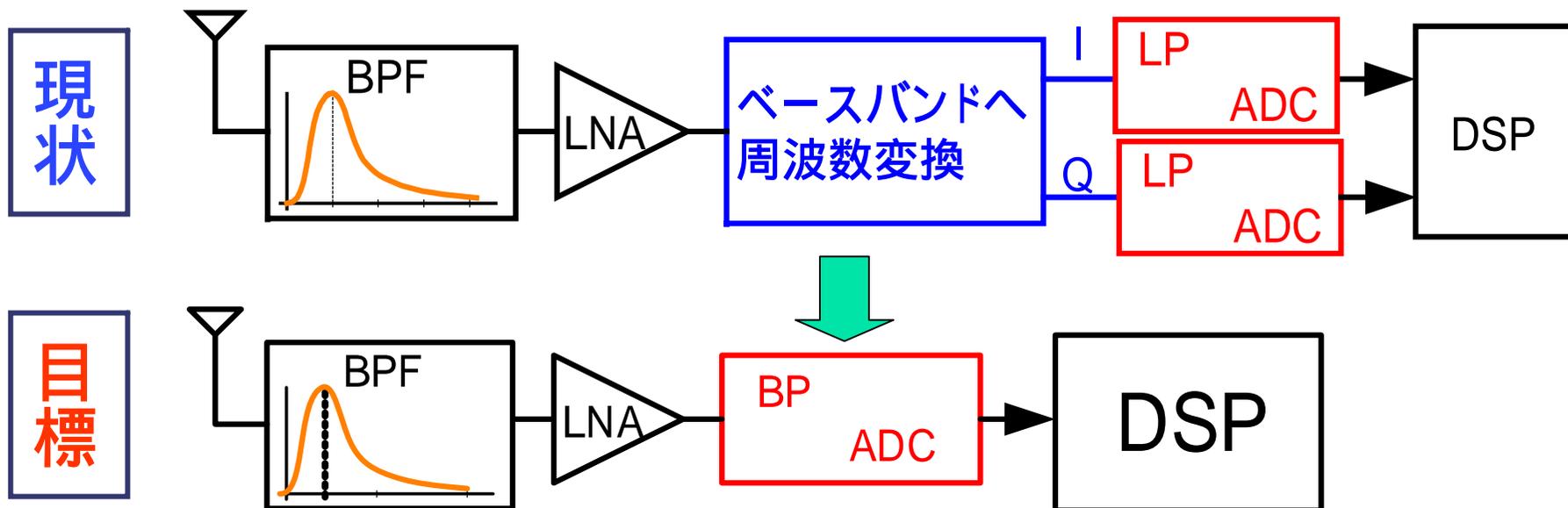


RFサンプリングADCを目指して

— サンプリング技術 —

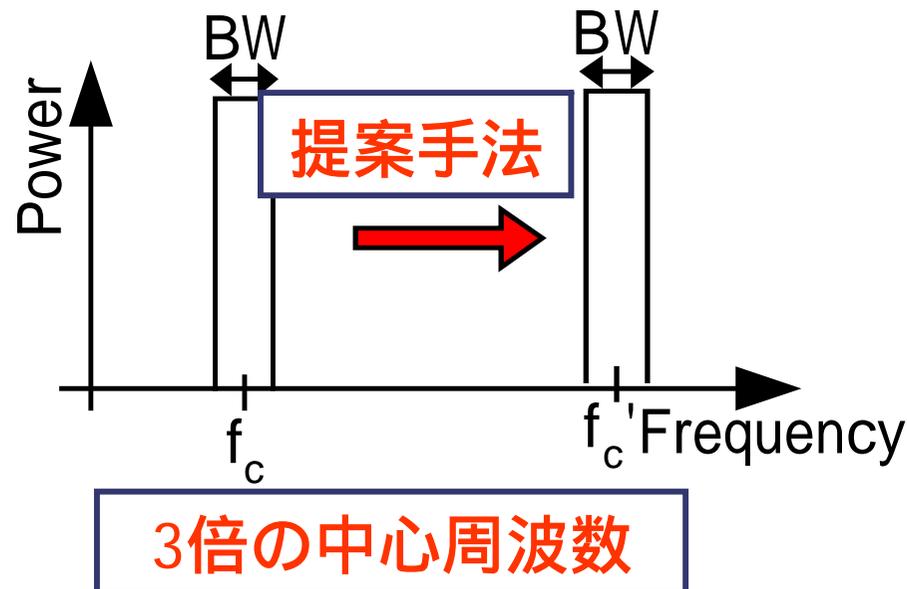
携帯電話、無線LAN等の受信機アナログフロントエンド部
ソフトウェア無線機の実現

- RF信号を直接AD変換
- 低消費電力、高精度
- アナログ最小、デジタルリッチな回路構成



RFサンプリングADCの 実現アプローチ

- 低消費電力
 - 高周波
 - 高精度
- 連続時間バンドパス
サブサンプリング
ジッタ影響小のDAC
- AD変調器



AD変調器の構成

提案構成では連続時間 AD変調器の

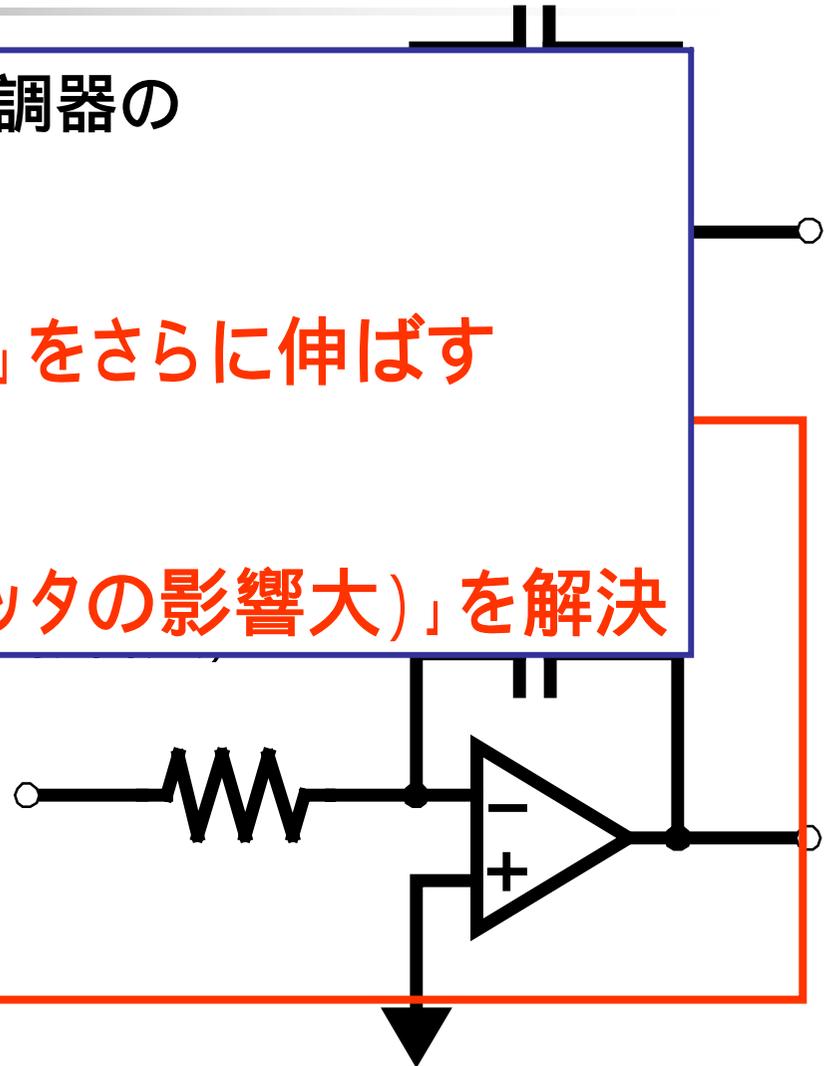
メリットの

「高周波信号を扱える」をさらに伸ばす

デメリットの

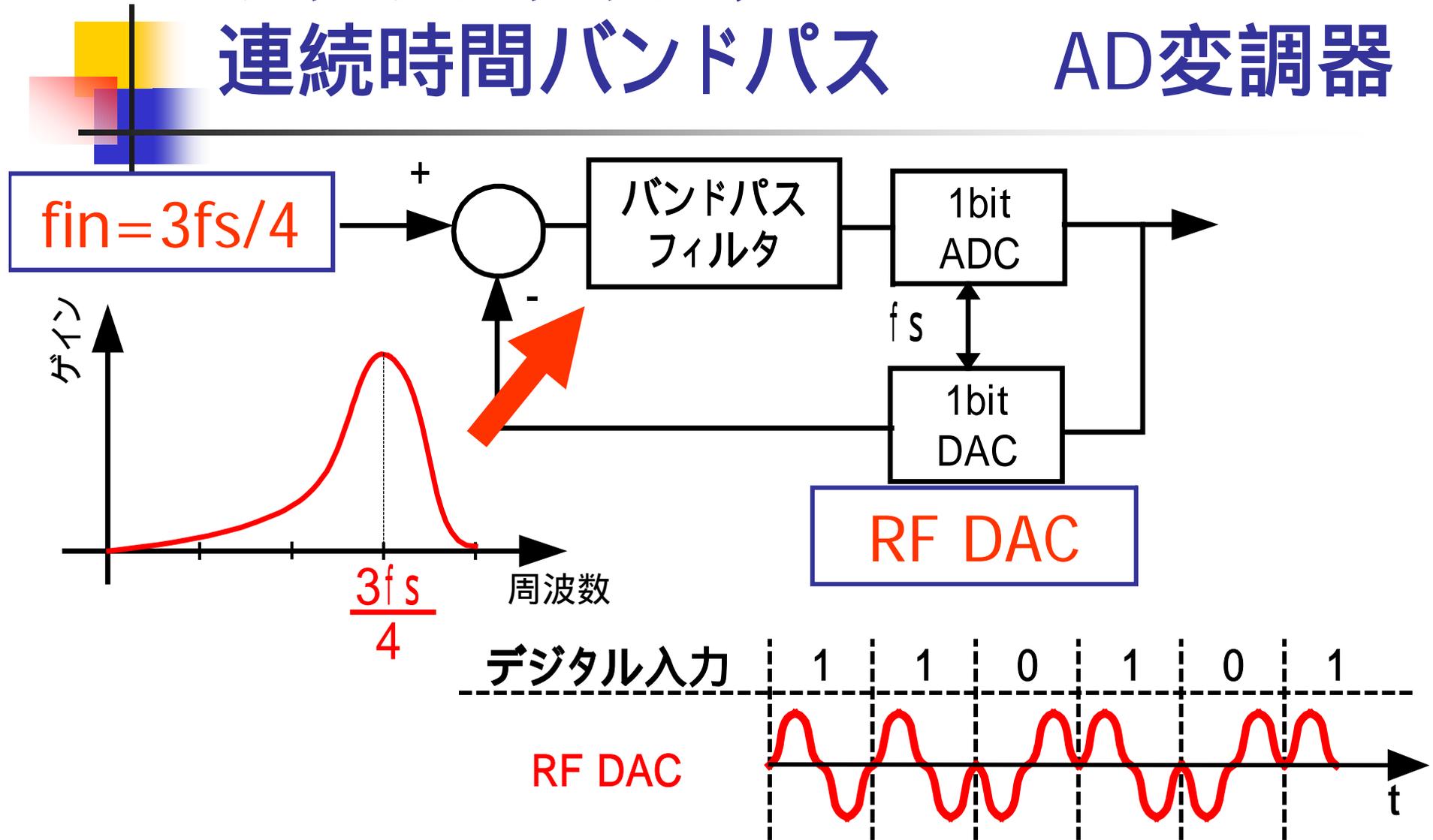
「低精度(DACのクロックジッタの影響大)」を解決

- 低消費電力
- 高速・高周波信号を扱える



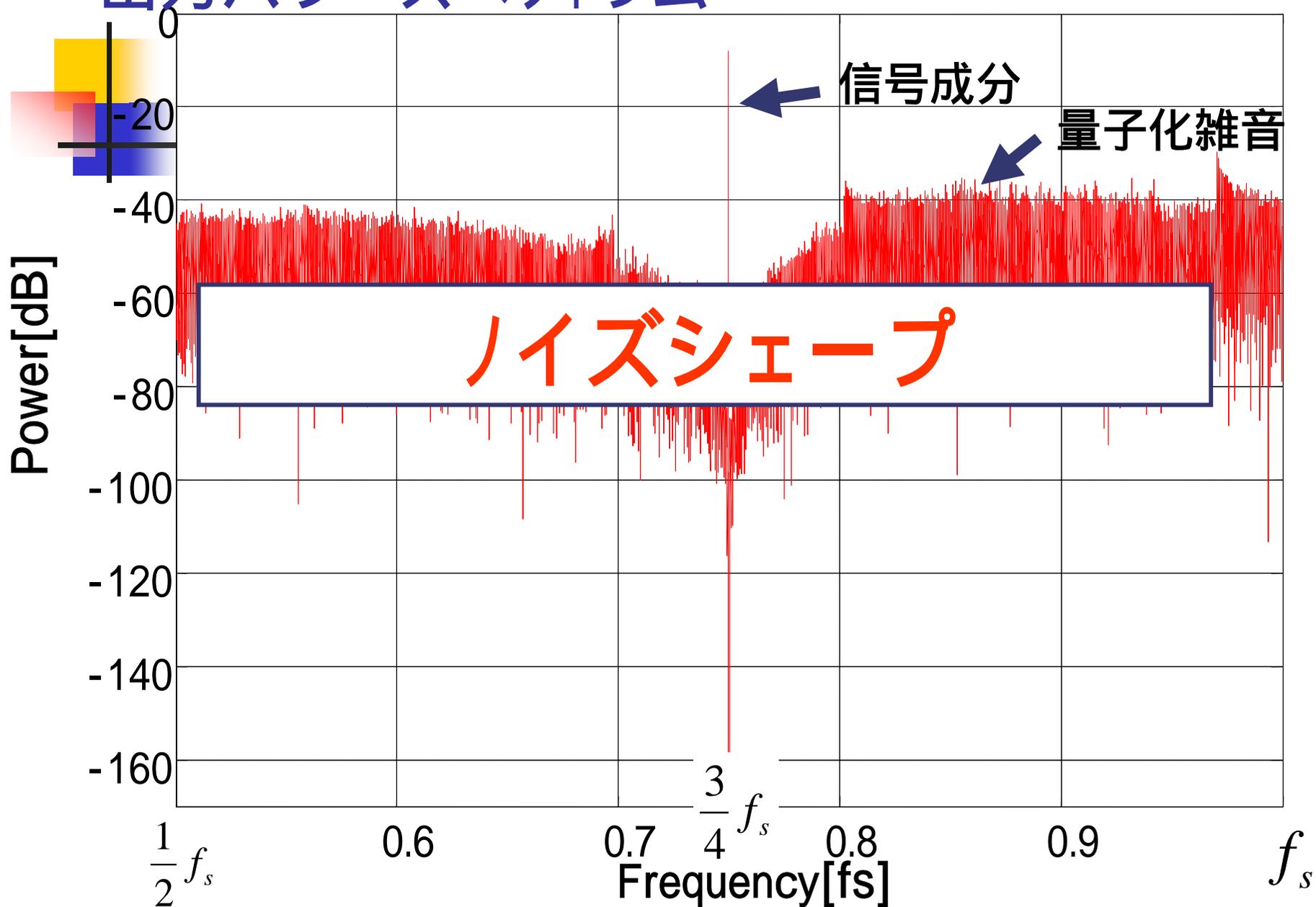
サブサンプリング 連続時間バンドパス

AD変調器



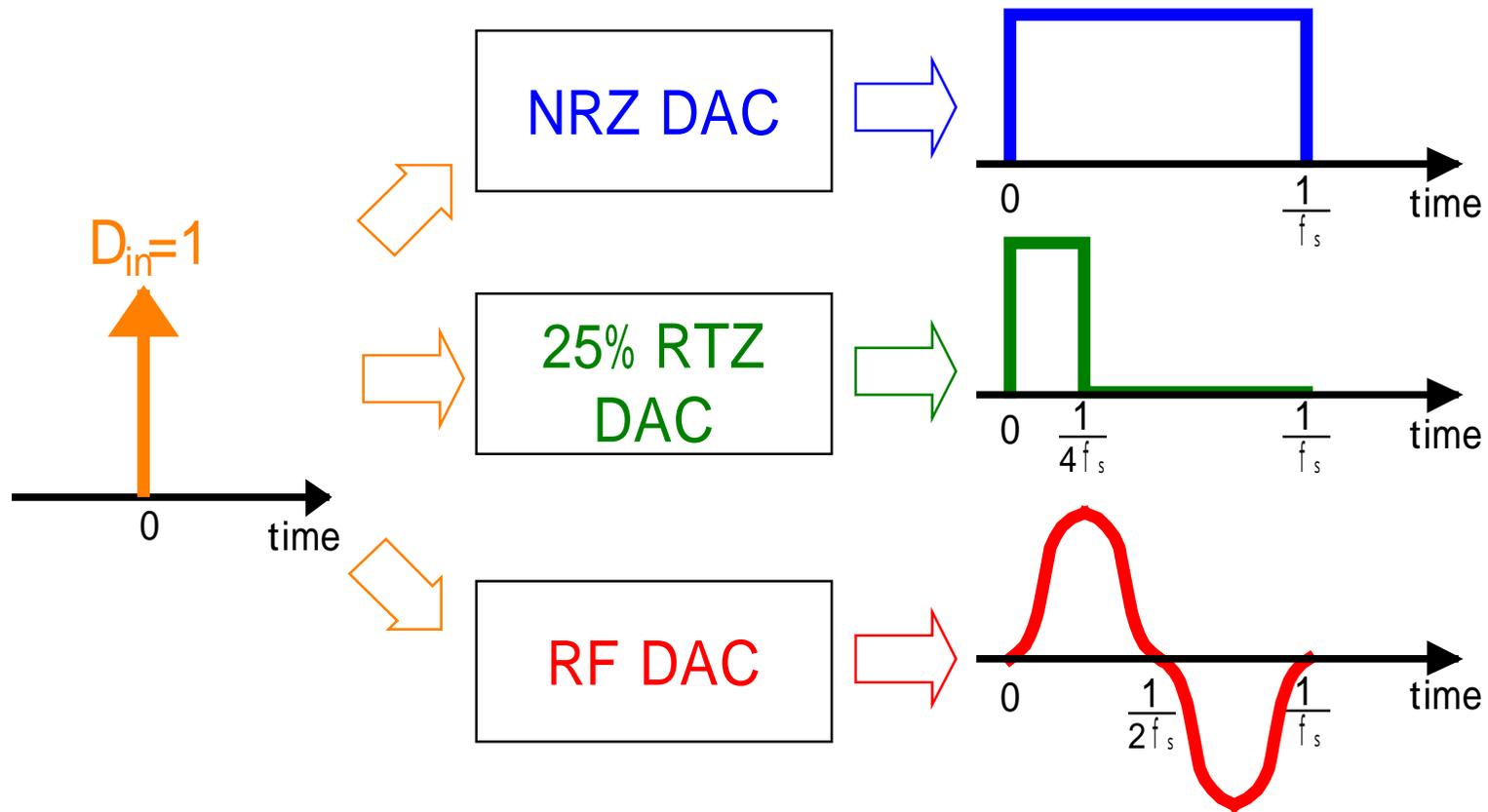
RF DAC使用のバンドパス 出力パワースペクトラム

AD変調器



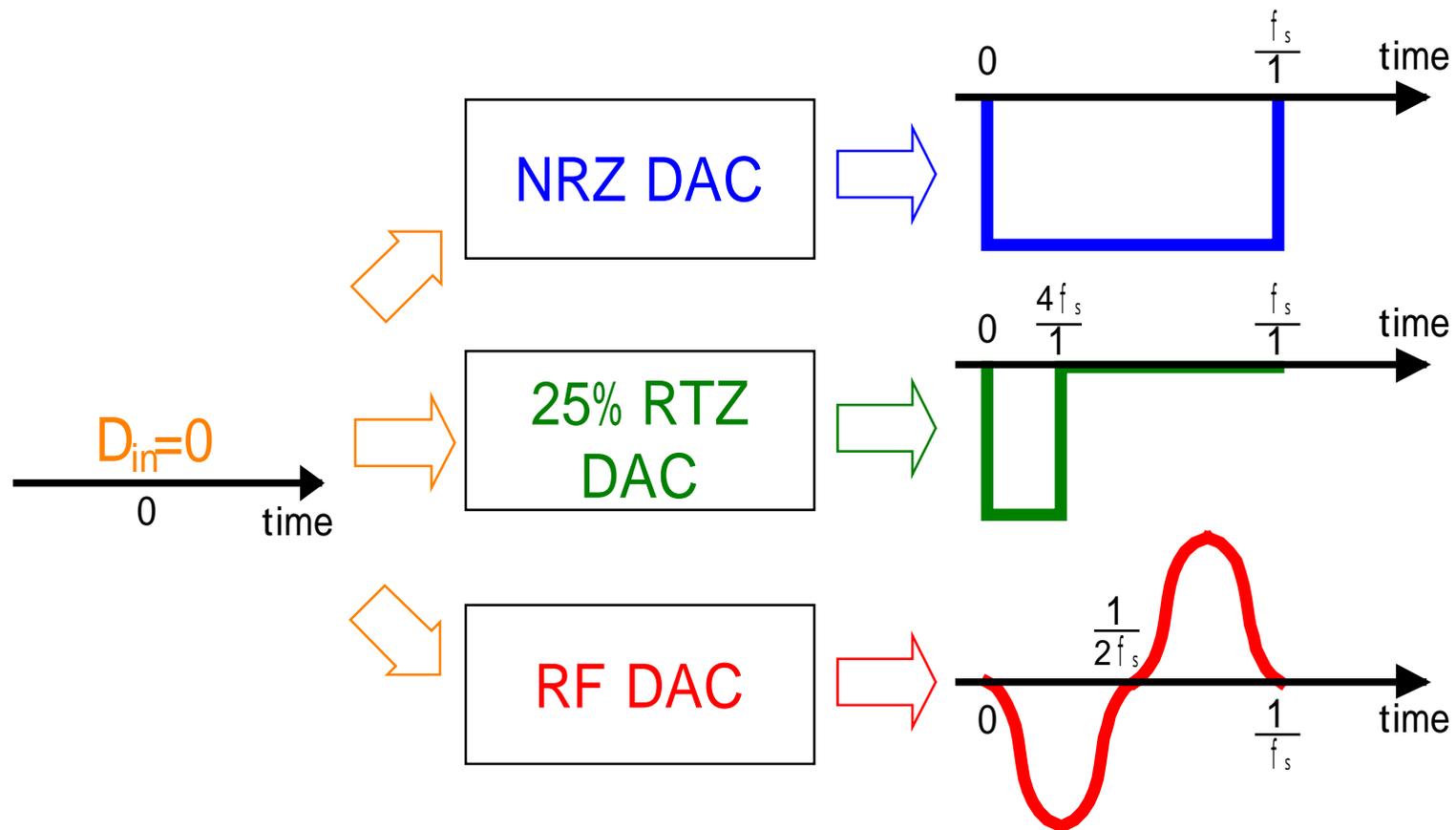
RF DACの動作(1)

- デジタル入力が“1”の時

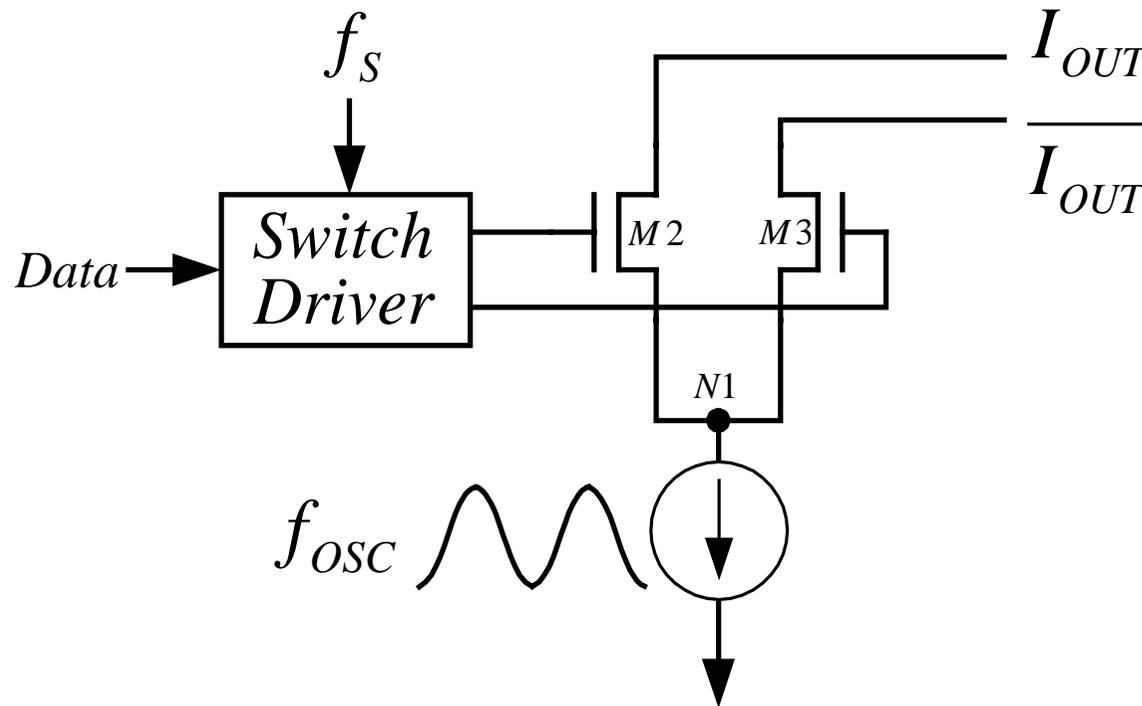


RF DACの動作 (2)

- デジタル入力が“0”の時



RF DACの実現回路構成



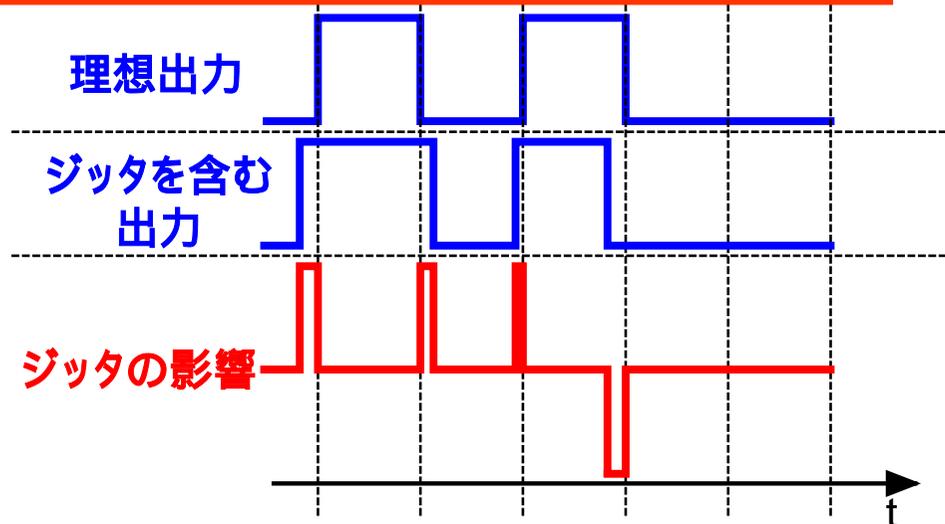
- 差動対と $\cos(2(2f_s)t)$ の交流テール電流源
- 比較的簡単な回路構成で実現可能

クロックジッタの変調器への影響

- 離散時間方式: 影響小
- 連続時間方式
 - 内部ADC: 影響小 (ノイズシェープ)

■ 内部DAC: 影響大 (積分時間の影響)

AD変調器全体の
精度劣化



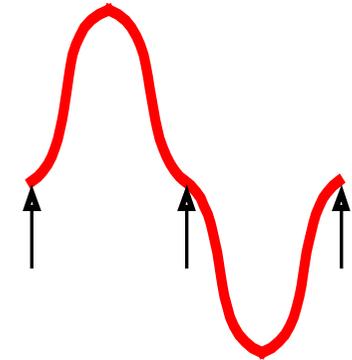
クロックジッタの変調器への影響

デジタル入力

1 1 0 1 0 1

NRZ DAC

RF DACはジッタの影響小

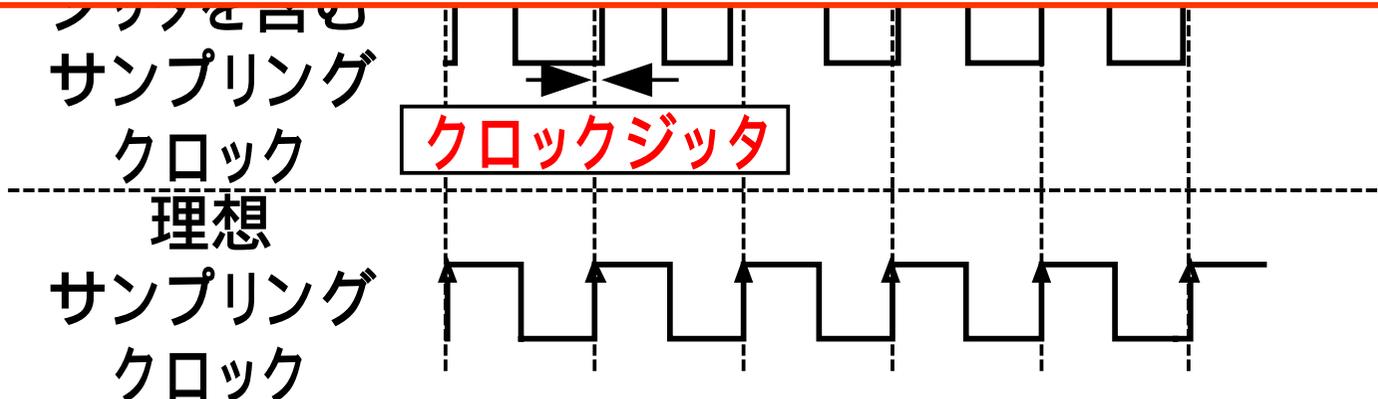


デジタル入力
サンプリング
クロック

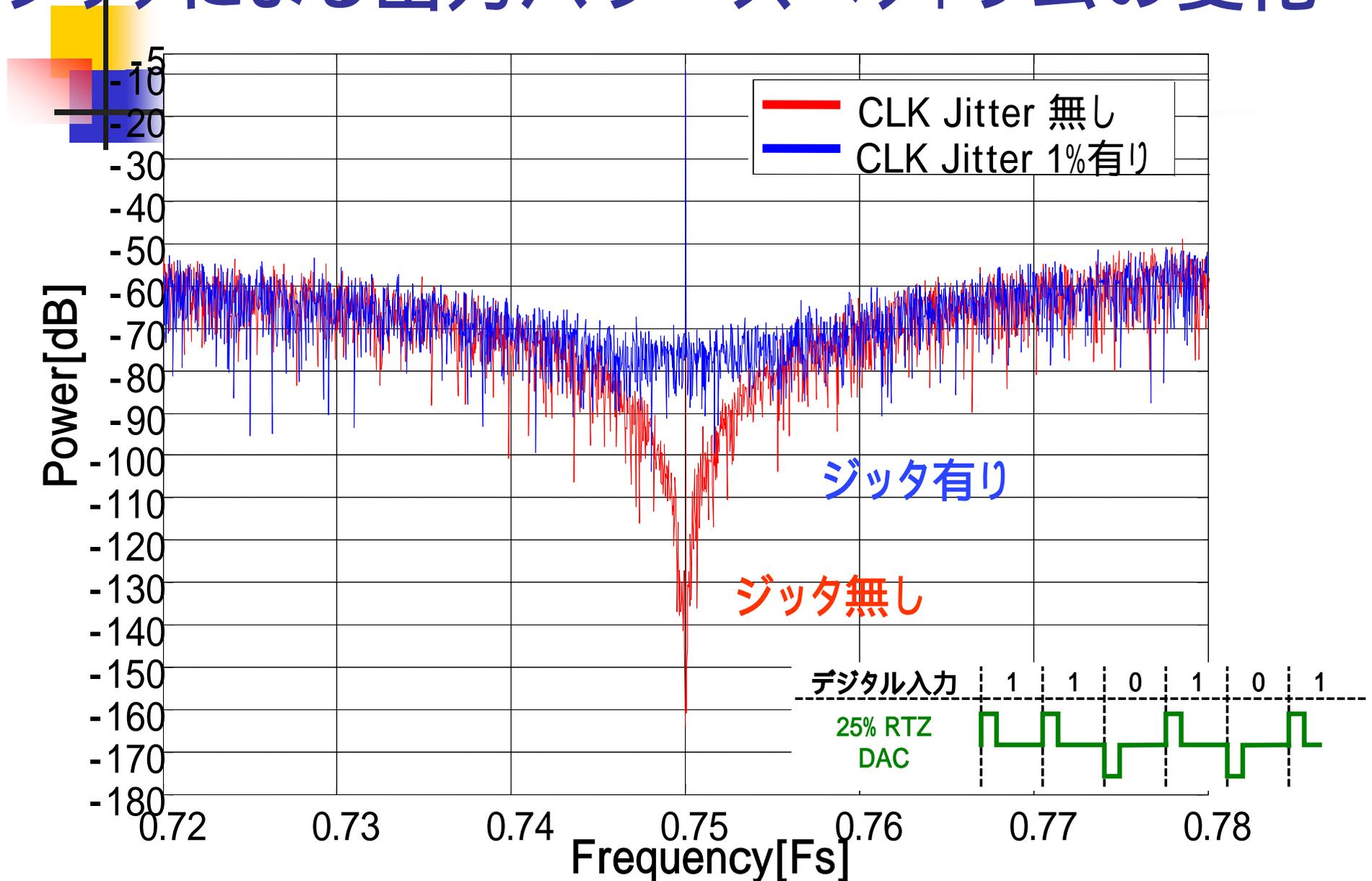
クロックジッタ

理想

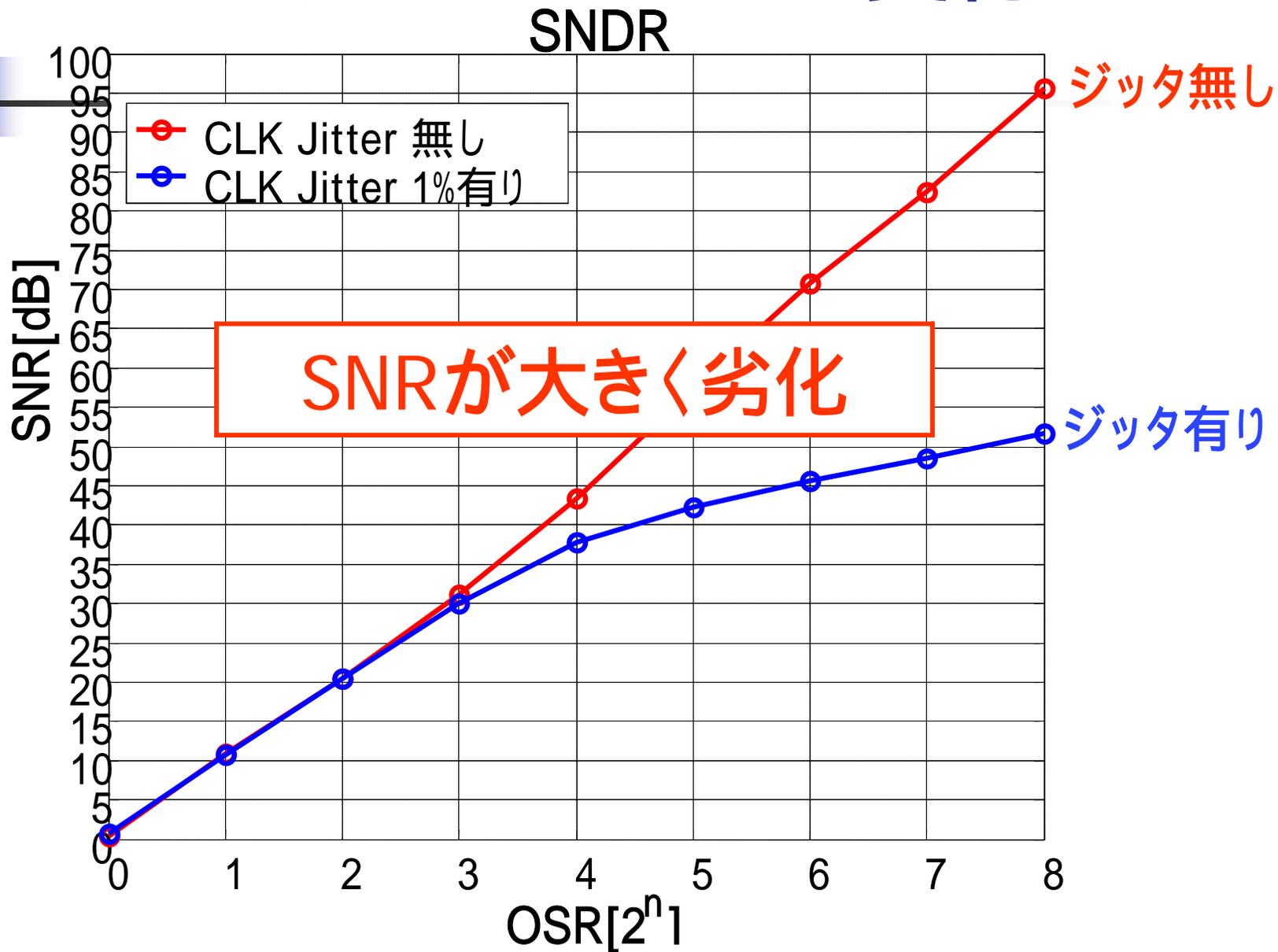
サンプリング
クロック



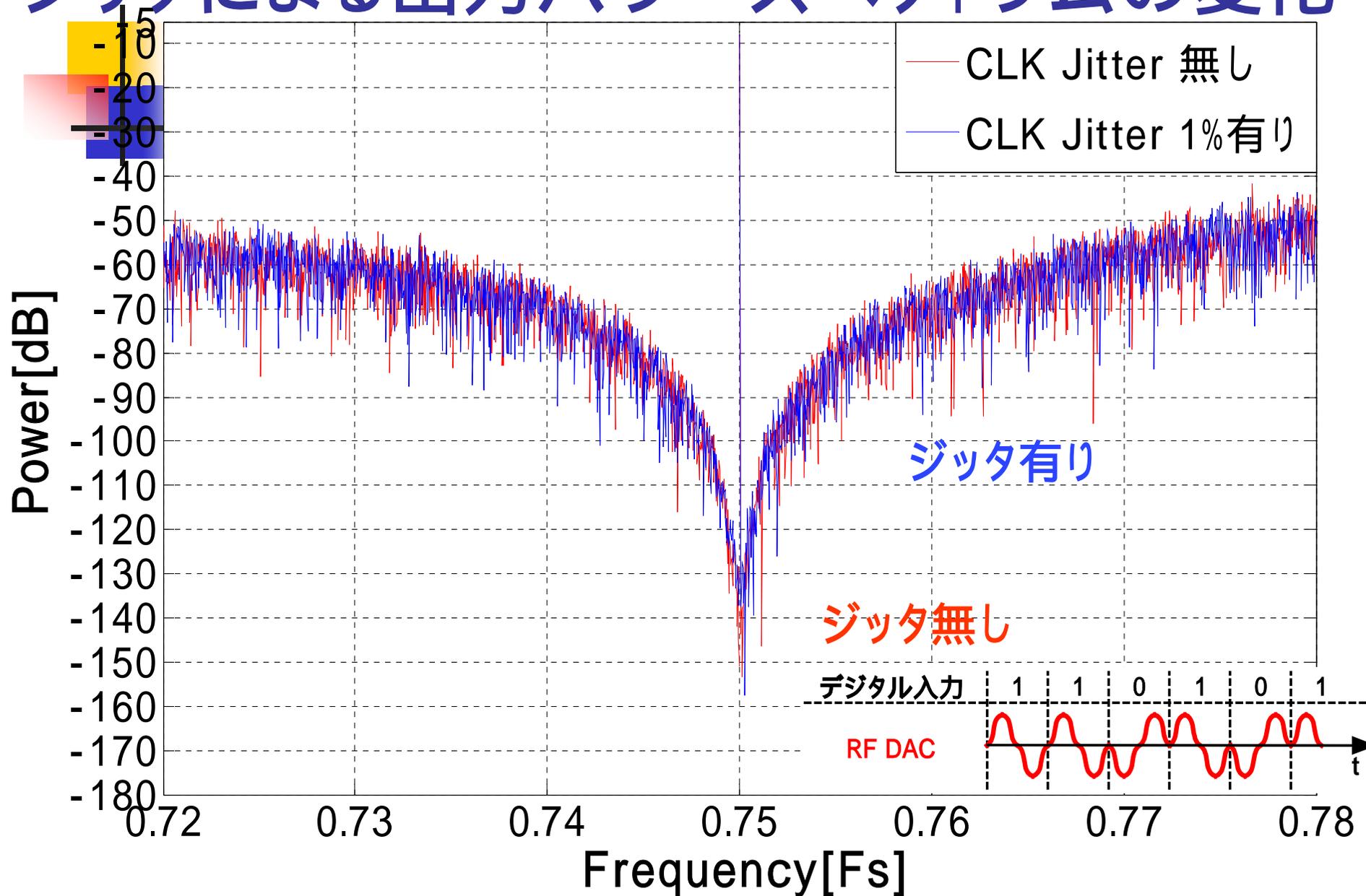
25% RTZ DAC使用の AD変調器 ジッタによる出力パワースペクトラムの変化



25% RTZ DAC使用の AD変調器 ジッタによるSNDRの変化

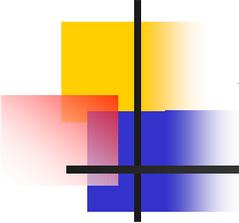


RF DAC使用の AD変調器 ジッタによる出力パワースペクトラムの変化



RF DAC使用の AD変調器 ジッタによるSNDRの変化





発表内容

ナノCMOS時代のアナログ技術 私論

逐次比較近似AD変換器

通信用 AD変調器

時間領域AD変換器

アナログテスト技術

パワー回路、MEMS技術

まとめ

[付録] サンプルホールド回路でのノイズ

時間領域AD変換器

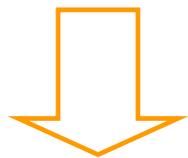
— デジタルリッチな構成 —

CMOSの微細化、電源電圧の低下

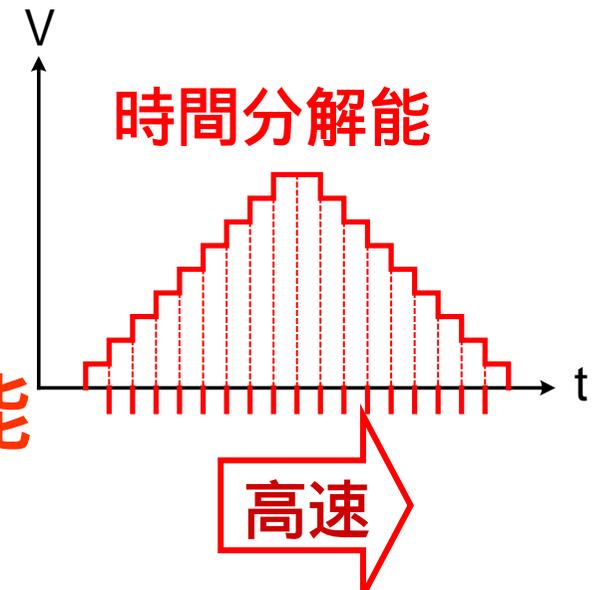
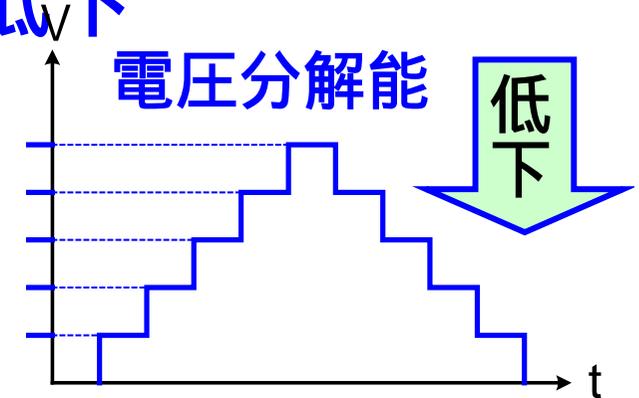
Vdd 小 (1V以下)

スイッチング時間 高速

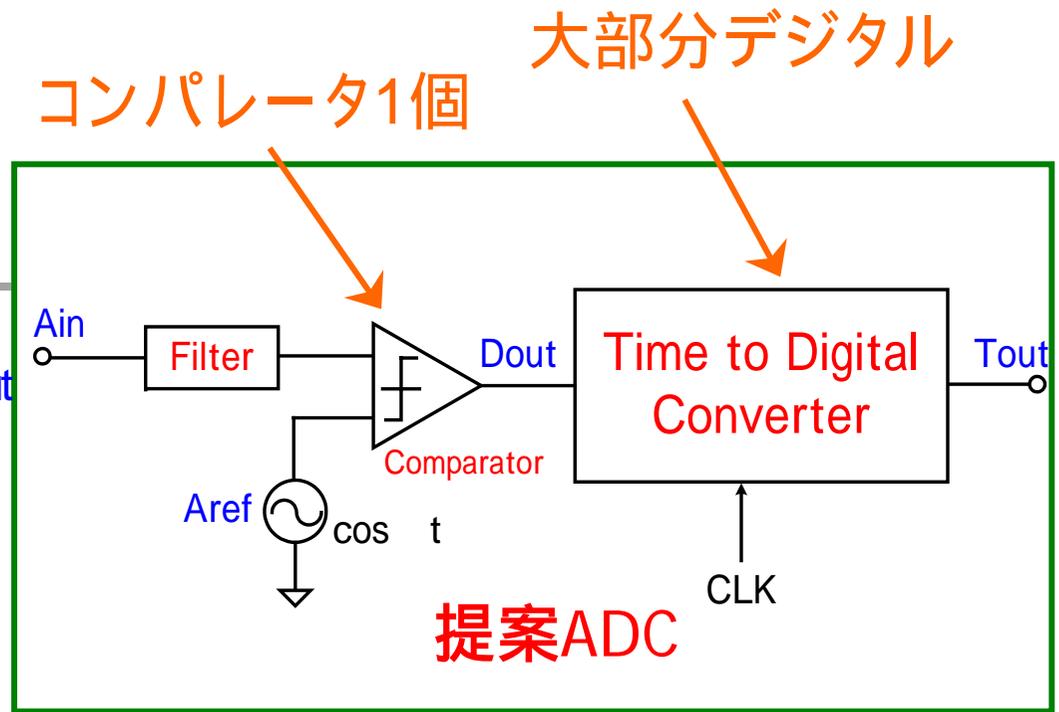
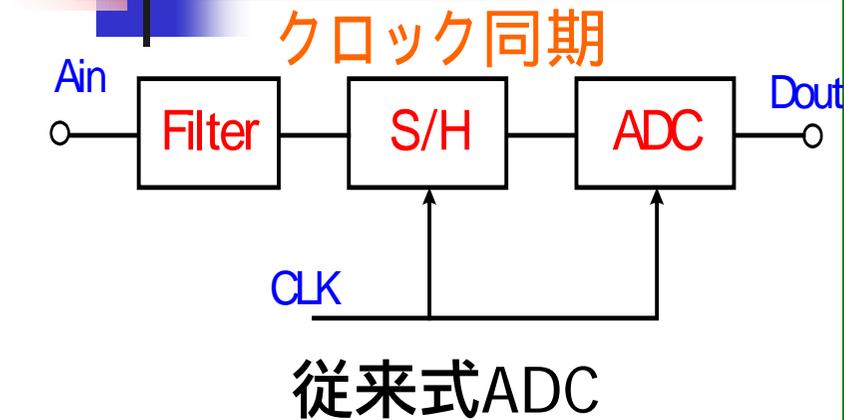
- 微細CMOS高性能化のためには
アナログ信号での**電圧分解能**



デジタル信号端遷移の**時間分解能**



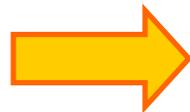
時間領域 ADCの構成



提案ADCの特徴

- 高速、高精度なサンプルホールド回路不要
- 大部分がデジタル回路
- 非同期サンプリング
- デジタル信号処理が複雑

アナログの問題

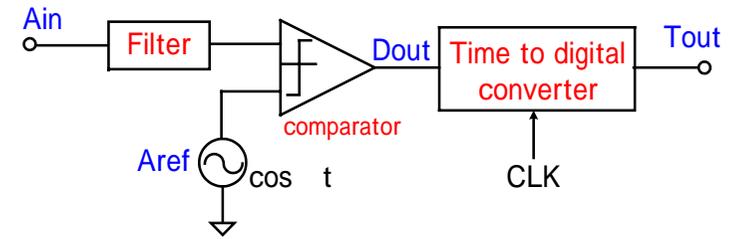
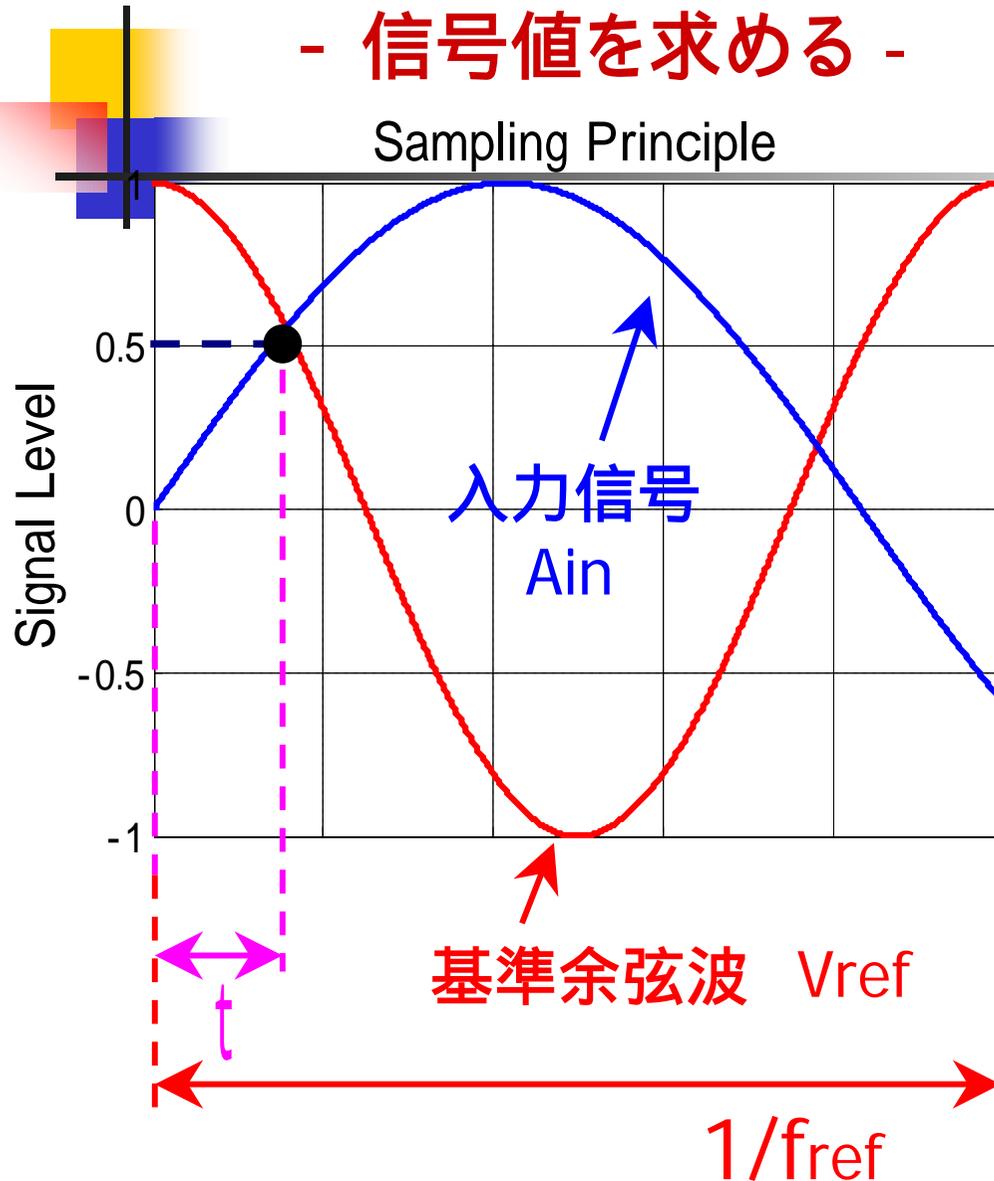


デジタルの問題

時間領域A/D変換器

- 信号値を求める -

Sampling Principle



時間tを測定

基準余弦波から振幅

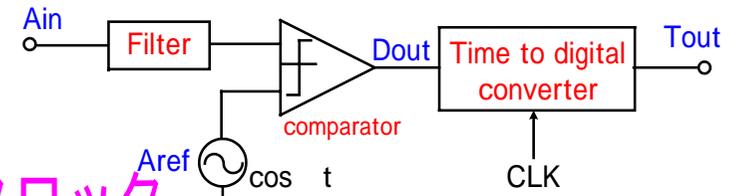
基準余弦波: $V_{ref}(t) = A \cos\left(2\pi \frac{t}{T}\right)$

$$A \cos\left(2\pi \frac{t}{T}\right) = A_{in}(t)$$

$$\therefore t_n = T \arccos\left(\frac{A_{in}(t)}{A}\right)$$

時間領域A/D変換器

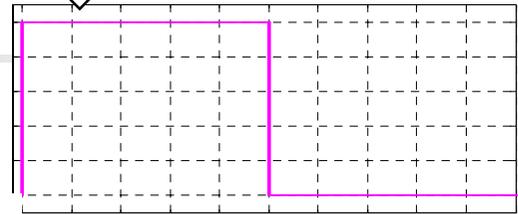
- 非同期サンプリング -



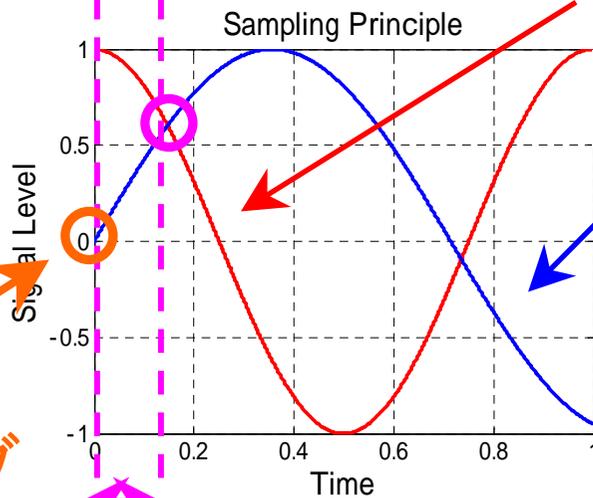
従来型ADC



基準クロック



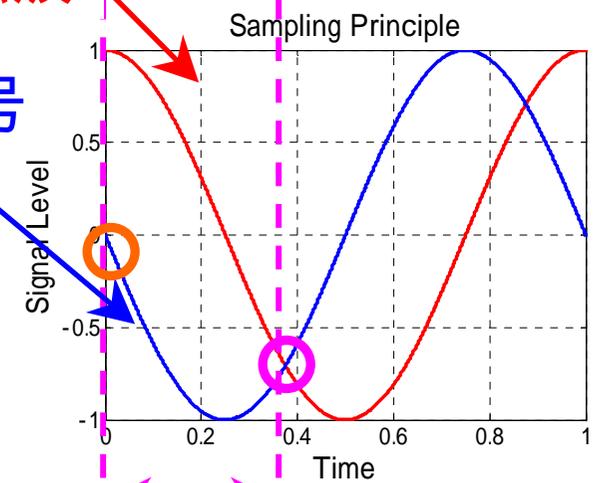
基準余弦波



同期

サンプリング

入力信号

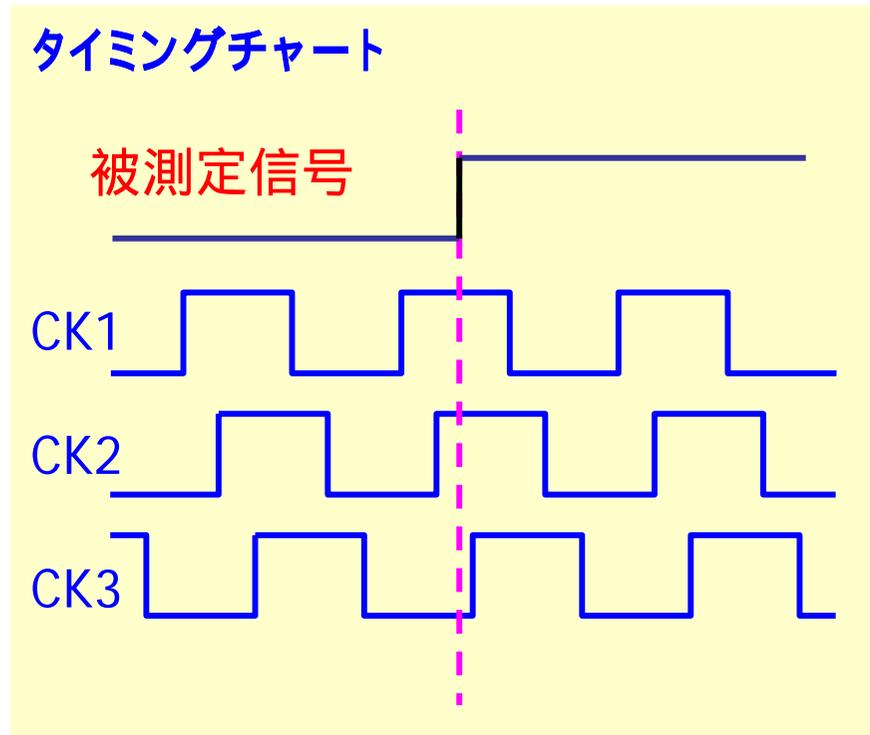
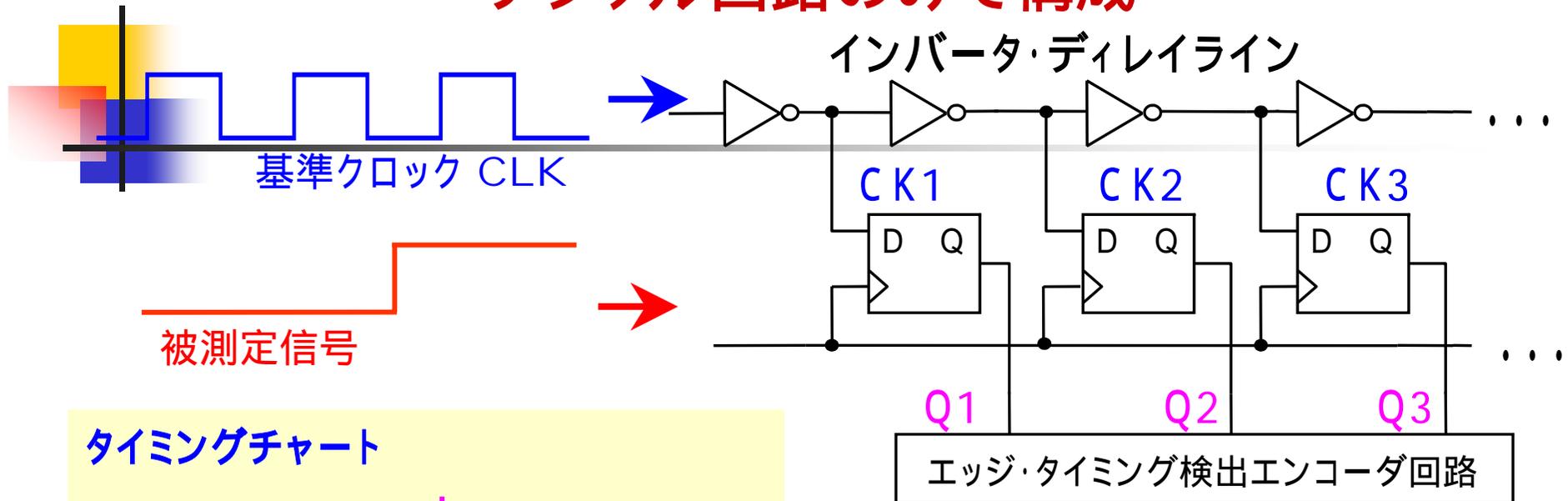


非同期サンプリング

■ サンプリング → 入力信号依存性

タイムデジタイザ回路 (Time-to-Digital Converter)

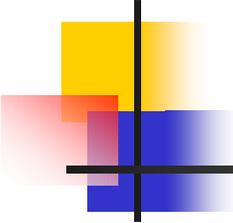
デジタル回路のみで構成



TDC デジタル出力

フリップフロップ出力
(温度計コード)

Q1=1
Q2=1
Q3=0
Q4=0
Q5=0
⋮



発表内容

ナノCMOS時代のアナログ技術 私論

逐次比較近似AD変換器

通信用 AD変調器

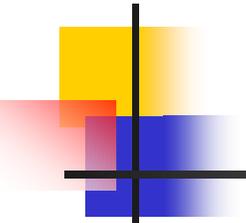
時間領域AD変換器

アナログテスト技術

パワー回路、MEMS技術

まとめ

[付録] サンプルホールド回路でのノイズ



アナログ部のテスト容易化設計

— 計測技術 —

デジタルDFT

Scan Path, Signature Analysis 成功

アナログDFT

汎用法は難しい

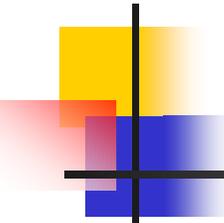
個別アナログ回路に対して開発必要

BIST, BOST



論文は出ているが実用的なものは限られている。

アナログスキャンパス → まだ充分広まってない



測定とテストは似て非なる技術

「測定」では

被測定信号は予想がつかない

Uncontrollable

「テスト」では

被測定信号は予想がつく

Controllable

繰り返し波形  等価サンプリング技術

波形のサンプリング技術

等価サンプリング技術

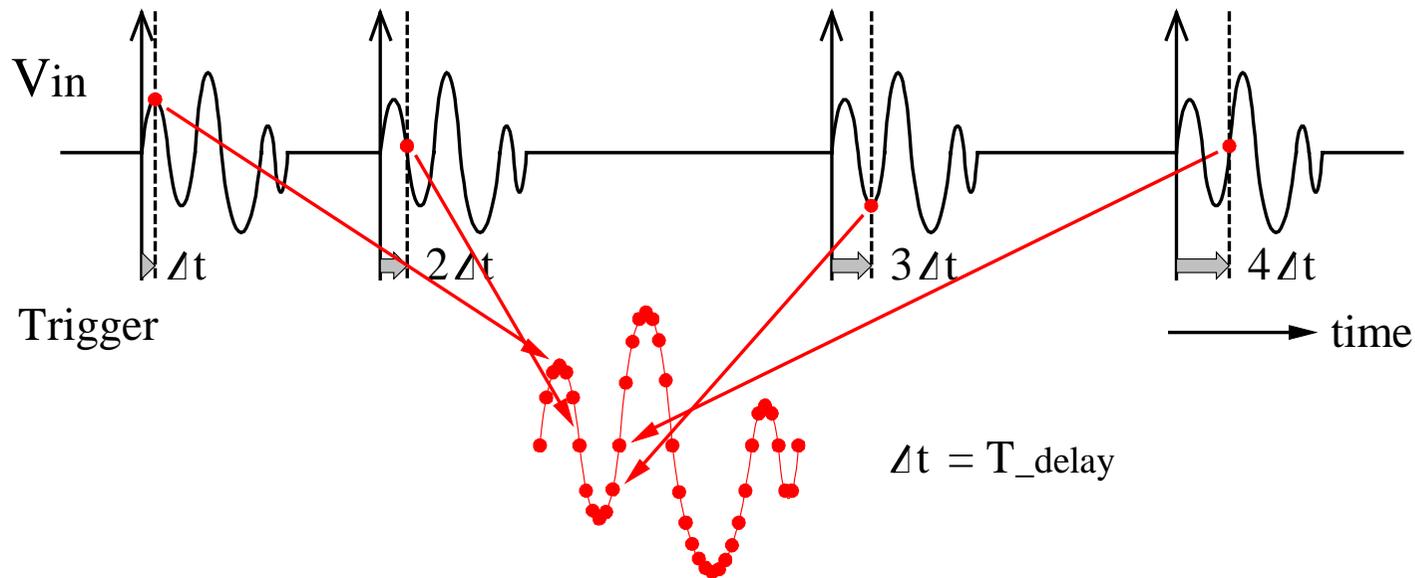
繰り返し信号

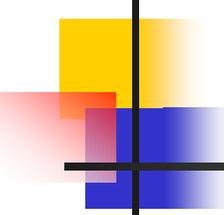
3つのタイムベース

広帯域サンプラー回路

ジッタ、有限アパーチャ時間

スイッチ回路の非理想特性





AD / DA変換技術と電子計測

AD変換器

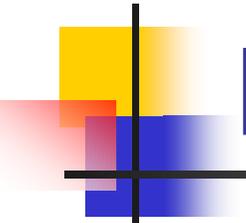
アーキテクチャ、回路技術

波形のサンプリングに使用

DA変換器

デバイス技術

信号発生に使用



現在のデバイスで 明日のデバイスを測定する

電子計測システムには工夫が必要
デバイス

CMOSで1チップがベスト

Bipolar, GaAsも使用

実装技術での工夫

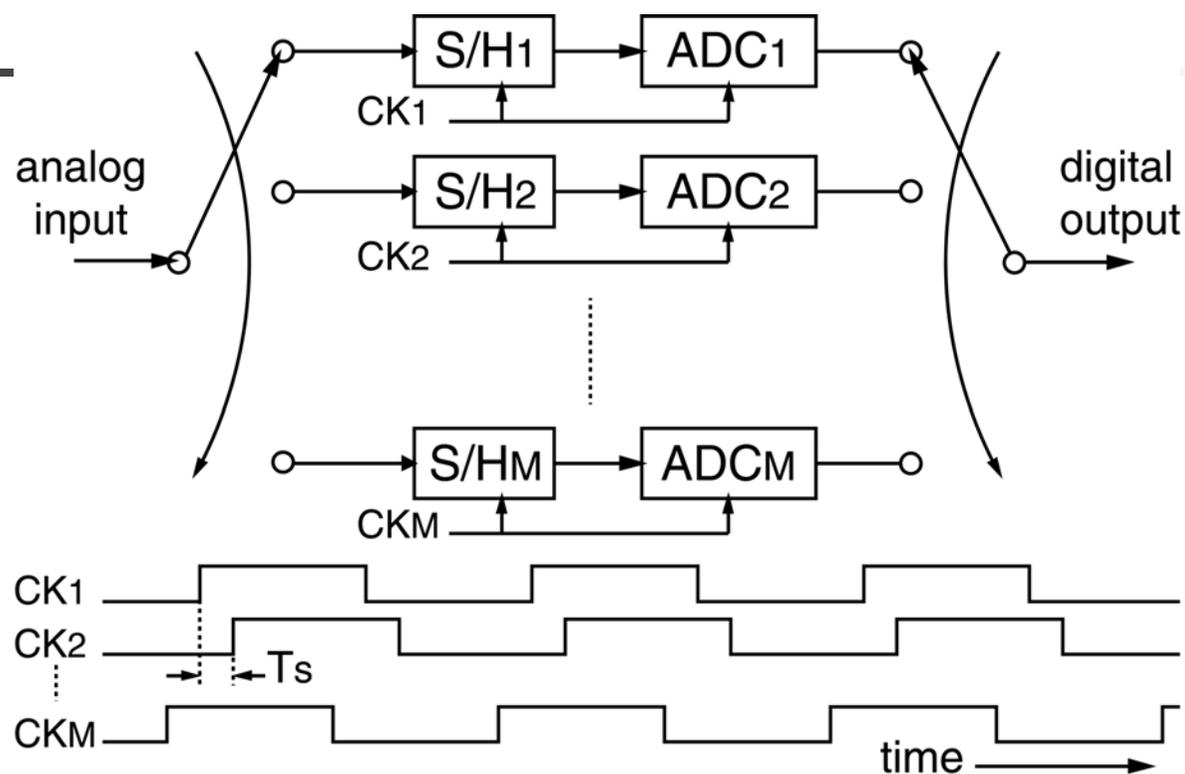
アーキテクチャ、回路技術

アルゴリズム技術

インターリーブADCは電子計測器の技術

インターリーブ技術

- M個のADCでM倍のサンプリングレートを実現



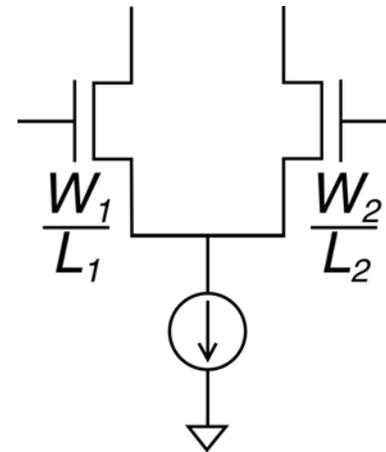
- チャンネル間ミスマッチによってS/Nが低下
 - 通常キャリブレーションが必要
- スピードの問題をシステムの問題に変換

アナログ回路のミスマッチ

- 回路レベル -

- 差動ペアのオフセット V_{os}

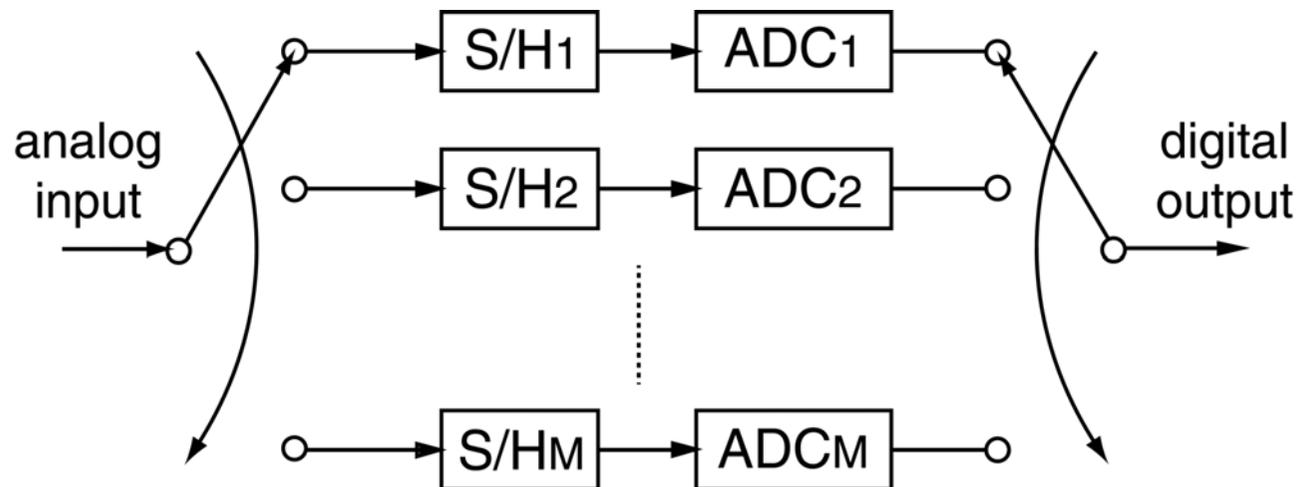
$$(V_{os})_{rms} \propto \frac{1}{\sqrt{WL}}$$



アナログ回路のミスマッチ

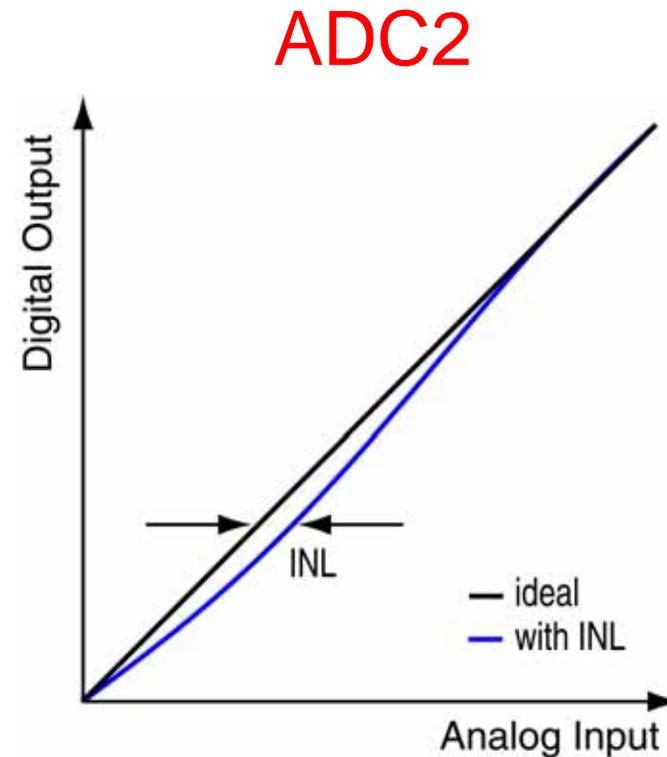
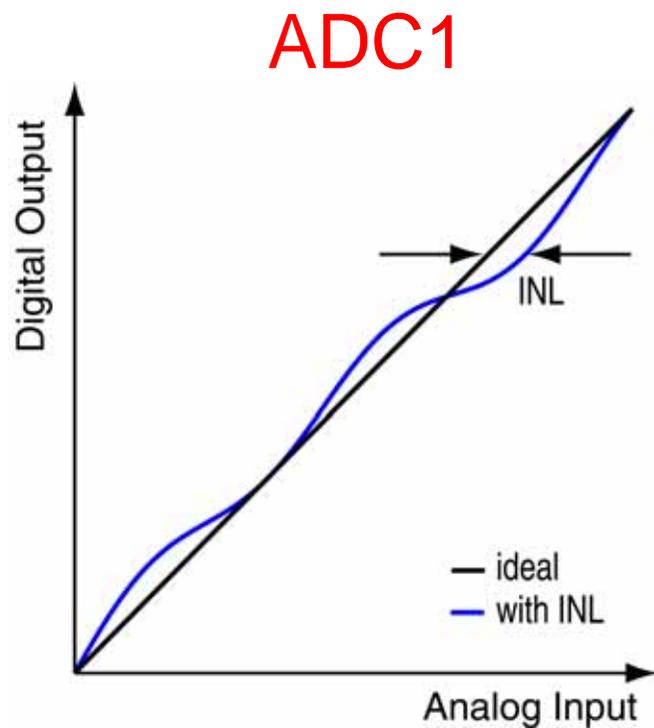
- システムレベル -

■ インターリーブADCのチャンネル間のミスマッチ



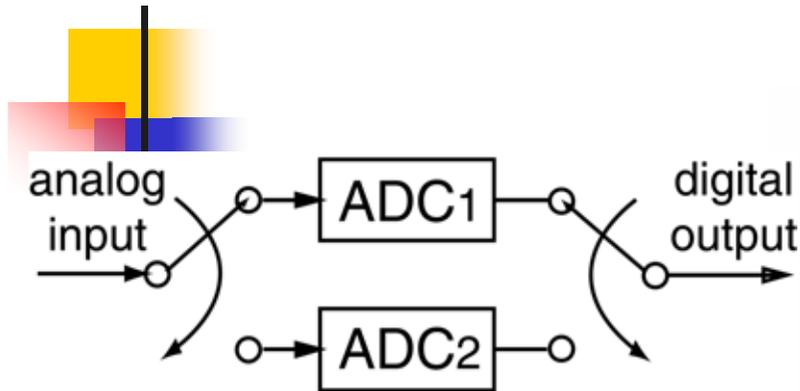
オフセット、ゲイン、タイミング、帯域、線形性のミスマッチ

インターリーブADC 積分線形性ミスマッチ

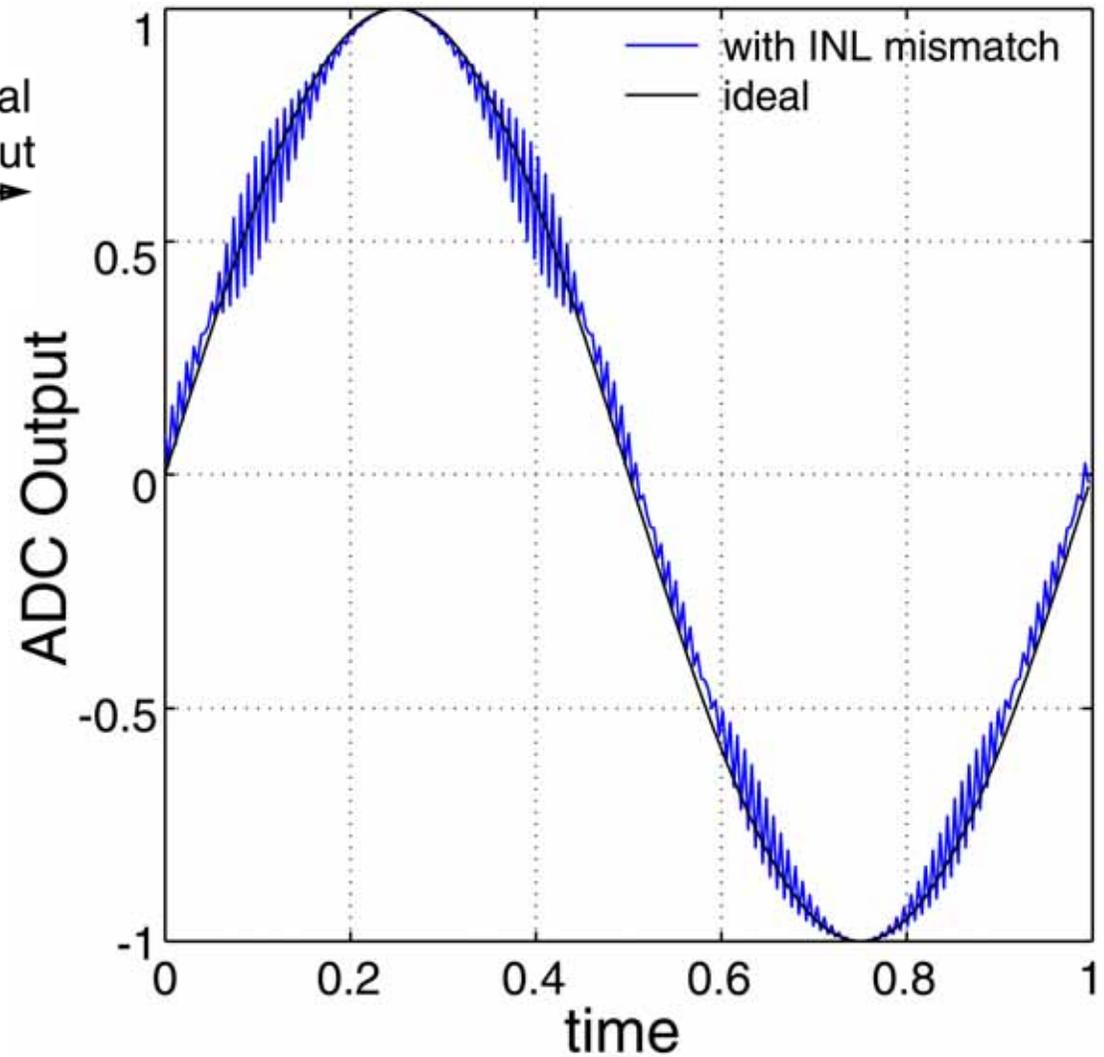


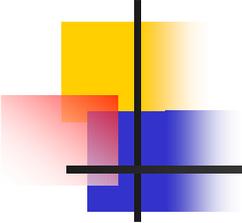
- 各チャンネルのADC (ADC1, ADC2, ...) によって積分線形性が異なる

ADC出力波形 - 2チャンネル



- 正弦波入力
- パターンノイズ





高速ADCのアーキテクチャ

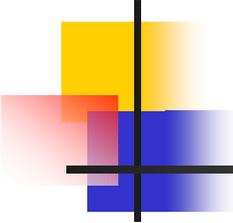
インターリーブAD変換システム

大部分の回路が比較的遅い周波数の
クロックで動作

高い周波数の信号が不要

タイミングの問題が少ない

低速のデバイス・回路・信号で
高速のADCが実現できる。



高精度ADCのアーキテクチャ

高精度回路が不要

大きなプロセス変動を許容

低ノイズ回路・デバイスが不要

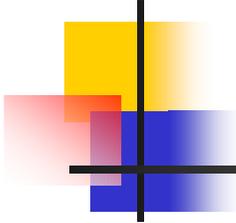
デルタ・シグマADC

- ナノCMOSのアナログ回路

ノイズ大のデバイス、低精度回路

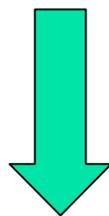
(ただし高速)

で高精度ADCを実現



デルタ・シグマAD/DA変調技術

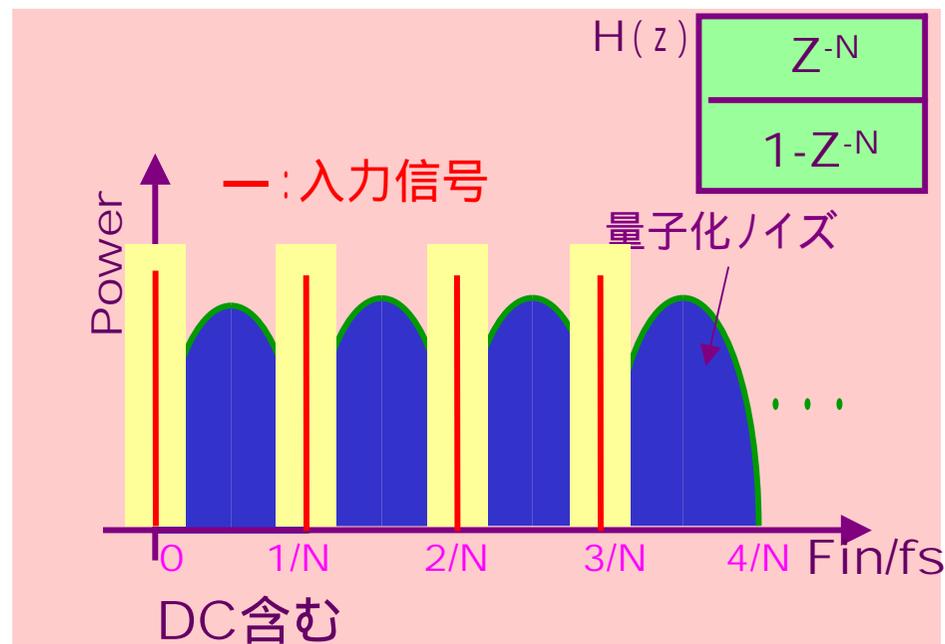
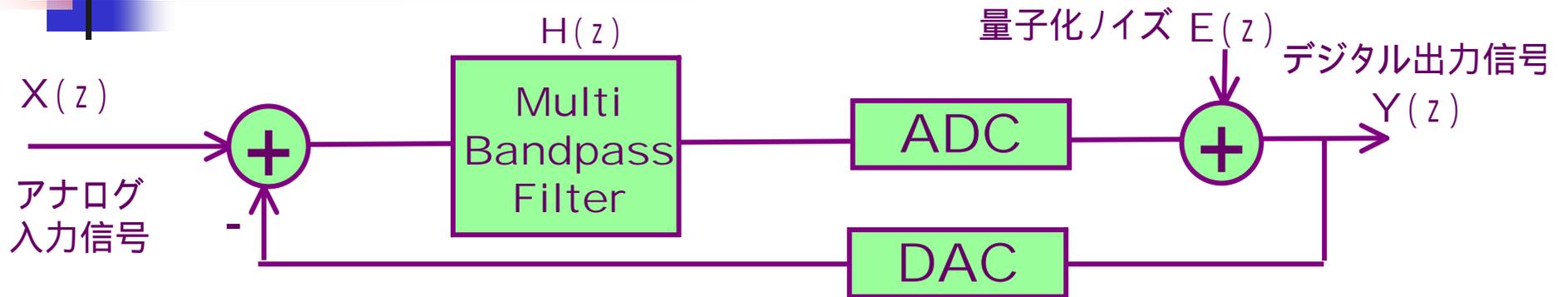
アナログ最小、デジタルリッチな構成
スピードを精度に変換
高精度なデバイス、回路不要



微細CMOSで高精度なADC/DACを
実現するのに適した構成

マルチバンドパス

AD変調器

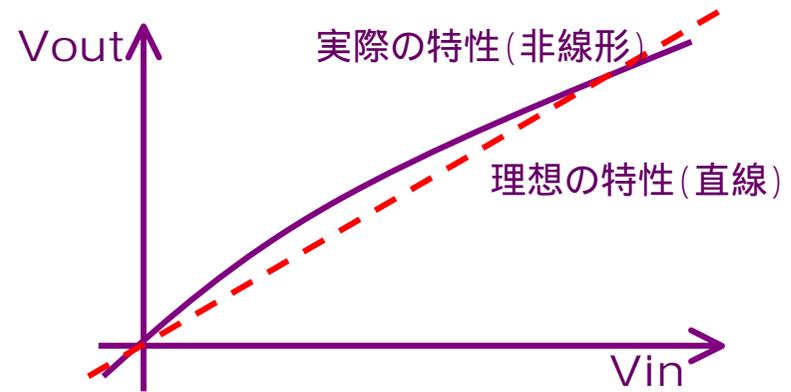


リニア・アナログ回路の非線形性

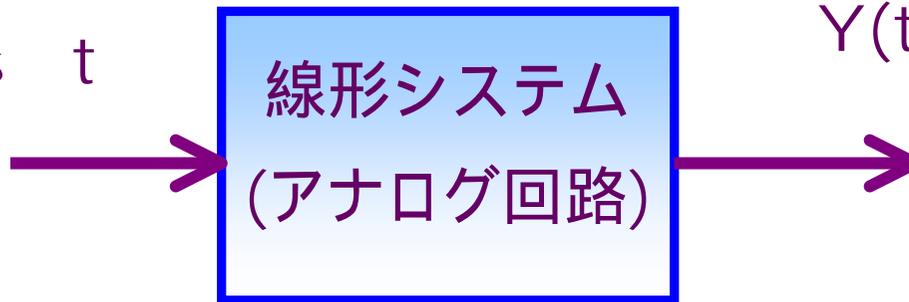
リニア・アナログ回路
(アンプ、DA変換器、スイッチ等)



非線形性により歪みが生じる



入力
 $X(t) = A \cos t$



実際 非線形

出力

$$Y(t) = A_0 + A_1 \cos t + A_2 \cos 2t + A_3 \cos 3t$$

高調波

“安全”なデジタルシステム設計

Secure Digital Systems (ISSCC 2007)

デジタルLSI情報を同定・コピーされない技術。

レイアウトにダミー

信号配線は下の層を使用

ハードウェア、ソフトウェアに機能分割して実現

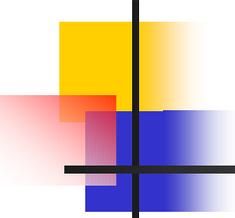
等さまざまなテクニック → コピーを商売にさせるな

設計者はハッカーからチップ内情報をわかりづらくする。



対照的

LSIテスト技術：設計者とテスト者が協力して
チップ内情報が検査によりわかるようにする。



発表内容

ナノCMOS時代のアナログ技術 私論

逐次比較近似AD変換器

通信用 AD変調器

時間領域AD変換器

アナログテスト技術

パワー回路、MEMS技術

まとめ

[付録] サンプルホールド回路でのノイズ

RF回路だけでなくパワー回路 (電源、高耐圧回路)も重要

- **パワーマネージメント**

 - スイッチング電源回路

 - チャージポンプ電源回路

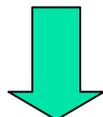
Integrated
Power Electronics

- **パワーアンプ**

 - Envelop Tracking

 - EER (Envelope Elimination and Reconstruction)

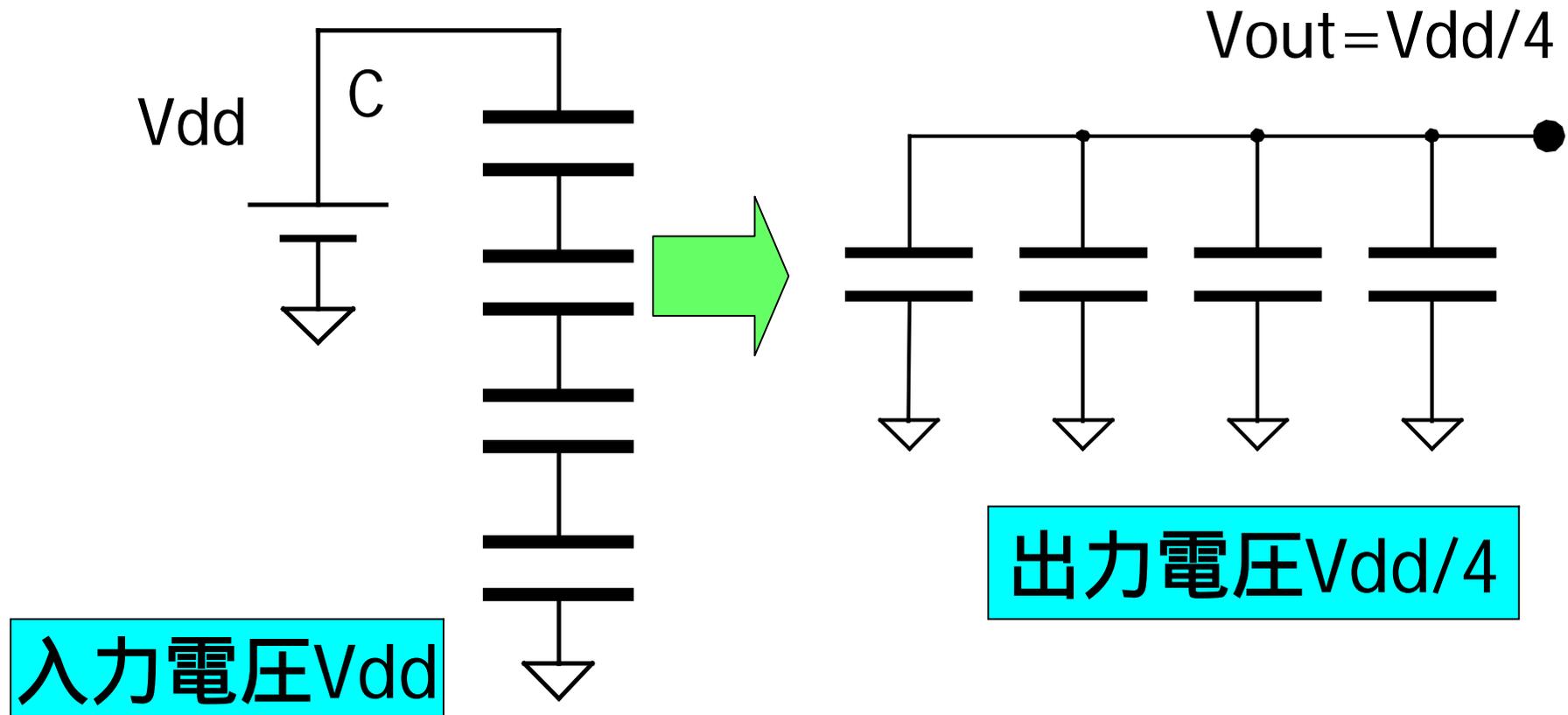
- **AD変換器の低消費電力化**



情報通信処理にも
パワーエレクトロニクスが必要

スイッチド・キャパシタ型降圧回路

なぜ損失が生じるのか？



- スイッチの切り替えにより $V_{out} = V_{dd}/4$ を実現

容量とスイッチ

スイッチ OFF 時

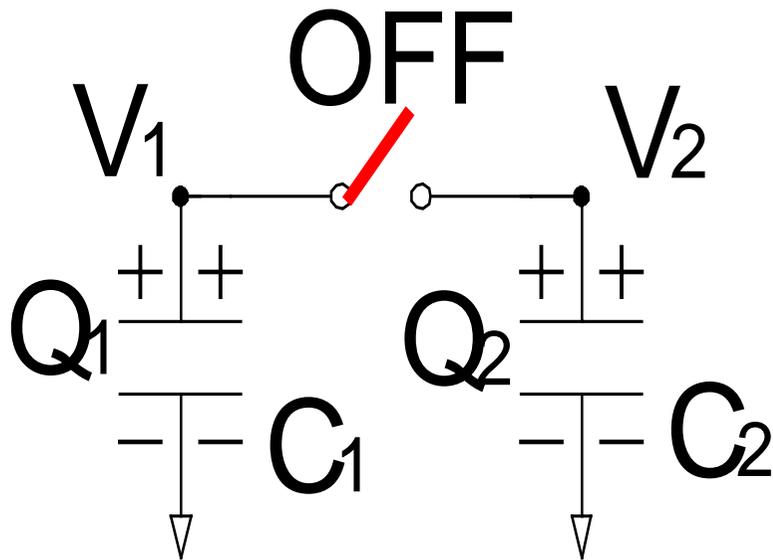
電荷：

$$Q_1 = C_1 \cdot V_1$$

$$Q_2 = C_2 \cdot V_2$$

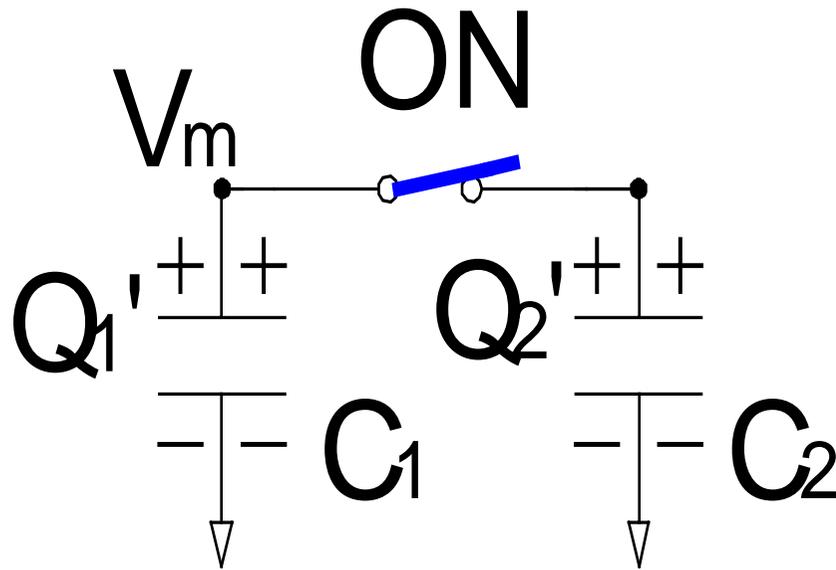
エネルギー：

$$E = \frac{1}{2} C_1 \cdot V_1^2 + \frac{1}{2} C_2 \cdot V_2^2$$



容量とスイッチ

スイッチ ON 時



電荷：

$$Q_1' = C_1 \cdot V_m$$

$$Q_2' = C_2 \cdot V_m$$

エネルギー：

$$E' = \frac{1}{2} (C_1 + C_2) V_m^2$$

電荷保存則

SW OFF 時の電荷 $Q_1 + Q_2$

ON 時の電荷 $Q_1' + Q_2'$

$$V_m = \frac{1}{C_1 + C_2} (C_1 \cdot V_1 + C_2 \cdot V_2)$$

SW OFF 時と ON 時の蓄積エネルギーは異なる。

SW ON時のスイッチでのエネルギー・ロス

$$\begin{aligned} E_{loss} &= E - E' \\ &= \frac{1}{2} \frac{C_1 \cdot C_2}{C_1 + C_2} (V_1 - V_2)^2 \end{aligned}$$

力学での2つの物質の衝突問題

電荷保存則  運動量保存則

スイッチオフ時： 電荷エネルギー

スイッチオン時：

電荷エネルギー + 熱エネルギー

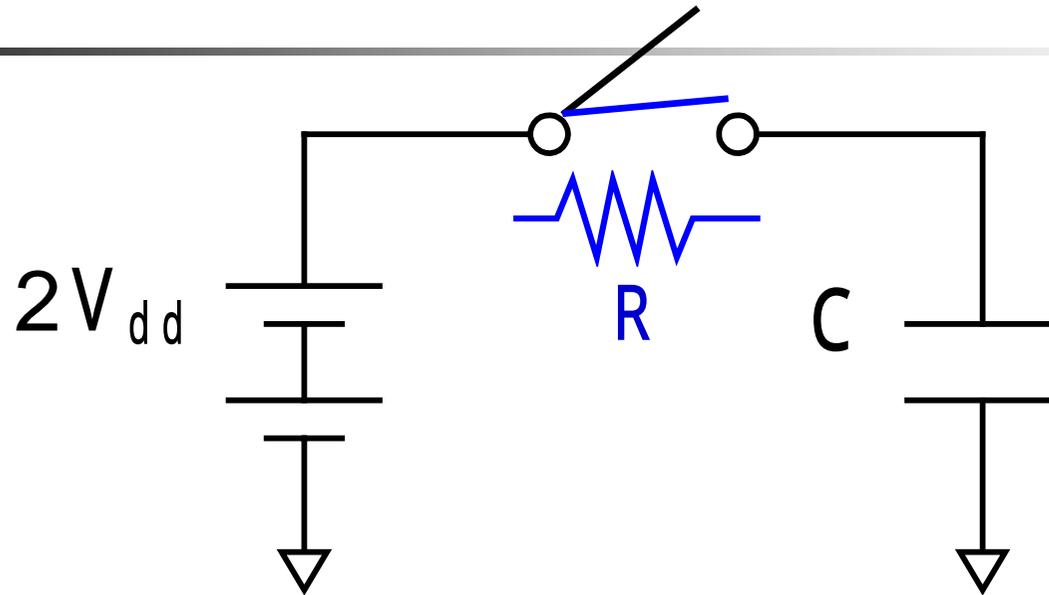
衝突前： 運動エネルギー

衝突後：

運動エネルギー + 熱エネルギー

容量C に 2V_{dd} を充電

- 直接法 -



供給するエネルギー

蓄えられるエネルギー

$$E_{total} = 2V_{dd} \int_0^{\infty} i(t) dt = V_{dd} Q = 4CV_{dd}^2$$

$$E_c = \frac{1}{2} C (2V_{dd})^2 = 2CV_{dd}^2$$

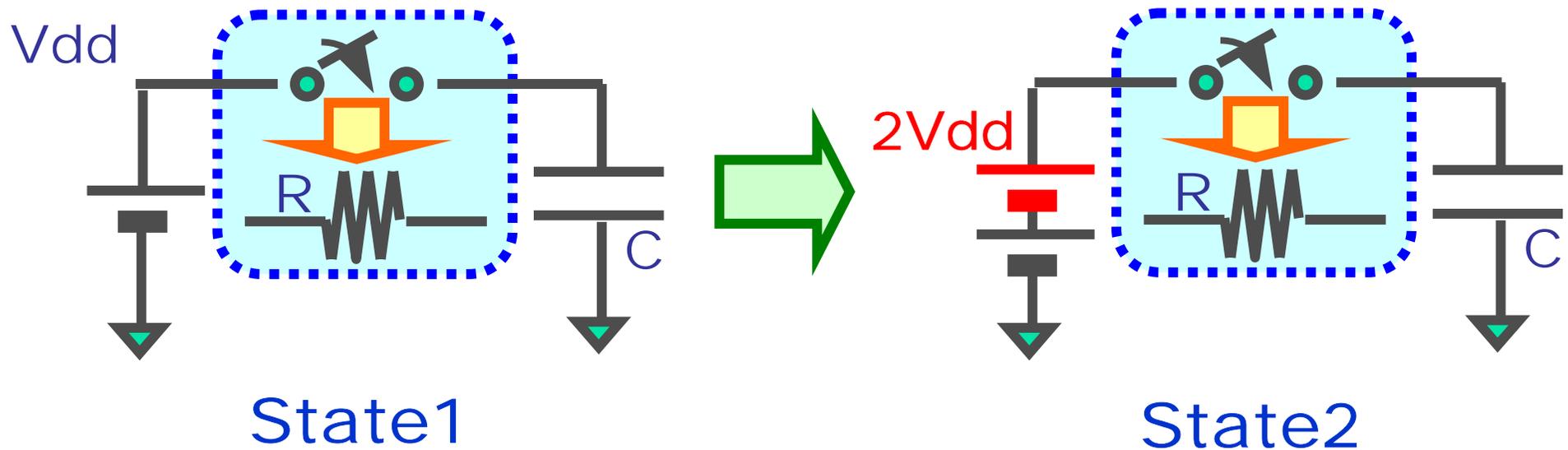
損失するエネルギー = 蓄えられるエネルギー

$$E_R = 2CV_{dd}^2$$

容量C に $2V_{dd}$ を充電

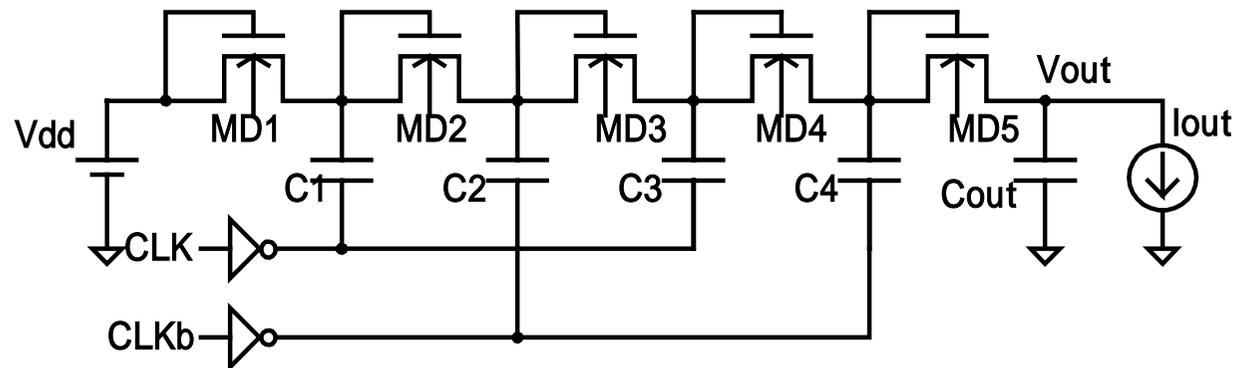
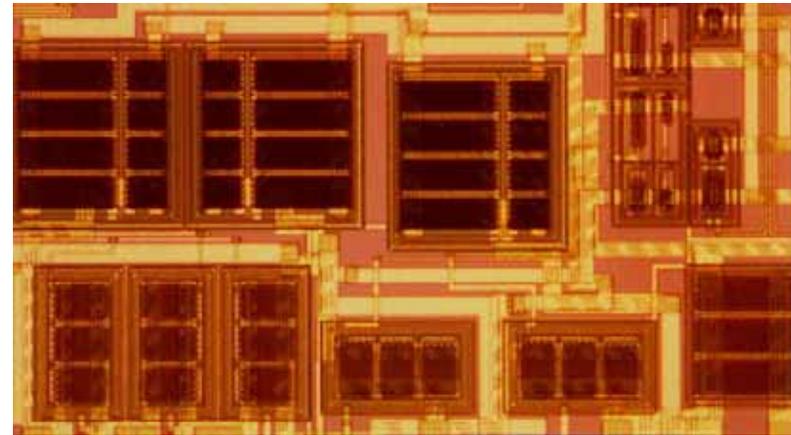
- 効率的な方法 -

徐々に電圧を上げる 損失が抑えられる



チャージポンプ電源回路 三洋電機との共同研究開発

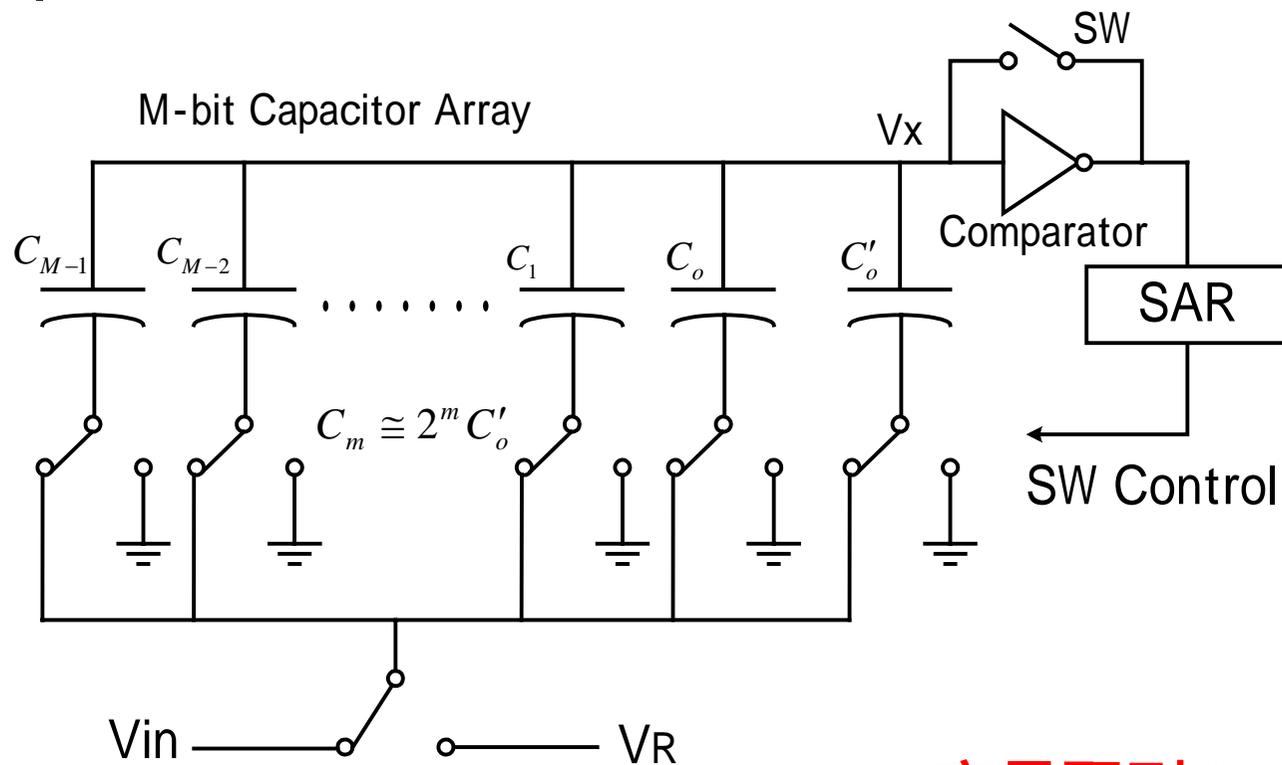
コイル不要・低電圧・
高効率・大電流
電源回路を実現。
携帯機器応用



Dickson型 チャージポンプ回路

逐次比較形A/D変換器

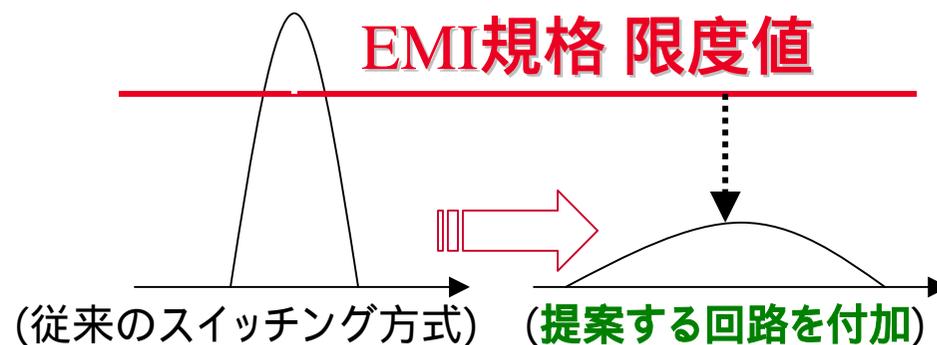
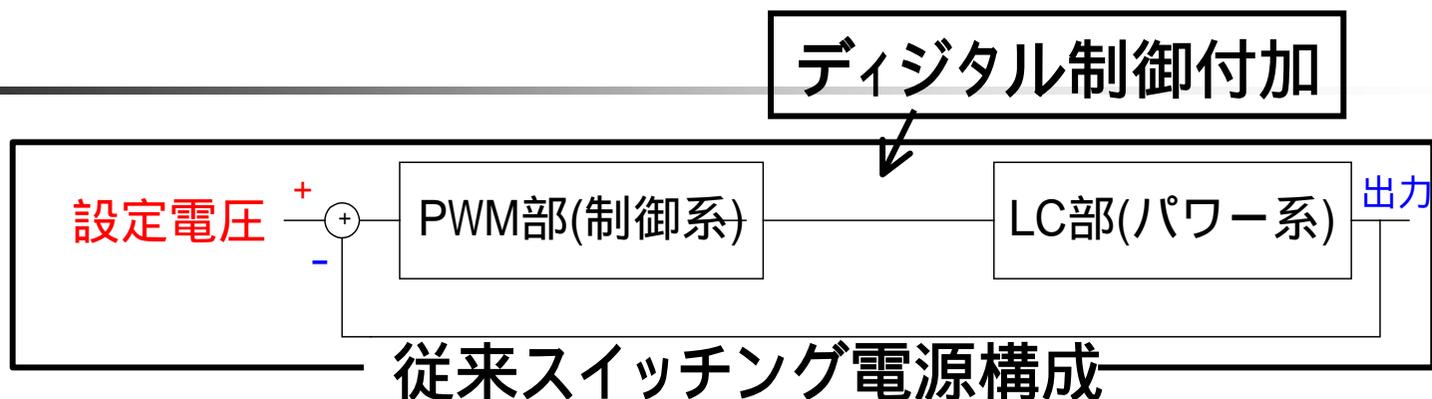
電荷再分配方式



容量配列DACの
低消費電力化が重要

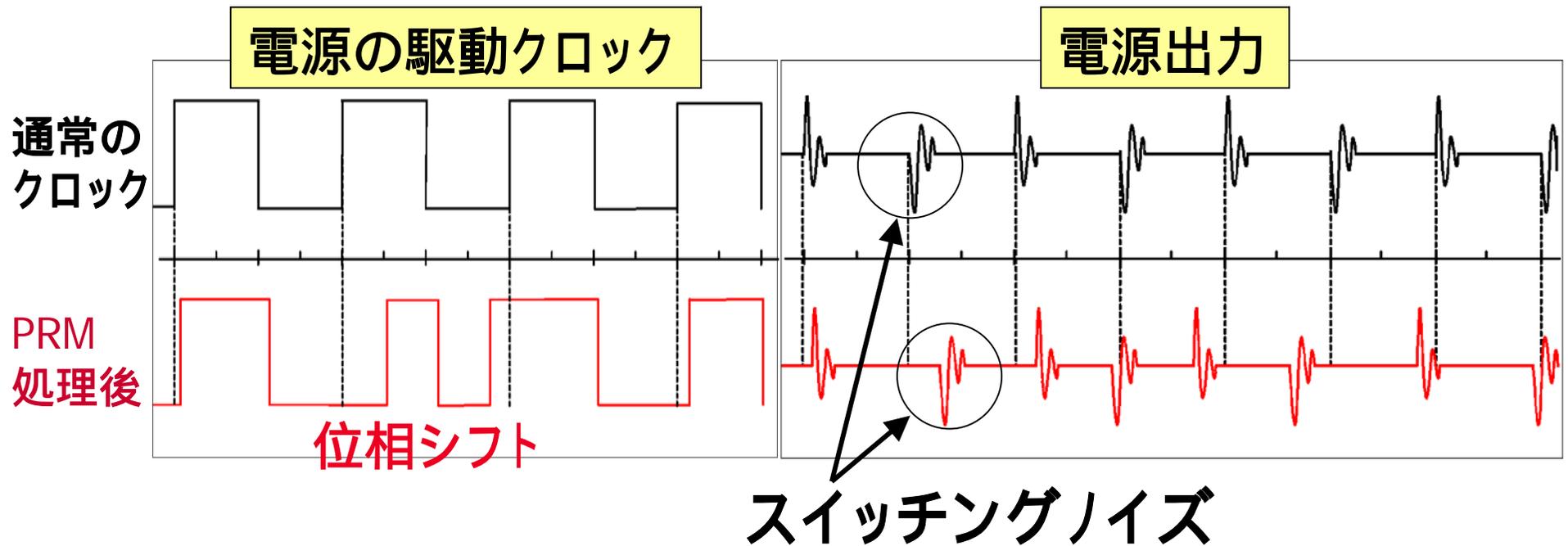
スイッチング電源回路のEMI低減化

— 信号処理技術 —



高調波ノイズパワーとスイッチングノイズパワーの
周波数成分を拡散しEMIの低減を実現

周波数拡散クロックの原理



DC - DC変換回路

•電流微分 $V = L \frac{di}{dt}$ の影響



スイッチングノイズ大

•矩形波を用いたスイッチング制御

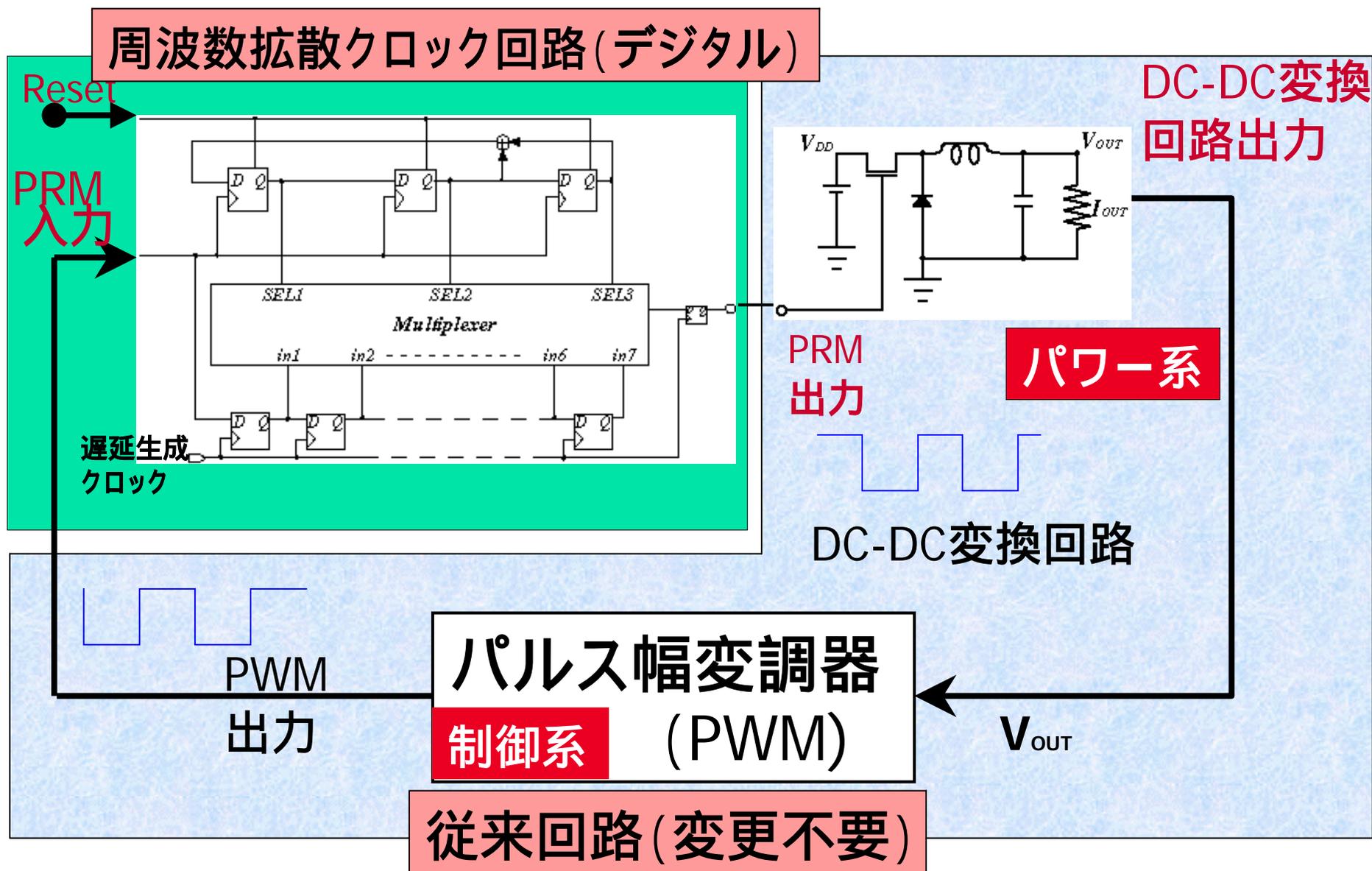


高調波ノイズ大

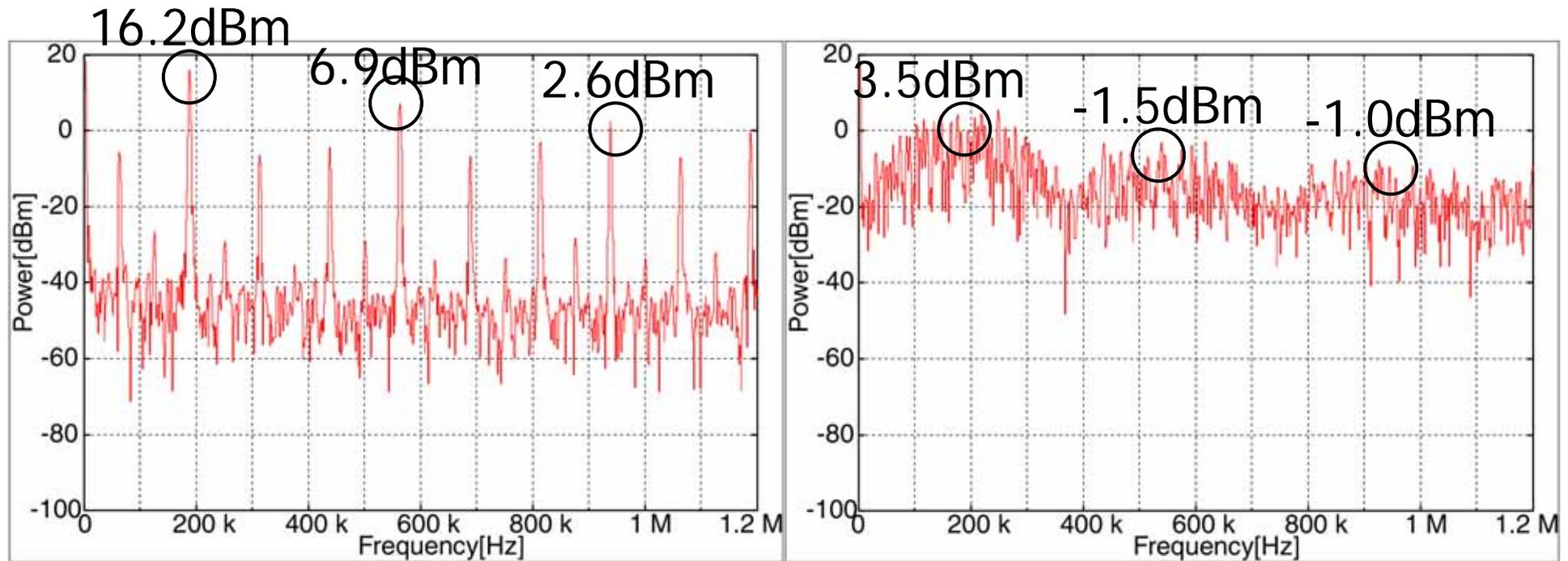


ノイズパワーを疑似ランダム拡散

E MI低減 DC-DC変換回路の構成



周波数拡散クロックの 実測パワースペクトラム



通常のクロックの
パワースペクトラム

(従来)

5bitM系列PRM出力クロックの
パワースペクトラム

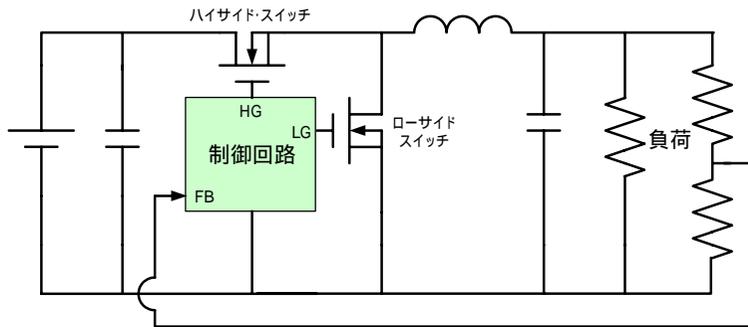
(提案手法)

最大ピーク12.7dB減少

デジタル制御電源

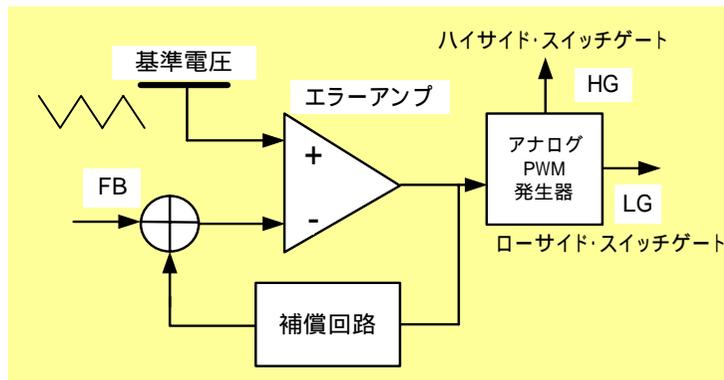
— 電源もデジタルの時代 —

■ スイッチング電源回路



■ 制御回路部

■ アナログ方式



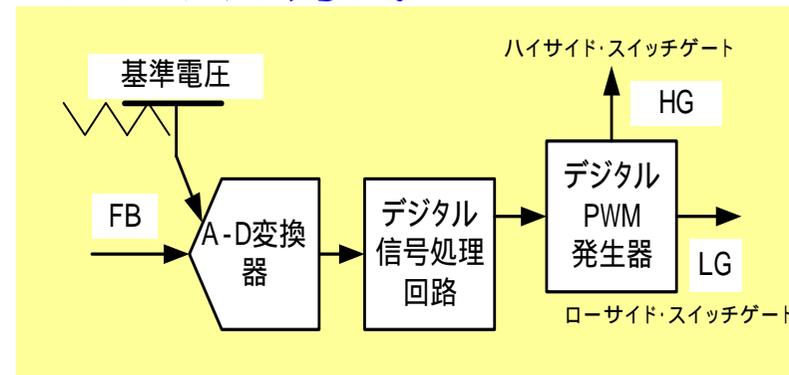
■ メリット

- ・効率・応答・ノイズ性能向上
- ・回路変更・追加のカスタム対応力向上
- ・設計スピード向上
- ・小型化・低コスト化・高信頼性

■ デメリット

- ・消費電力大、高コスト

■ デジタル方式



デジタル制御電源の キーコンポーネント

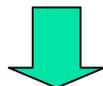
AD変換器

逐次比較型、パイプライン型
フィードバックループ中にあるので
through put だけでなく latency も重要

デジタルPWM発生回路

Digital-to-Time Converter

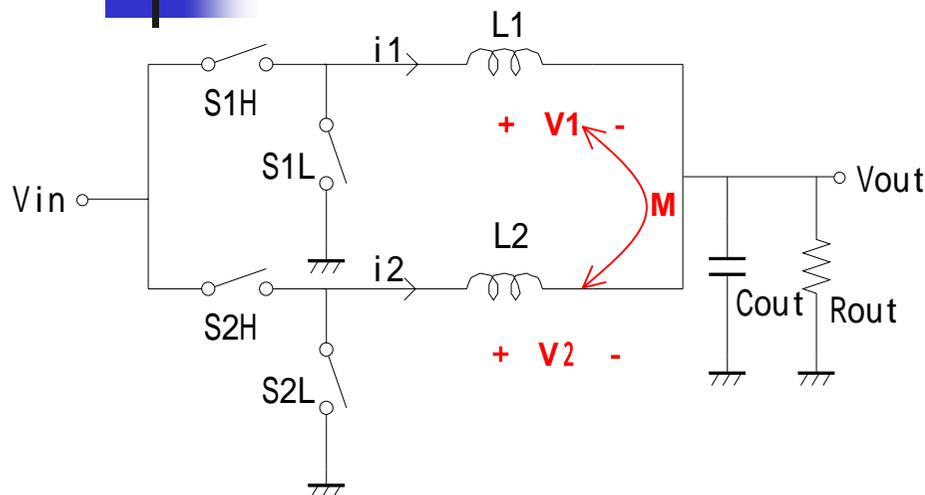
高時間分解能、低消費電力、少量回路実現



3月30日電子回路研究会(大阪)で発表予定

結合インダクタを用いた電源回路

— 高速性と安定性の制御問題 —



$M < 0$: インダクタ結合係数

次世代プロセッサ用
電源回路

負荷電流変動に対して**高速応答**

過渡状態で等価インダクタンス **小**

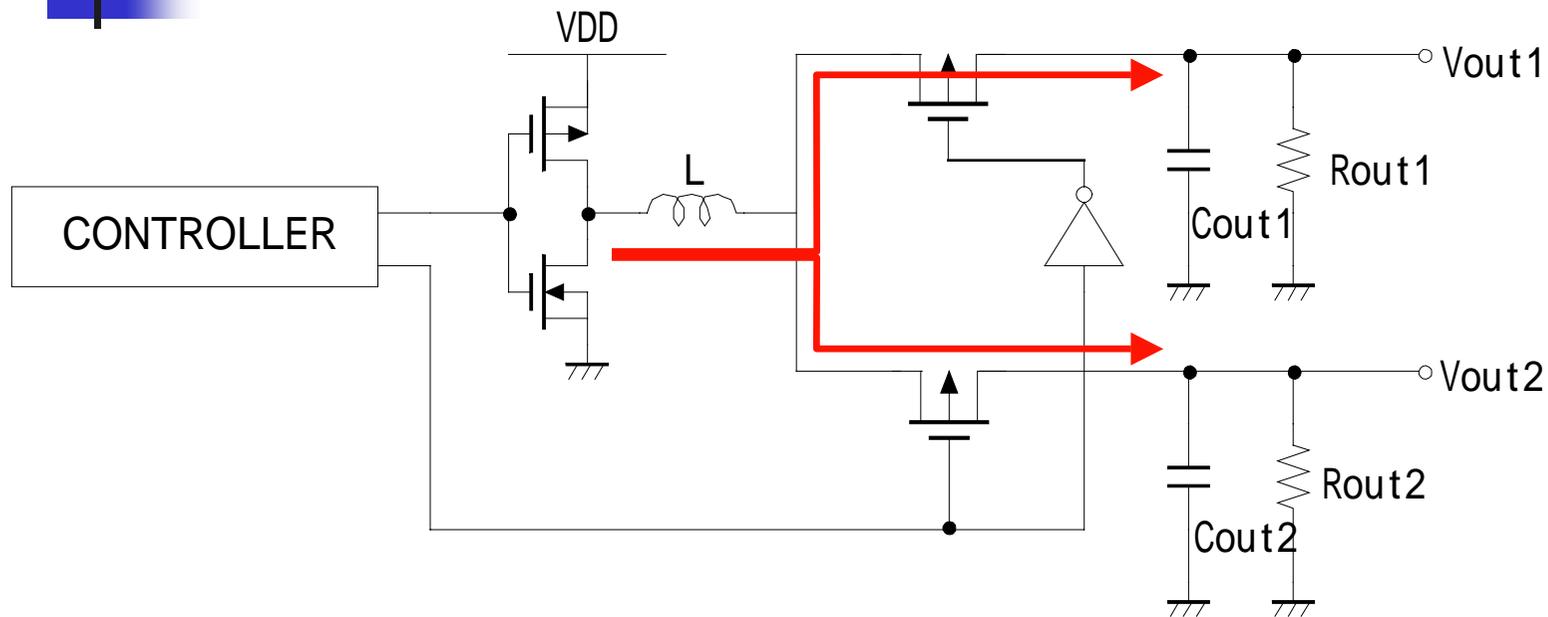
容量Cを小さくできる **小面積**

各相の**電流リップル小**

定常状態で等価インダクタンス **大**

スイッチングロスの**低減 高効率**

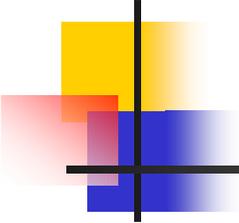
1つのインダクタを用いて 複数電圧を発生



1つのインダクタを時分割で2つの出力ノードで使用

インダクタ個数が減らせるので低コスト・小型化

制御が複雑  チャレンジングな**制御技術**課題



MEMSとアナログ回路

MEMS (Micro Electro Mechanical System):

高電圧、低速、素子寸法大、可動、低試作コスト

微細CMOSアナログ回路:

低電圧、高速、高試作コスト

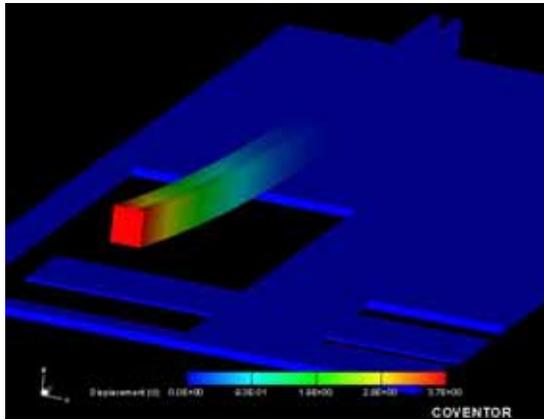
微細CMOS回路技術を補完する。

アナログ回路設計のセンスで

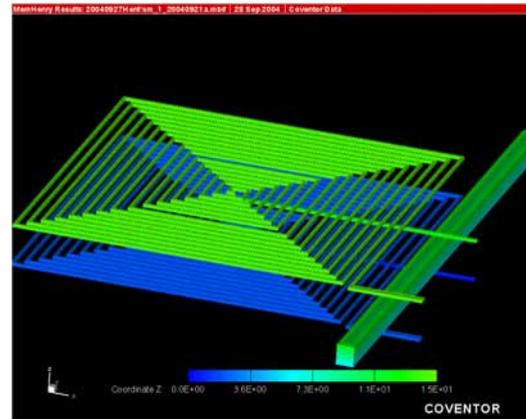
MEMS研究が可能

設計を行い、外部ファブダリで試作し、
評価を行う。

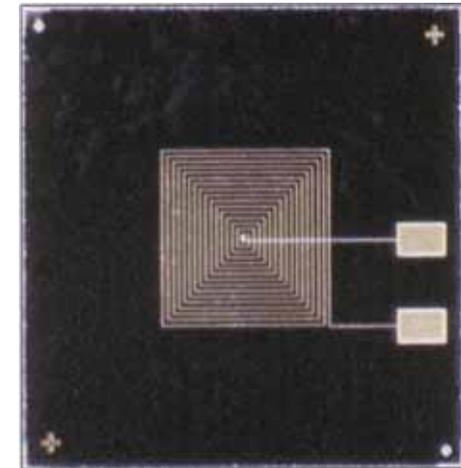
MEMS を用いたアナログ回路設計



熱膨張スイッチ
シミュレーション



可変相互インダクタ
シミュレーション



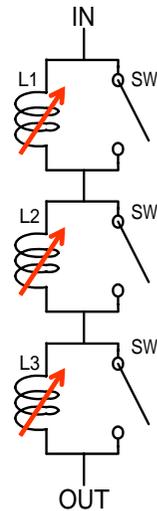
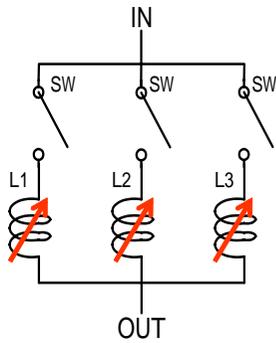
インダクタの試作
(MEMSファウンドリ
富士電機システムズ)

シミュレータ: CoventorWare

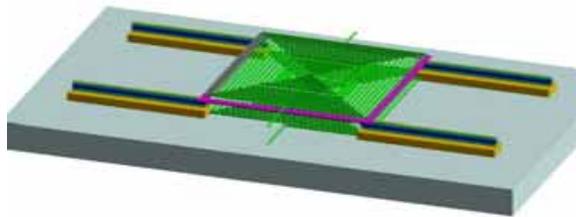
アナログIC設計のセンスでMEMS設計研究を行う

MEMS技術による可変インダクタ

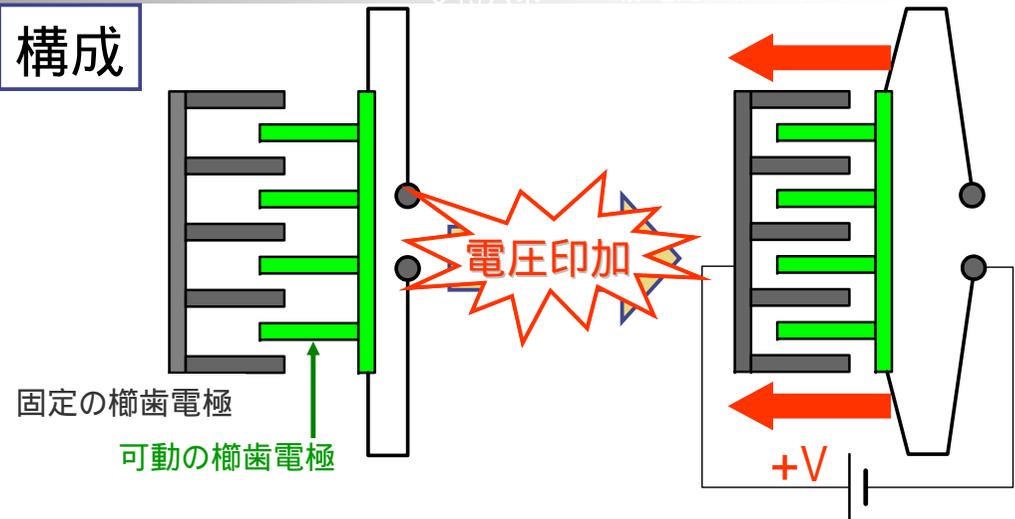
- スイッチと静電アクチュエータ -



スイッチと
提案可変インダクタ
連続的に値を制御

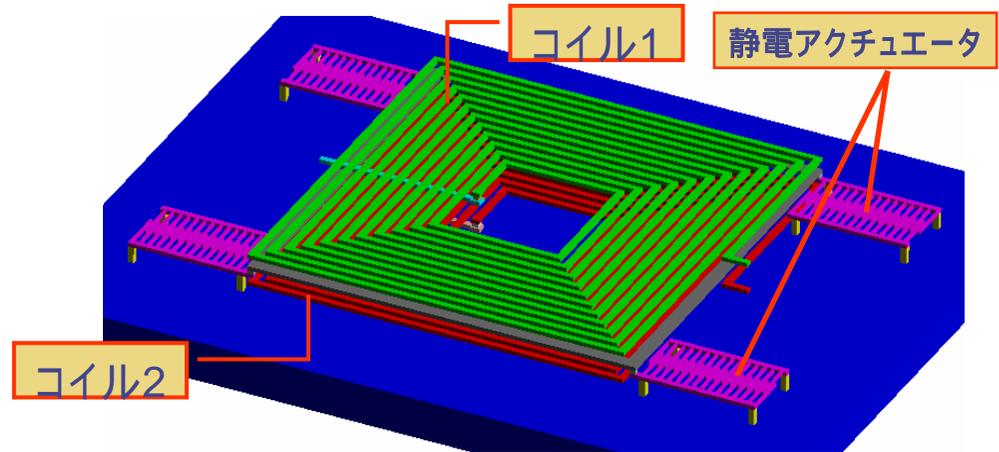


構成



固定の櫛歯電極

可動の櫛歯電極



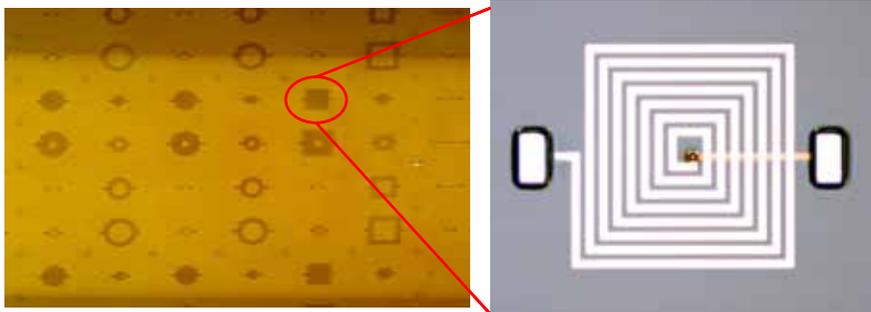
MEMS技術による可変インダクタ

- 原理 -

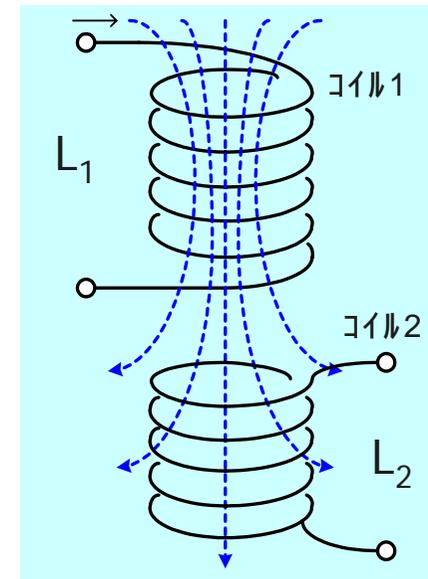
スパイラル インダクタ

Specification

- ・巻き数: 16巻
- ・ライン幅: 16 [μm]
- ・線間距離: 45 [μm]
- ・全体幅: 1.9 [mm]
- ・材料: AlSi
- ・基板: SiO₂



<ファナダリ 富士電機システムズ>



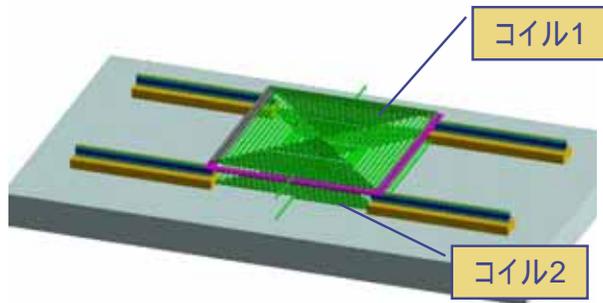
アクチュエータによって
2つのコイル間の距離を変化

相互インダクタンス値を可変

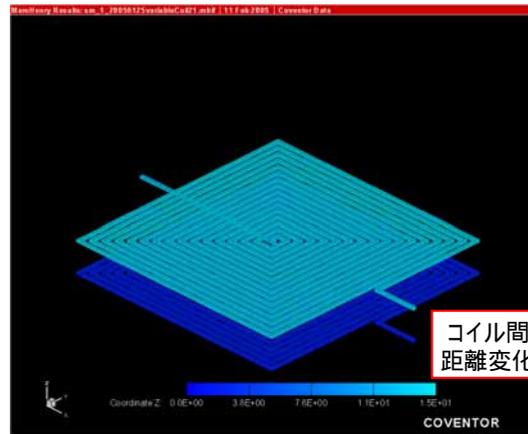
MEMS技術による可変インダクタ

- シミュレーション -

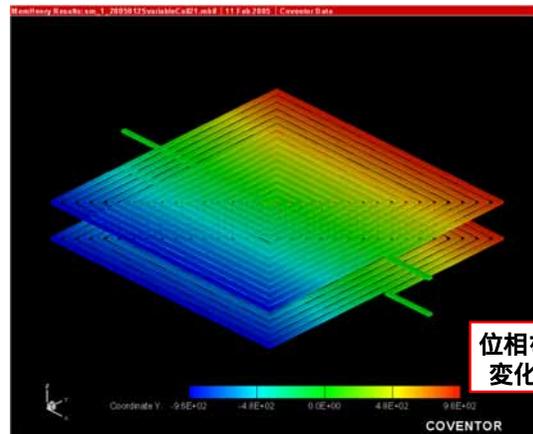
<構成>



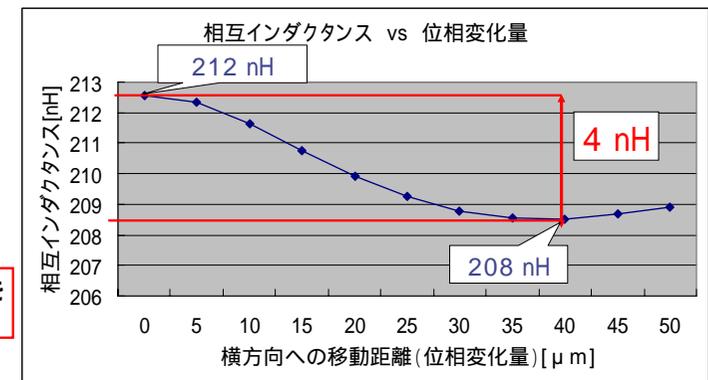
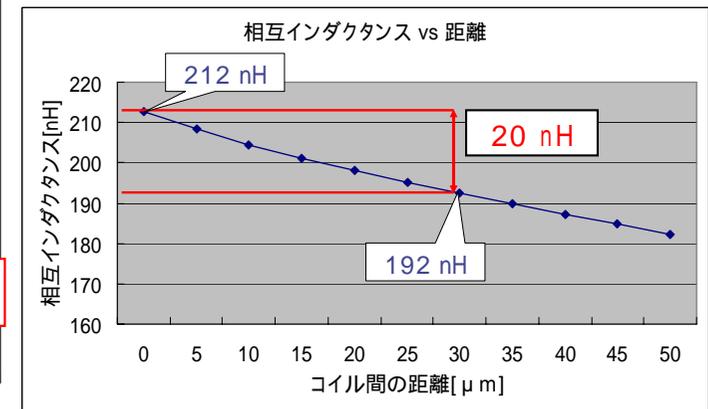
垂直方向移動

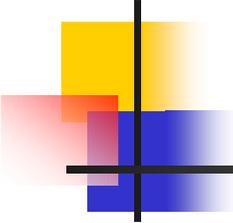


水平方向移動



相互インダクタンスの変化量





発表内容

ナノCMOS時代のアナログ技術 私論

逐次比較近似AD変換器

通信用 AD変調器

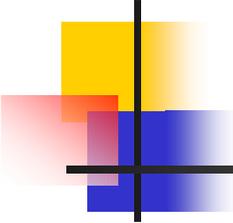
時間領域AD変換器

アナログテスト技術

パワー回路、MEMS技術

まとめ

[付録] サンプルホールド回路でのノイズ



まとめ

ナノCMOS時代のアナログ回路

デジタルを生かすアナログ技術

アナログを高性能化するデジタル技術

ADC/DAC はますます重要

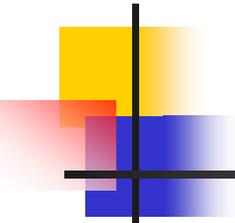
デジタルリッチ、アナログミニマム

回路技術だけでなく

信号処理、計測、制御技術

パワー・高耐圧、MEMSは重要

スピード・帯域だけでなくノイズも重要



発表内容

ナノCMOS時代のアナログ技術 私論

逐次比較近似AD変換器

通信用 AD変調器

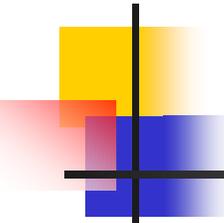
時間領域AD変換器

パワー回路、MEMS技術

アナログテスト技術

まとめ

[付録] サンプルホールド回路でのノイズ



アナログ回路におけるノイズ

CMOS アナログ回路

ノイズより**ミスマッチ**が大きな誤差要因のことが多い



ノイズの問題が軽視されていないか。

連続時間アナログフィルタ

フィルタ理論、回路構成だけでなく

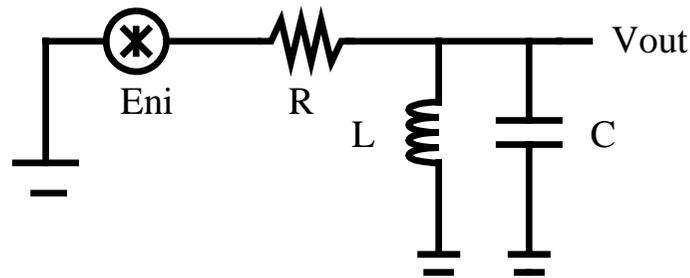
ノイズ、線形性、消費電力が重要

サンプルホールド回路のノイズ

アナログフィルタにおけるノイズ

LCR回路の全帯域ノイズ kT/C

元計量研究所 森村正直氏導出

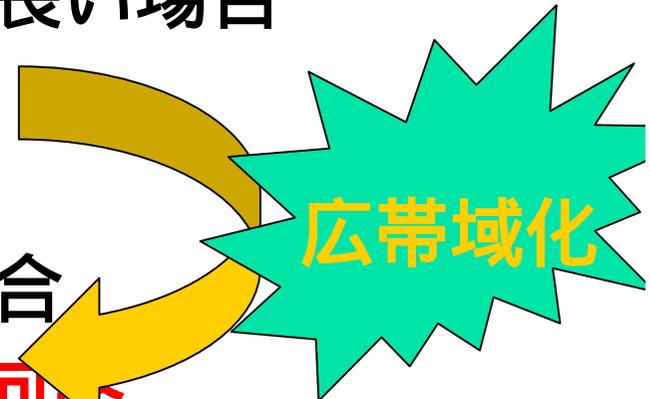


Gm-C バンドパスフィルタの帯域内ノイズ

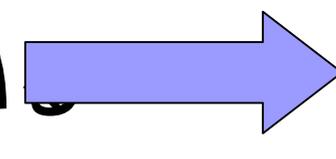
Q 値に比例

サンプリング回路技術の現状

- A/D変換前段のS/H回路
 - サンプリング時間が十分に長い場合
 - **トラックホールド回路**
(SoC上のADCに使用)
 - サンプリング時間が短い場合
 - **インパルスサンプリング回路**
(サンプリングオシロスコープに使用)
- 現在別々に扱われてい



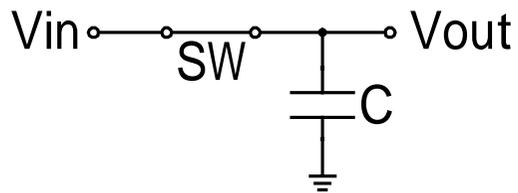
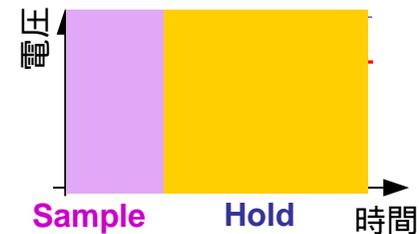
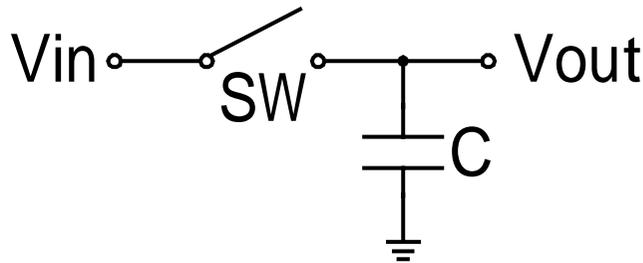
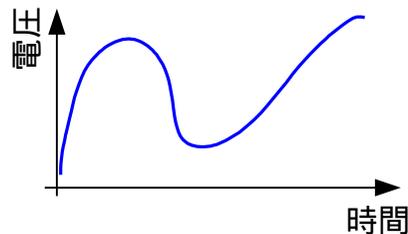
広帯域化



新提案

S/H回路の動作

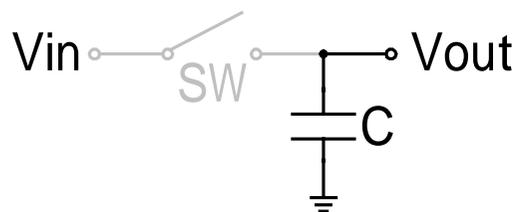
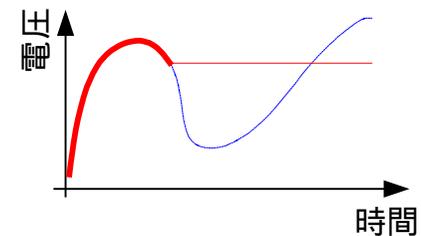
S/H回路の基本構成：スイッチと容量



• スイッチSWがONの時

• $V_{out}(t) = V_{in}(t)$

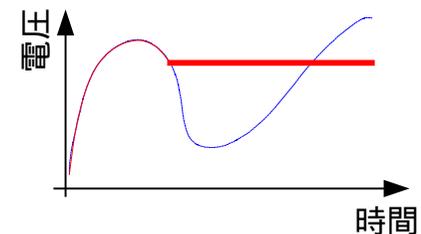
Sample動作



• スイッチSWがOFFの時

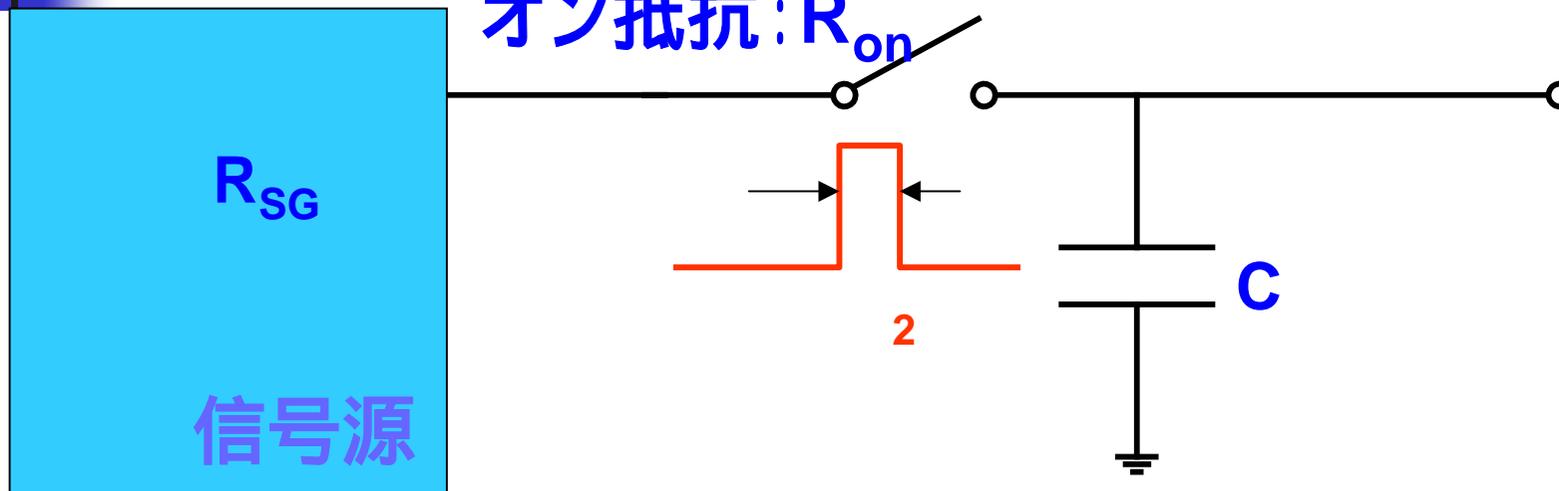
• $V_{out}(t) = V_{in}(t_{OFF})$

Hold動作



S/H回路での2つの時定数

1、 2



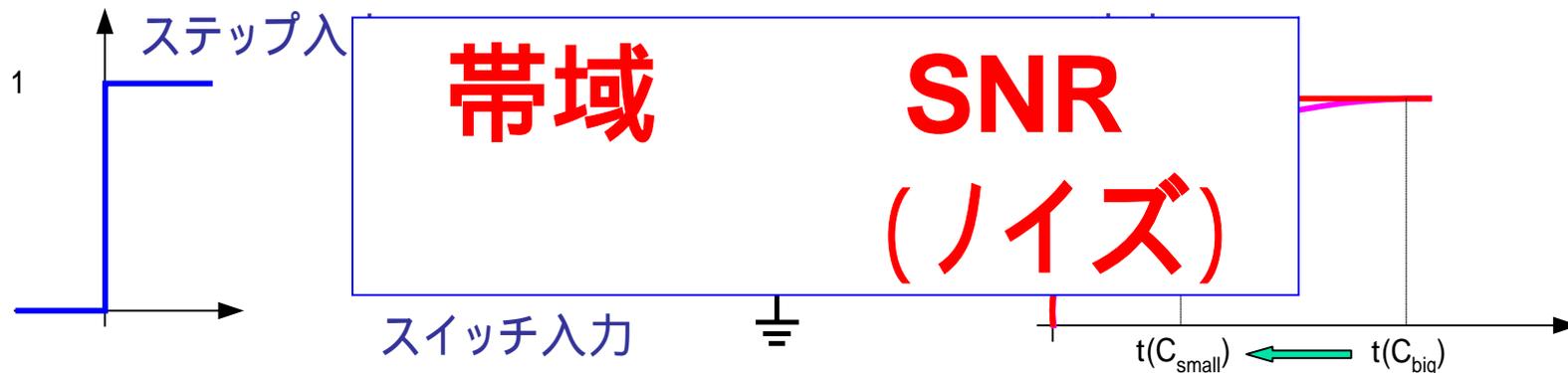
■ S/H回路の時定数

- 1 : 信号源の抵抗とスイッチのオン抵抗の合成抵抗と容量から構成される時定数 $((R_{on} + R_{SG}) \times C)$
- 2 : スイッチング時間窓

時定数 τ_1 (容量) の影響

■ 帯域

- 容量: 小 素早い充電が可能 (帯域: 広)



■ 熱雑音

- 容量: 小 ノイズ: 大 $N_{rms} = \sqrt{\frac{kT}{C}}$

サンプリング時間窓₂の影響

■ 帯域

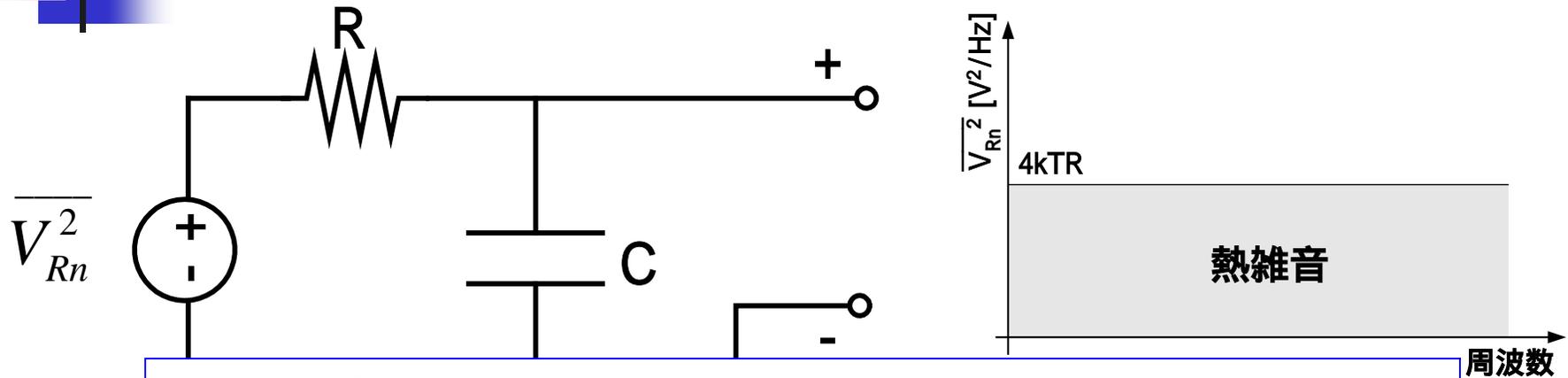
- パルス幅:短 出力:素早く定まる(帯域:広)



■ 信号成分

- パルス幅:短 信号成分:小 $Signal \propto \frac{1}{C}$

S/H回路での出力熱雑音



広帯域化

C: 小

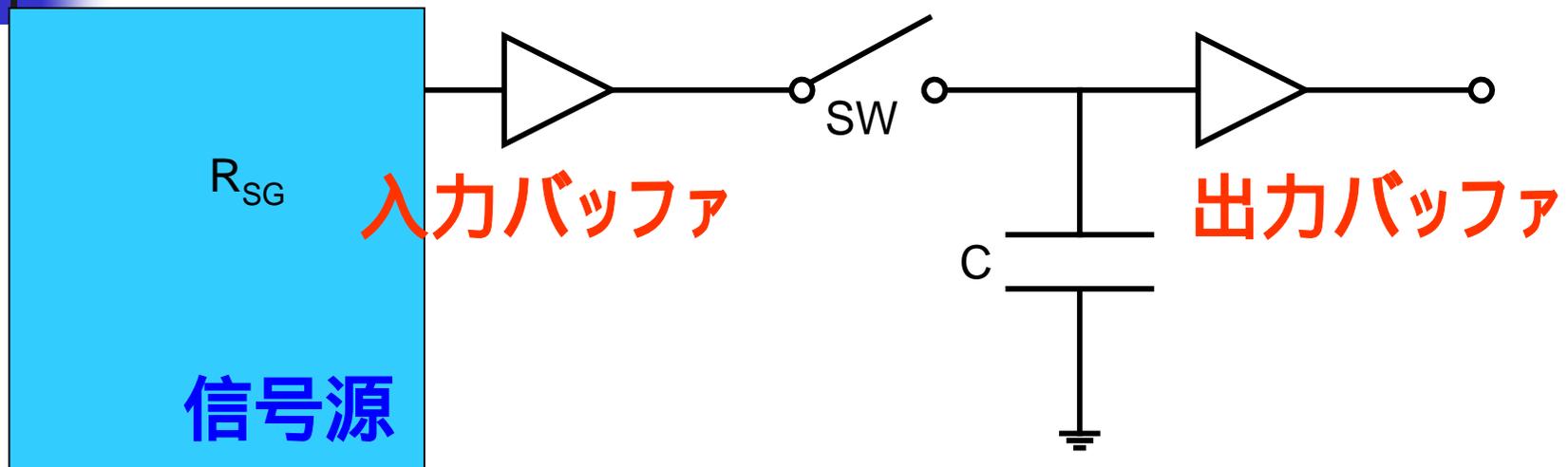
P_{noise} : 大

雑音パワー

$$P_{n,out} = \int_0^{\infty} \frac{4kTR}{4\pi^2 R^2 C^2 f^2 + 1} df$$
$$= \frac{kT}{C}$$

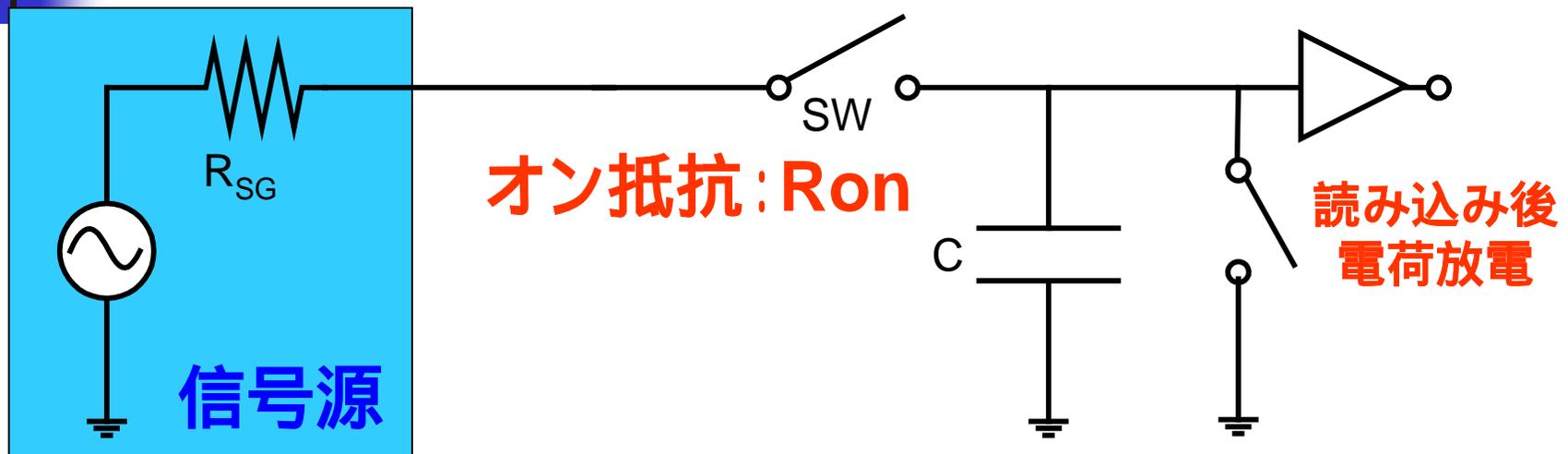
ホールド状態での熱雑音が問題

S/H回路の広帯域化



- 広帯域化(高周波数化)
入力バッファ実現困難

S/H回路の広帯域化

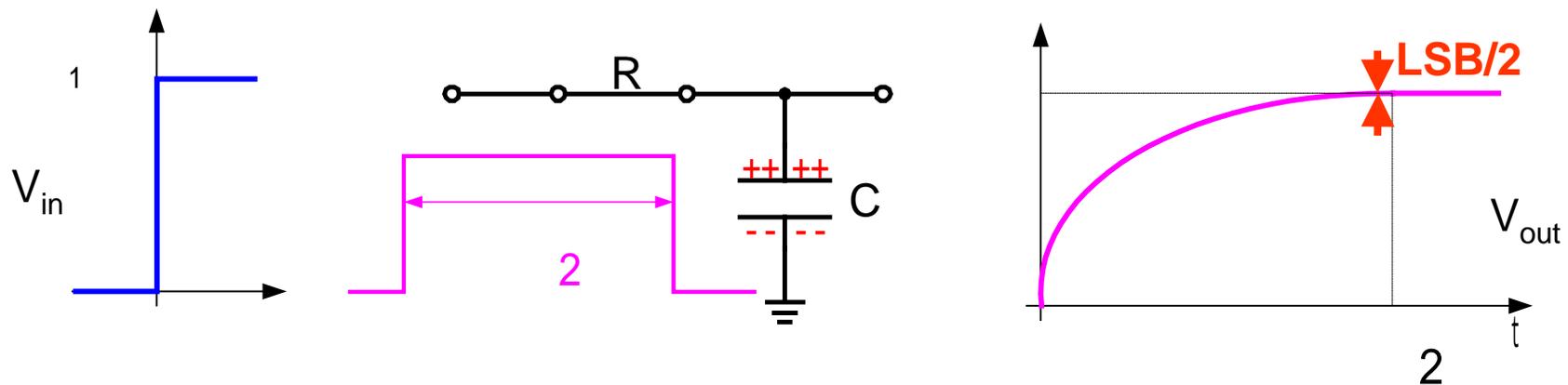


- 広帯域化(高周波数化)
入力バッファ実現困難
入力バッファを除いた構成

トラックホールド回路

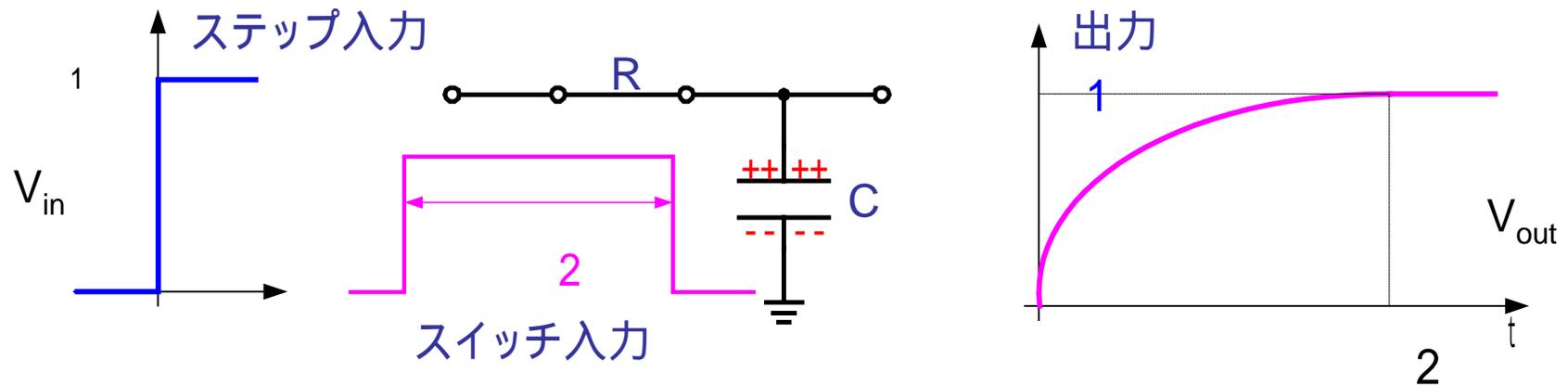
2 > > 1

- SoC上のADCに使用
- サンプリング定理
- 単発信号測定可能
- 高周波数信号 高速サンプリング必要
- 入出力差がLSB/2になるまでトラック



トラックホールド回路の動作

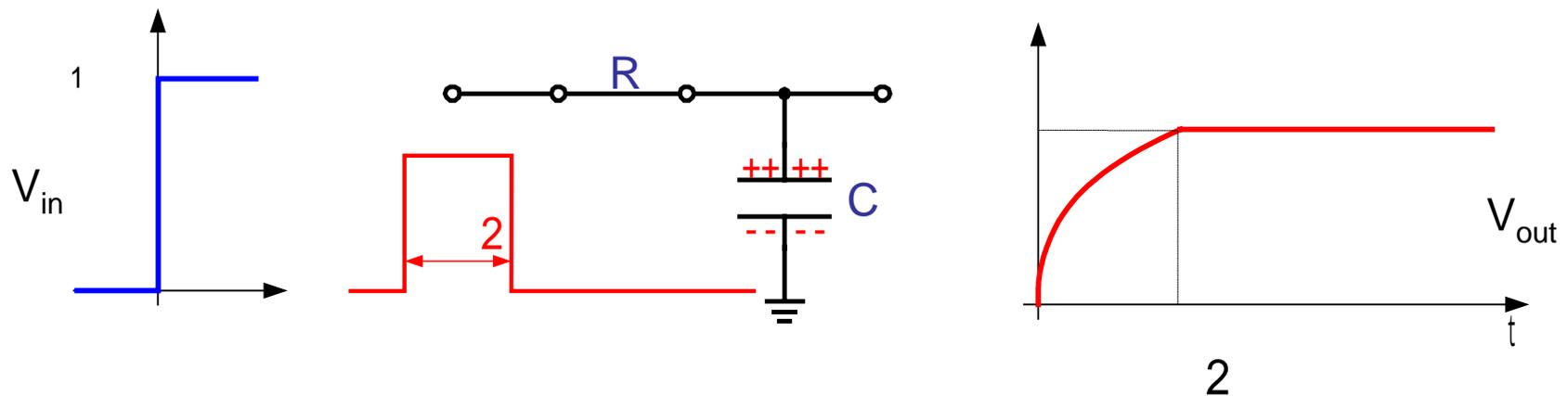
- スイッチ時間窓 $t_2 \gg t_1$
 - 容量に対して十分充電可能
出力信号成分: $S \approx 1$ 、
出力雑音成分: $N_{\text{rms}} = \sqrt{kT/C}$
 - SNR: $SNR \propto \sqrt{C}$
 - 帯域: $BW = 1/RC$



インパルスサンプリング回路

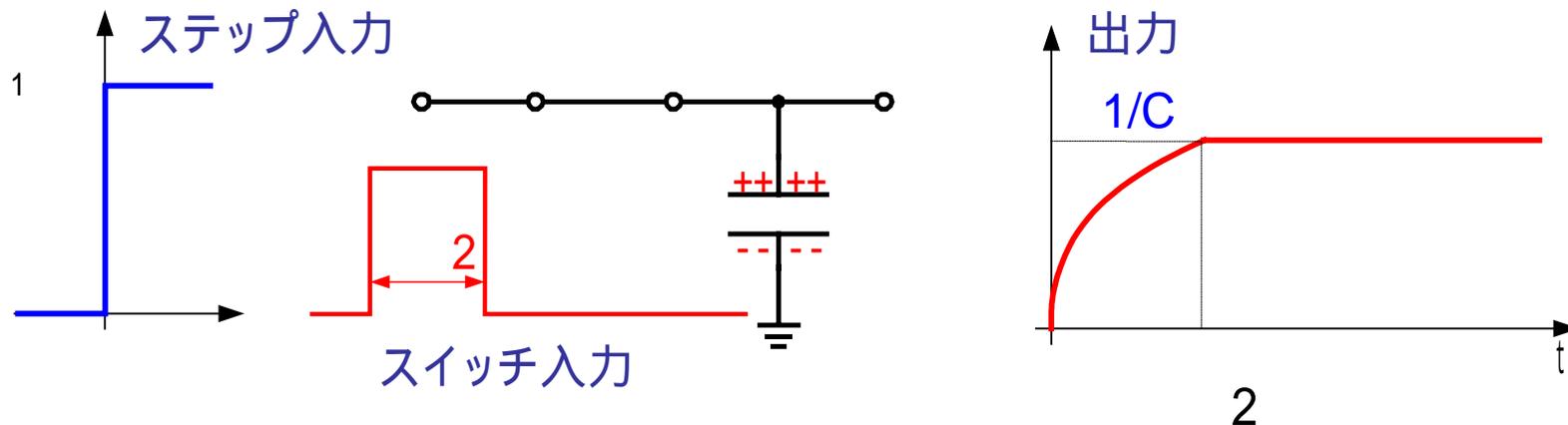
$$2 \ll 1$$

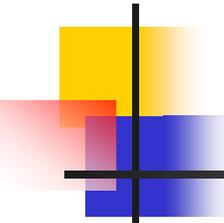
- サンプリング・オシロスコープに使用
- 等価時間サンプリング
- 繰り返し生起する信号
- 高周波信号 スイッチング時間窓 $2 \ll 1$
- 信号源へのCの影響を減らすため $2 \ll 1$



インパルスサンプリング回路の動作

- スイッチパルス幅 $\tau_2 \ll \tau_1$
 - 容量に対して十分充電できない
出力信号成分: $S \propto 1/C$ 、
出力雑音成分: $N_{\text{rms}} = \sqrt{kT/C}$
 - SNR: $SNR \propto \frac{1}{\sqrt{C}}$
 - 帯域: BW は τ_2 に大きく依存



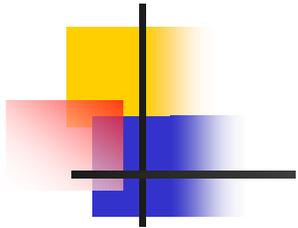


広帯域信号サンプリング技術の問題設定

- ある帯域 f_{BW} をもつS/H回路を実現する。
このとき、SNRを最大にする

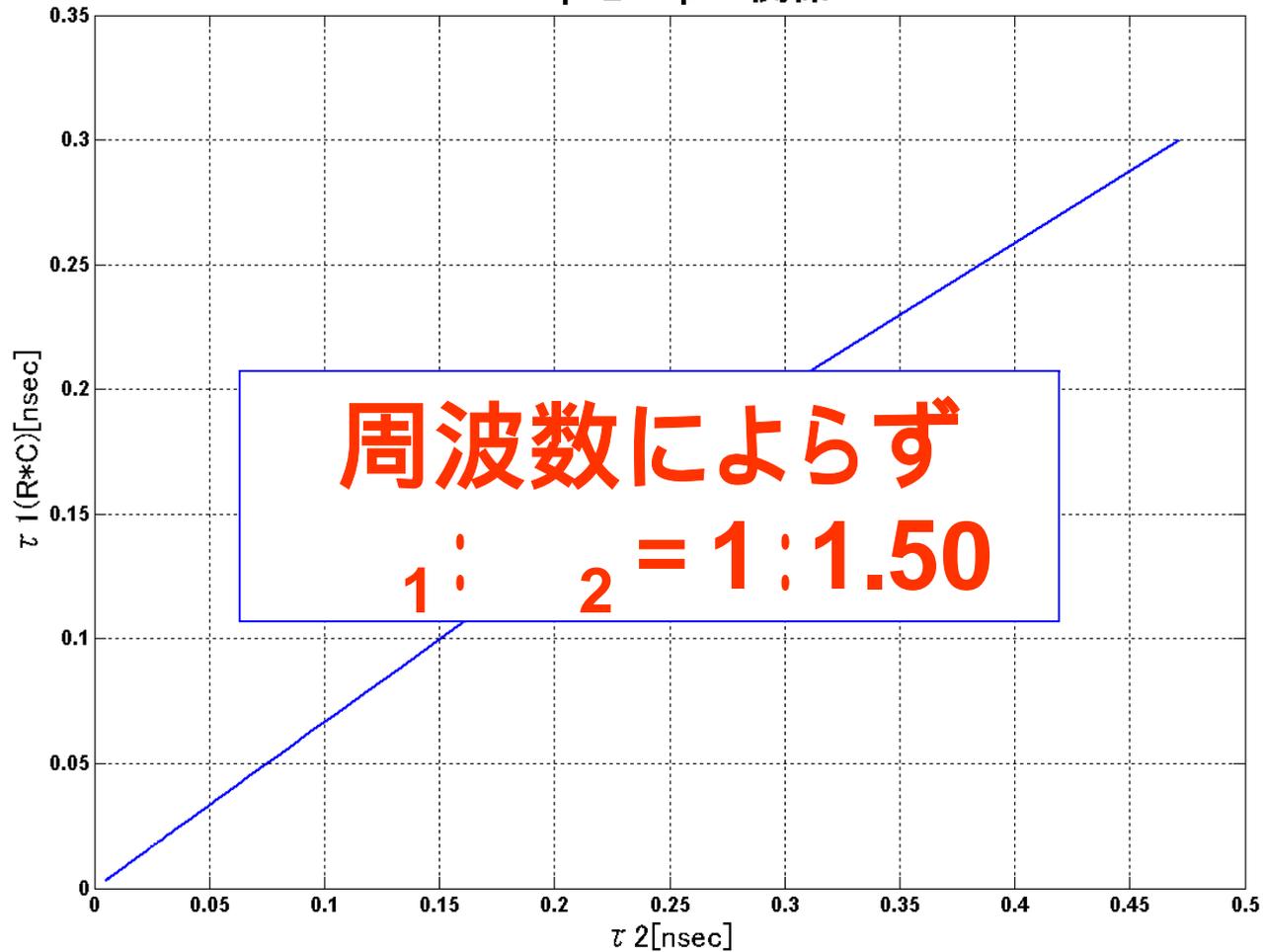
1_{opt} 、 2_{opt} を求める

- 非線形最適化問題
 - 理論式を導出し、数値計算
 - SPICEで回路シミュレーション



1opt と 2opt の関係

t1optとt2optの関係



エネルギーの観点からの

1opt と 2opt

- 帯域一定下で

SNRを最大

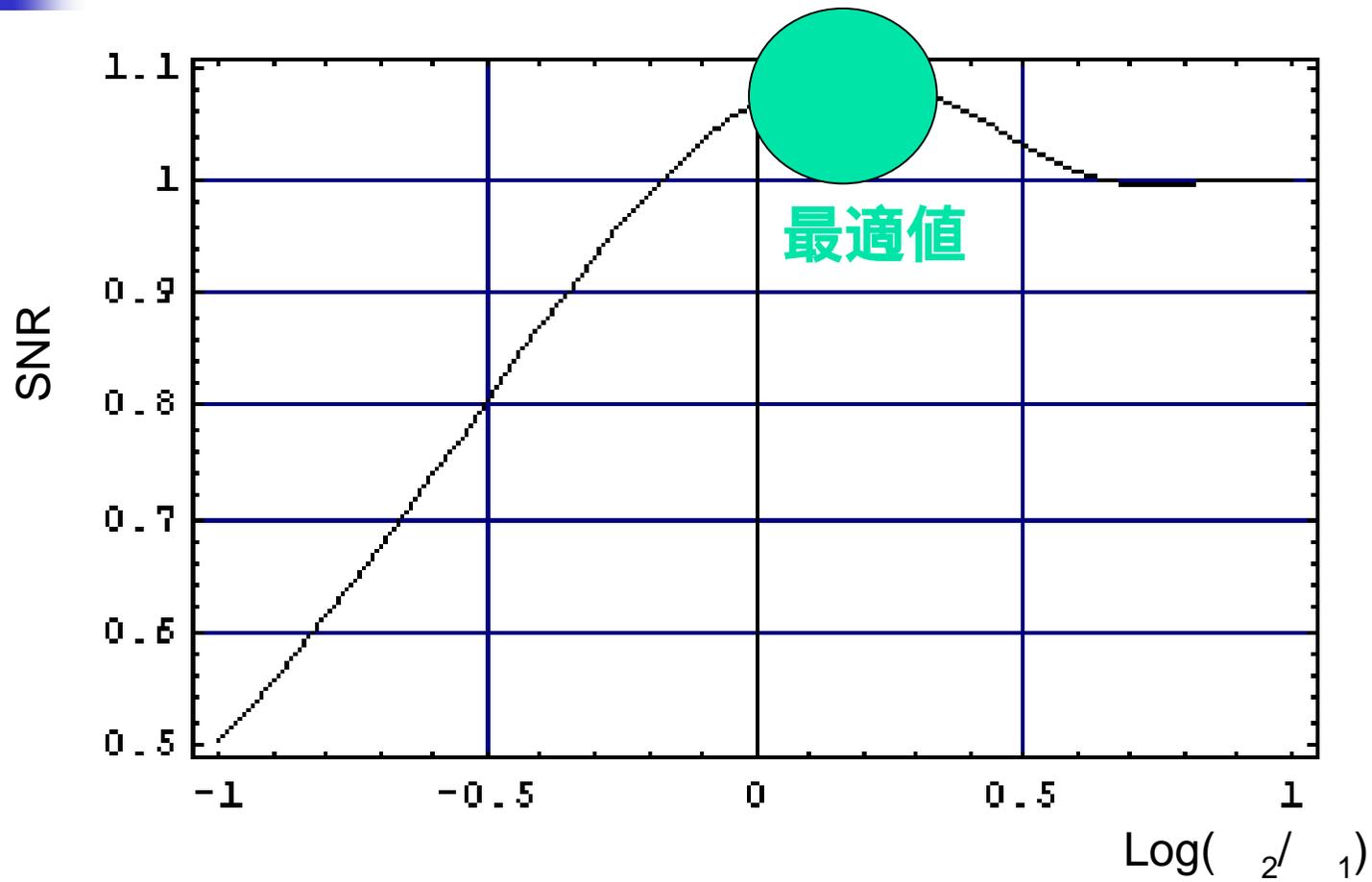


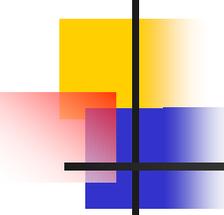
等価

ホールド容量に蓄えるエネルギーを最大

- 回路的考察とシミュレーションにより発見

$2/\sigma_1$ とSNRの関係





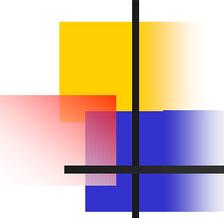
S/H回路のノイズ問題の結論

- サンプリング回路の帯域幅と最大SNRの関係式を導出
- 帯域一定下で最大SNRを得る新サンプリング技術

「ストローブサンプリング技術」

を提案

トラックホールドサンプリングとインパルスサンプリングの中間に位置する。



広帯域S/H回路の実現

- 経験あるサンプリング回路技術者
(元 岩崎通信機、LeCroy 小林謙介氏)

T/H回路は適さない

- 歪み

インパルスサンプリング回路

- ノイズ大

中間が適すると示唆

3月30日電子回路研究会(大阪)で発表予定