

冗長性をもつ逐次比較近似 AD 変換アルゴリズム - 3 個の比較器の場合 -

SAR ADC Algorithms with Redundancy - 3-Comparator Case -

小川 智彦 小林 春夫 高橋 洋介 傘 昊 堀田 正生 †

群馬大学大学院 工学系研究科 電気電子工学専攻 〒376-8515 群馬県桐生市天神町 1-5-1

Phone: 0277-30-1788 Fax: 0277-30-1707 e-mail: k.haruo@el.gunma-u.ac.jp

†武蔵工業大学 知識工学部情報ネットワーク工学科 〒158-8557 東京都 世田谷区 玉堤 1-28-1

Tomohiko Ogawa Haruo Kobayashi Yosuke Takahashi Hao San Masao Hotta †

Electronic Engineering Department, Graduate School of Engineering, Gunma University
1-5-1 Tenjin-cho Kiryu Gunma 376-8515 Japan

†Dept. of Information Network Eng., Musashi Institute of Technology
1-28-1 Tamazutumi Setagaya Tokyo 158-8557 Japan

要約— この論文では逐次比較近似 AD 変換器で高信頼性を実現するために、冗長回路（コンパレータ 3 個）と冗長ステップ数をもち、コンパレータでの判定誤りが生じて後段でデジタル誤差補正が可能なアルゴリズムの設計法を記述する。このアルゴリズムでのデジタル誤差補正が可能な範囲等の性質を明らかにする。ここでのアルゴリズムは我々が先に提案したコンパレータ 3 個を用いたアルゴリズムとコンパレータ 1 個で冗長ステップをもつ場合のアルゴリズムを一般化したものである。

キーワード：逐次比較近似 ADC, デジタル誤差補正, 冗長性, 不完全整定

1 はじめに

近年車載用エレクトロニクス技術に大きな関心が集まっている [1]。その中で車載用マイコンと組み合わせた AD 変換器では逐次比較方式が広く使われているが、その高信頼性化、高速、高精度、低消費電力、低コスト化の要求が年々厳しくなっている。

我々は車載への応用のための高性能・高信頼性 逐次比較 AD 変換器のアーキテクチャとアルゴリズムを検討している。従来の N-ビット逐次比較型 AD 変換器では 1 個の比較レベルをもつ 1 つのコンパレータを利用し N ステップで変換を行っており前段でエラーが起きてしまうと後段で補正ができなかった。そこで非 2 進数を用い N 以上のステップ数で変換を行う冗長方式が提案され [2, 3]、我々はその一般化を行った [4]。また冗長回路（3 個のコンパレータ）で N ステップで変換を行う方式を提案した [5, 6, 7]。この論文では両者を組み合わせコンパレータ 3 個をもちいて M ステップで N ビット逐次比較近似 AD 変

換器を実現するアルゴリズムを検討する。冗長性により後段でデジタル誤差補正が可能となるが、その誤差補正可能な範囲、設計法等を検討する。この冗長性は AD 変換器の高信頼性化およびサンプリング・スピードの向上につながる [7]。

2 逐次比較型 AD 変換器

逐次比較型 ADC の特徴：高分解能（10-12bit）、中速サンプリング（5MS/s 程度）AD 変換器を低消費電力・低コストで実現できるので、車載、工業用制御、ペンデジタイザ等広く用いられている。さらなる高性能化、低コスト化また高信頼性化が実現できれば産業的な意義は大きい。

逐次比較型 ADC の構成：トラック・ホールド回路、コンパレータ、DA 変換器、論理回路とタイミング発生回路から構成される（図 2）。

逐次比較型 ADC のアルゴリズム：逐次比較型 ADC は“天秤の原理”で 2 進探索アルゴリズムに従って動作する（図 1）。我々は先に（コンパレータ 1 個の場合に）非 2 進探索アルゴリズムによる時間冗長性 [2],[3] を一般化した [4]。コンパレータを 3 個使用した空間冗長性を用いて高信頼性化・高速化を図る方式 [6, 7] も提案し、この論文では両者を組み合わせたアルゴリズムを記述する。（なお先に [8] でコンパレータ 2 個の場合のアルゴリズムを導出した。）

3 2 進探索アルゴリズム

この節では逐次比較近似 AD 変換器でコンパレータを 1 つ使用した 2 進探索アルゴリズムを説明する。2 進探索アルゴリズムでは、N ビット分解能 AD 変換を N ステップ

(N 回の比較) で実現する。

AD 変換器へのアナログ入力レンジを $0 \sim 2^N - 1$ と正規化して考える。コンパレータはアナログ入力 (V_{in}) と比較電圧を比較する。1 ステップ目では比較電圧 $V_{ref}(1)$ は次のようになる。

$$V_{ref}(1) = 2^{N-1}$$

$V_{in} > V_{ref}(1)$ のときコンパレータ出力 ($d(1)$) は “1” となり、2 ステップ目での比較電圧 ($V_{ref}(2)$) は次のようになる。

$$V_{ref}(2) = 2^{N-1} + 2^{N-2}$$

$V_{in} < V_{ref}(1)$ のときコンパレータ出力 ($d(1)$) は “-1” となり、2 ステップ目での比較電圧 ($V_{ref}(2)$) は次のようになる。

$$V_{ref}(2) = 2^{N-1} - 2^{N-2}$$

このように k ステップ目の比較電圧 $V_{ref}(k)$ は k-1 ステップ目でのコンパレータ出力 $d(k-1)$ が 1 のときは次のようになる。

$$V_{ref}(k) = V_{ref}(k-1) + 2^{N-k}$$

$d(k-1)$ が “-1” のときは次のようになる。

$$V_{ref}(k) = V_{ref}(k-1) - 2^{N-k}$$

すなわち

$$V_{ref}(k) = 2^N \cdot \left(2^{-1} + \sum_{i=2}^k d(i-1) 2^{-i} \right)$$

変換出力は、最終の N ステップ目の比較でコンパレータ出力 $d(N)$ が 1 のとき N 段目の比較値 $V_{ref}(n)$ の上の変換出力レベルに決まり、 $d(N)$ が “-1” のとき $V_{ref}(N)$ の下の変換出力レベルに決まる。

2 進探索アルゴリズムでは、N ビット N ステップで 2^N 通りの比較パターンがあり、 2^N 個の変換出力レベルがある。各変換出力レベルに変換される比較パターンは 1 通りで、その比較パターンではその変換出力レベルに対して全ての段で正しい比較をしていると仮定している。したがって 1 回でも比較を間違えると入力レベルに対して誤った変換出力レベルに変換されてしまう。

4 提案逐次比較近似 ADC アルゴリズム

この節では N ビット分解能逐次比較 AD 変換をコンパレータ 3 個の M ステップで実現する逐次比較近似探索アルゴリズムについて述べる。これは先に発表したコンパレータ 1 個での冗長ステップ方式 [4] とコンパレータ 3 個での方式 [5, 6, 7] を組み合わせて一般化したアルゴリズムである。

4.1 従来アルゴリズムとの比較

[4] でのコンパレータ 1 個での冗長ステップ方式は N ビット分解能を M ステップ ($M > N$) で実現する方式である。従来の冗長ステップ方式では基数 r ($r = 2^{N/M}$, $1 < r < 2$) の r 進数方式を使っているが、[4] では r 進数にとらわれない一般的なアルゴリズムに拡張した。

[5, 6, 7] ではコンパレータ 3 個での方式を提案した。コンパレータ 3 個は 2 ビットのフラッシュ ADC に対応し冗長性がない場合は 1 ステップあたり 2 ビットが得られるが、[5, 6, 7] では冗長性をもたせて 1 ステップあたり 1 ビットを得てコンパレータ判定誤りがあっても後段でデジタル誤差補正が可能なアルゴリズムを提案した。

ここでは [4] と [5, 6, 7] の考え方を組み合わせて、コンパレータ 3 個をもち、1 ステップあたり 1 ビットから 2 ビットの中間のビット数情報を得て、コンパレータ判定誤りがあっても後段でデジタル誤差補正が可能なアルゴリズムを検討する。

4.2 提案アルゴリズム

3 つのコンパレータの k ステップ目でのそれぞれの比較電圧を $V_{refh}(k)$, $V_{refm}(k)$, $V_{refl}(k)$ とする。また、k ステップでの判定結果 $d(k)$ を図 3 のように、 $V_{refh}(k), V_{refm}(k), V_{refl}(k)$ と比較しているコンパレータ順に

- 1, 1, 1 のとき $d(k) = +3$
- -1, 1, 1 のとき $d(k) = +1$
- -1, -1, 1 のとき $d(k) = -1$
- -1, -1, -1 のとき $d(k) = -3$

と定義する。このとき k ステップ目の中心比較電圧値 $V_{refm}(k)$ を、k-1 ステップ目の中心比較電圧値 $V_{refm}(k-1)$ に足し引きする値を $p(k)$ として、3 つのコンパレータの判定結果 $d(k-1)$ を用いて次のように設定する。

- $d(k-1) = +3$ のとき
 $V_{refm}(k) = V_{refm}(k-1) + 3p(k)$
- $d(k-1) = +1$ のとき
 $V_{refm}(k) = V_{refm}(k-1) + p(k)$
- $d(k-1) = -1$ のとき
 $V_{refm}(k) = V_{refm}(k-1) - p(k)$
- $d(k-1) = -3$ のとき
 $V_{refm}(k) = V_{refm}(k-1) - 3p(k)$
- $V_{refm}(1) = 2^{N-1}$.

すなわち $V_{refm}(k)$ は次のように表せる.

$$V_{refm}(k) = \sum_{i=1}^k d(i-1)p(i), \quad (k = 1, 2, \dots, M). \quad (1)$$

ここで $p(i)$ は次の関係を満たす.

$$p(1) = 2^{N-1} \quad (2)$$

$$\sum_{i=2}^M 3p(i) = 2^{N-1} - 2 + (\text{オーバーレンジ量 } r). \quad (3)$$

$V_{refh}(k)$ と $V_{refl}(k)$ は次の関係で与える.

$$\bullet V_{refh}(k) = V_{refm}(k) + 2p(k+1)$$

$$\bullet V_{refl}(k) = V_{refm}(k) - 2p(k+1)$$

$$\bullet V_{refh}(M) = V_{refm}(M) + 1$$

$$\bullet V_{refl}(M) = V_{refm}(M) - 1.$$

4.3 提案アルゴリズムでのデジタル誤差補正

コンパレータ 3 個を用いた逐次比較探索アルゴリズムでは、 4^M 通りの比較パターンがあり、 $2[3(\sum_{i=2}^M p(i)) + 2]$ 個の変換出力レベルがある. 前者は後者より大きい, すなわち変換出力レベルの数よりも比較パターン数が多い. 従って 1 つの変換出力レベルに対応する比較パターンが複数ある.

一方各変換出力レベルに対して, 全てのステップで 3 つのコンパレータが正しい比較値を出力して変換される比較パターンは 1 通りしか存在しない. したがって同じ変換出力レベルに変換される比較パターンが複数存在するとき, どこかのステップでコンパレータが判定を間違えた比較パターンも, その変換出力レベルに変換されることになる. すなわち冗長性によりコンパレータが比較判定が誤っても入力レベルに対して正しい変換出力レベルに変換される.

$2[3(\sum_{i=2}^M p(i)) + 2]$ 個の各々の変換出力レベルに対して 4^M 通りの比較パターンで対応するものを記述したルックアップテーブルを用意する等すればコンパレータが比較判定が誤っても入力レベルに対して正しい変換出力レベルに変換できることになる.

4.4 提案アルゴリズムの冗長性の解析

つぎに “k ステップ目の冗長性 $q(k)$ ” を下の式で定義する.

$$q(k) = -p(k+1) + 2 + 3 \sum_{i=k+2}^M p(i). \quad (4)$$

式 (4) で示される $q(k)$ は各ステップでの比較結果の隣の比較結果の範囲に後段の比較によって, どこまで入れるか

を示す. その範囲には k ステップ目で間違えても正しい変換出力レベルに変換される場合があることになる.

命題 1: k ステップ目でコンパレータが比較判定を誤っても,

- $d(k) = +3$ のとき $V_{refh}(k) - V_{in} < q(k)$
- $d(k) = +1$ のとき $V_{in} - V_{refh}(k) < q(k)$
又は $V_{refm}(k) - V_{in} < q(k)$
- $d(k) = -1$ のとき $V_{in} - V_{refm}(k) < q(k)$
又は $V_{refl}(k) - V_{in} < q(k)$
- $d(k) = -3$ のとき $V_{in} - V_{refl}(k) < q(k)$

を満たしていれば正しい AD 変換結果が得られる.

図 6 はアナログ入力 (V_{in}) が 16.5 で, 1 ステップ目では $V_{refm}(1) = 16$, $V_{refh}(1) = 24$, $V_{refl}(1) = 8$ と比較してコンパレータ出力 $d(1)$ が正解の “+1” ではなく “-1” を出力した場合でも正しい AD 変換出力が得られることを示している. これは $V_{in} - V_{refm}(1) < q(1)$, ($q(1) = 1$) が成立しているからである.

N ビット M ステップ AD 変換の場合に $q(k)$ ($k = 1, 2, \dots, M$) の値を設計してそれを実現する $p(k)$ ($k = 1, 2, \dots, M$) を計算する式を次のように導出した.

命題 2:

$$4^M - 2^N = 6 \left(\sum_{i=1}^{M-1} 4^{i-1} q(i) \right) + 2 \cdot \text{オーバーレンジ量}. \quad (5)$$

証明: 式 (4) より,

$$p(k+1) = -q(k) + 2 + 3 \sum_{i=k+2}^M p(i). \quad (6)$$

式 (6) の右辺の $2 + 3 \sum_{i=k+2}^M p(i)$ を展開すると次式が得られる.

$$p(k+1) = -q(k) + \frac{4^{M-k}}{2} - 3 \sum_{i=k+1}^{M-1} 4^{i-k-1} q(i). \quad (7)$$

式 (7) で $k = 1$ とすると次式が得られる.

$$p(2) = -q(1) + \frac{4^{M-1}}{2} - 3 \sum_{i=2}^{M-1} 4^{i-2} q(i) \quad (8)$$

$$\frac{4^{M-1}}{2} = p(2) + q(1) + 3 \left(\sum_{i=2}^{M-1} 4^{i-2} q(i) \right) \quad (9)$$

$$4^M = 8p(2) + 8q(1) + 6 \sum_{i=2}^{M-1} 4^{i-1} p(i). \quad (10)$$

式 (6) で $k = 1$ とすると次式が得られる.

$$p(2) = -q(1) + 2 + 3 \sum_{i=3}^m p(i). \quad (11)$$

式 (11) の両辺に $3p(2)$ を加え右辺の \sum の中に代入する.

$$4p(2) = -q(1) + 2 + 3 \sum_{i=2}^M p(i). \quad (12)$$

式 (10) に式 (12) を代入する.

$$4^M = 2[-q(1) + 2 + 3 \sum_{i=2}^M p(i)] \quad (13)$$

$$y = 8q(1) + 6 \sum_{i=2}^{M-1} 4^{i-1} q(i) \quad (14)$$

$$4^M = 2[2 + 3 \sum_{i=2}^M p(i)] + 6 \sum_{i=1}^{M-1} 4^{i-1} q(i). \quad (15)$$

式 (15) において, 左辺の 4^M は比較パターンの総数を表している. 右辺の $2(2 + 3 \sum_{i=2}^M p(i))$ は変換出力レベルの数を表している. N ビットのとき変換出力レベルは 2^N であるので, $2(2 + 3 \sum_{i=2}^M p(i)) = 2^N + 2 \cdot (\text{オーバーレンジ量 } r)$ とすることができる. したがって, 式 (15) は

$$4^M - 2^N = (6 \sum_{i=1}^{M-1} 4^{i-1} q(i) + 2 \cdot (\text{オーバーレンジ量}))$$

と表せる. (証明終)

図 6 は オーバーレンジ $r = 1$, $N = 5$, $M = 3$, $p(1) = 16$, $p(2) = 4$, $p(3) = 1$ で. $q(1) = 1$, $q(2) = 1$ である. 式 (7) の次の関係が成立する.

$$\begin{aligned} p(2) &= 8 - q(1) - 3q(2) = 4 \\ p(3) &= 2 - q(2) = 1. \end{aligned}$$

また式 (5) の次の関係が成立する.

$$4^3 - 2^5 = 6(q(1) + 4q(2)) + 2r.$$

N ビット M ステップ逐次比較 AD 変換のとき式 (5) を満たすように各段の冗長性 $q(k)$ とオーバーレンジ量 r を設計すれば, それを実現する $p(k)$ は式 (7) を用いて計算することができる.

$6 \sum_{i=1}^{M-1} 4^{i-1} q(i)$ は, 1 回以上比較を間違えても正しい AD 変換値が得られる比較パターンの総数である. 式 (5) において, $6 \sum_{i=1}^{M-1} 4^{i-1} q(i)$ は, 比較パターンの総数から変換出力レベルの数を引いた値に等しい. 変換出力レベルには全ての段で正しく比較をした場合の比較パターンがそれぞれ 1 つずつ存在する. したがって, $6 \sum_{i=1}^{M-1} 4^{i-1} q(i)$ は, 1 回以上比較を間違えてそれぞれの変換出力レベルに変換される比較パターンの総数になり, 間違えても正しい変換出力レベルに変換される場合の総数でもある.

4.5 コンパレータが複数回比較を誤った場合

この節ではコンパレータが比較判定を複数回間違えても正しい AD 変換出力が得られる場合を考察し次の結果を得た.

命題 3: コンパレータが複数回比較判定を間違えても正しい AD 変換出力が得られるための必要充分条件は命題 1 を満たすことである.

間違えた場合に正しい変換レベルに変換される場合の数は $6 \sum_{i=1}^{M-1} 4^i q(i)$ であるが, 同じ段の違う場合の比較値 V_{ref} の冗長性の範囲が重なった場合は, その段とそれ以前の段の複数回間違えた場合が存在する. したがって, $6 \sum_{i=1}^{M-1} 4^{i-1} q(i)$ には複数回間違えた場合も含まれている.

図 7 の 5 ビット 4 ステップの例は,

$$p(2)=3, p(3)=1, p(4)=1$$

$$q(1)=5, q(2)=4, q(3)=1, r=1$$

である. 1 ステップ目の判定 $d(1)$ は +1 が正解であるが, 誤判定して +3 になっている. さらに, 2 ステップ目の判定 $d(2)$ は -3 が正しいが, 誤判定して -1 になっている. しかし,

- $d(1) = +3$ のとき
 $V_{refh}(1) - V_{in} < q(1)(22 - 20.5 < 5)$
- $d(2) = -1$ のとき
 $V_{refl}(2) - V_{in} < q(2)(23 - 20.5 < 4)$

を満たしているので, AD 変換結果の出力レベルは 20 で正しい値が得られている.

5 コンパレータが一般の奇数個の場合への拡張

前節では N ビット分解能逐次比較 AD 変換をコンパレータ 3 個で M ステップで実現するアルゴリズムを検討した. ここではコンパレータ数が 3 個に限らず一般の奇数個すなわち A 個 ($A = 2n - 1; n = 1, 2, 3, \dots$) での M ステップで実現する場合に探索アルゴリズムを一般化する.

各ステップの比較電圧はコンパレータ 3 個の場合と同様に中心比較電圧に足し引きする基準値 $p(k)$ を決め, 比較結果によって中心比較値を変化させる. 他の比較電圧は k ステップ目で $2p(k+1)$ の間隔で M ステップ目では間隔を 1 とし, 中心比較値の上下に $(A-1)/2$ 点ずつとるようにする. 中心比較値は式 (1) によって決め, $d(k)$ の値は $\pm 2n - 1; n = 1, 2, \dots, (A+1)/2$ の $A+1$ 通りに決める.

コンパレータ奇数個では " k ステップ目の冗長性 $q(k)$ " は次のようになる.

$$q(k) = -p(k+1) + \frac{A+1}{2} + A \sum_{i=k+2}^M p(i). \quad (16)$$

命題 2 の式は次のようになる。

$$(A+1)^M - 2^N = 2A \left(\sum_{i=1}^{M-1} (A+1)^{i-1} q(i) \right) + 2 \cdot \text{オーバーレンジ量.} \quad (17)$$

$p(k)$ は次のように計算できる。

$$p(k+1) = -q(k) + \frac{(A+1)^{M-k}}{2} - A \sum_{i=k+1}^{M-1} (A+1)^{i-k-1} q(i). \quad (18)$$

これらの式を用いてコンパレータ奇数個, M ステップの場合の冗長性 $q(k)$ とオーバーレンジ量 r を設計して, それを実現する $p(k)$ を計算することができる。

6 まとめ

逐次比較近似 AD 変換器の高信頼性能化のために, コンパレータ 3 個 (空間冗長性) と余分なステップ数 (時間冗長性) をもった探索アルゴリズムを一般化してその性質を調べ, 設計法を明確化した。

謝辞 有意義なご討論をいただきました松浦達治氏, 益子耕一郎氏, 阿部彰氏, 近藤守氏, 八木勝義氏, 高井伸和先生に感謝いたします。この研究を支援していただいております半導体理工学研究センター (S T A R C) に謝意を表します。

参考文献

- [1] *ISSCC Short Course, Automotive Technology and Circuits*, San Francisco (Feb. 2005).
- [2] M. Hesener, T. Eichler, A. Hanneberg, D. Herbison, F. Kuttner, H. Wenske, "A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13 μ m CMOS," *Tech. Digest of ISSCC*, San Francisco (Feb. 2007).
- [3] F. Kuttner, "A 1.2V 10b 20MS/S Non-Binary Successive Approximation ADC in 0.13 μ m CMOS," *Tech. Digest of ISSCC*, San Francisco (Feb. 2002).
- [4] 小川智彦, 小林春夫, 高橋洋介, 堀田正生, "冗長性をもった逐次比較近似 AD 変換アルゴリズム", 電子情報通信学会回路とシステム研究会 東京 (2007 年 10 月).
- [5] 早川晃, 趙楠, 堀田正生, 小林春夫, "高性能逐次比較 AD 変換器アーキテクチャ", 電気学会 電子回路研究会 桐生 (2006 年 3 月).
- [6] M. Hotta, A. Hayakawa, N. Zhao, Y. Takahashi, H. Kobayashi, "SAR ADC Architecture with Digital Error Correction", *IEEJ International Analog VLSI Workshop*, Hangzhou, China (Nov. 2006).
- [7] S. Shimokura, M. Hotta, Y. Takahashi, H. Kobayashi, "Conversion Rate Improvement of SAR ADC with Digital Error Correction", *IEEJ International Analog VLSI Workshop*, Limerick, Ireland (Nov. 2007).
- [8] 小川智彦, 小林春夫, 高橋洋介, 傘 晃, 堀田正生, "冗長性をもった逐次比較近似 AD 変換アルゴリズム - コンパレータ 2 個の場合 -", 電気学会 電子回路研究会 豊橋 (2008 年 3 月).

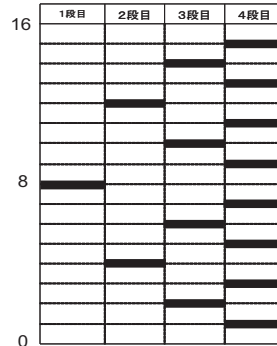


図 1: SAR ADC の 2 進探索アルゴリズム (5 ビット 5 段の場合)。

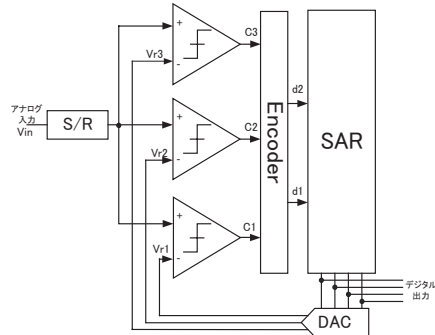


図 2: 3 個のコンパレータをもつ逐次比較近似 ADC のブロック図。

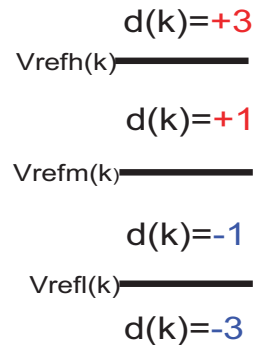


図 3: コンパレータ 3 個での判定結果 $d(k)$ の定義。

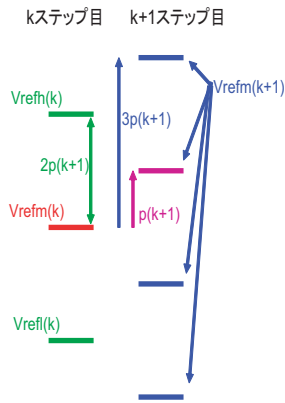


図 4: コンパレータ 3 個での比較器参照電圧 V_{ref} の決め方.

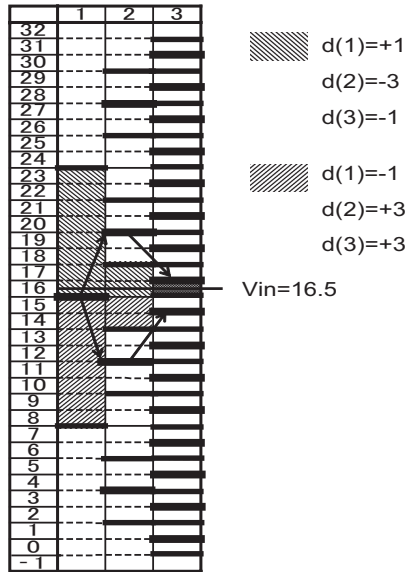


図 6: 5 ビット分解能, 3 ステップ, コンパレータ 3 個の場合の探索アルゴリズムの動作例.

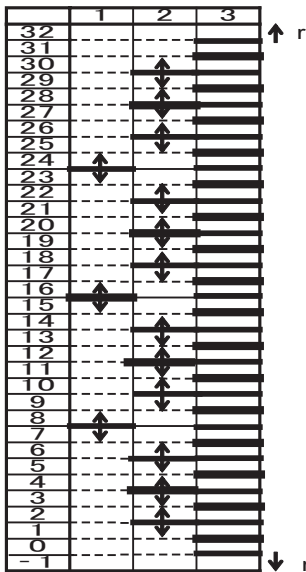


図 5: 5 ビット分解能, 3 ステップ, コンパレータ 3 個の場合の探索アルゴリズム例.

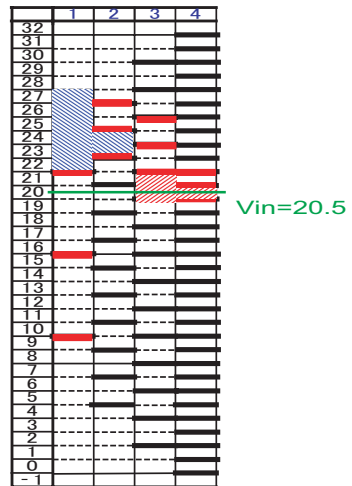


図 7: 5 ビット分解能, 4 ステップ, コンパレータ 3 個の場合の探索アルゴリズムで, 1, 2 ステップでコンパレータが誤判定した場合動作.