

ノイズ結合型フィードフォワード $\Delta\Sigma$ AD変調器の提案

Feedforward $\Delta\Sigma$ AD Modulators with Noise-Coupled Architecture

小長谷 肇[†] 傘 昊[†] 小林 春夫[†] 安藤 和正[‡] 吉田 博史[‡] 村山 知支人[‡] 西田 幸弘[‡]
[†]群馬大学大学院 工学研究科 電気電子工学専攻 [‡]東芝 LSI システムサポート (株)

Hajime KONAGAYA[†] Hao SAN[†] Haruo KOBAYASHI[†]
Kazumasa Ando[‡] Hiroshi YOSHIDA[‡] Chieto MURAYAMA[‡] Yukihiko NISHIDA[‡]

[†]Dept. of Electronic Engineering, Graduate School of Engineering, Gunma University

[‡]Toshiba LSI System Support Co., LTD

Email: san@el.gunma-u.ac.jp

概要

この論文では、ノイズ結合型フィードフォワード $\Delta\Sigma$ AD変調器の新しい構成法を提案する。フィードフォワード $\Delta\Sigma$ AD変調器では、変調器内部信号の振幅が小さいため、オペアンプの非線形性によって生じる歪みの影響を軽減できる。ノイズ結合型 $\Delta\Sigma$ AD変調器では、量子化ノイズを比較器に再注入することで、効率的に変調器の次数を上げることができ、より高精度のAD変換を実現できる。しかしながら、従来のノイズ結合型 $\Delta\Sigma$ AD変調器内部では、比較器回路の入力ノードで内部電圧の加算を行なうため、スイッチド・キャパシタとオペアンプ回路を追加する必要があり、チップ面積と消費電力の増加を招いてしまう。そこで、本論文では電圧加算用オペアンプの追加を必要としない、ノイズ結合型フィードフォワード $\Delta\Sigma$ AD変調器の構成法とその回路実現手法を提案する。より小面積・低消費電力で、効率的に $\Delta\Sigma$ AD変調器の性能向上を可能にした。MATLABとSPICEによるシミュレーションで提案手法の有効性を確認した。

キーワード： $\Delta\Sigma$ AD変調器、フィードフォワード、ノイズ結合、マルチビット、スイッチド・キャパシタ

1 はじめに

アナログの世界とデジタルドメインのインタフェースとして、ADコンバータ(ADC)はミックスド・シグナル回路で幅広く用いられている。半導体製造技術の進歩に伴い、CMOSプロセスの微細化が進められ、デジタル集積回路に高速化と低消費電力化の恩恵をもたらした。しかし、ナノCMOSプロセスにおいて素子特性(スレシールド電圧 V_{th})のバラツキ、

ドレイン抵抗 r_{ds} の低下と電源電圧の低下の影響で、ADCの精度は大きく劣化してしまう。

$\Delta\Sigma$ ADCは前段の $\Delta\Sigma$ AD変調器と後段のデジタルフィルタによって構成される。 $\Delta\Sigma$ AD変調器はオーバー・サンプリング技術とノイズシェイプ手法によって、高精度のAD変換を実現でき、アナログ部分は最小、デジタルリッチな構成なので、プロセスの特性変化の影響によるAD変換の性能劣化を軽減できる。ナノCMOSプロセスにおいて、デバイスの遮断周波数 f_T が高くなり、より高速なサンプリングが可能で、高周波特性・高速特性は改善されるので、オーバー・サンプリング方式は有利となる。また、微細化に伴い、変調器後段のデジタルフィルタはチップ面積を小さくでき、低消費電力化と高速動作可能なので、 $\Delta\Sigma$ ADCは微細CMOSプロセスを用いたAD変換回路の実現に適している。

$\Delta\Sigma$ AD変調器の性能は入力信号のダイナミックレンジとその構成ブロック回路の非理想的特性によって制限される。ナノCMOSプロセスにおいて、アナログ回路の性能は大きく劣化し、回路の非理想的特性が顕在化され、高調波歪みを生じてさせてしまう。また、低電源電圧により信号振幅は制限され、同じノイズフロアに対し、信号のダイナミックレンジ減少によるAD変調器の性能(SQNR: Signal-to-Quantization-Noise and Distortion Ratio)が低下する。すなわち、低電源電圧下におけるAD変換器の高精度化の実現は、回路レベルでは、ナノCMOSプロセスによって制限されてしまう。この問題を解決するため、回路テクニックだけではなく、システムレベルでの性能改善を行い、ナノCMOSプロセスに適した $\Delta\Sigma$ AD変調器の新しい構成を提案する。

2 フィードフォワード $\Delta\Sigma$ AD 変調器

図1に2次フィードフォワード $\Delta\Sigma$ AD 変調器を示す。2次フィードフォワード $\Delta\Sigma$ AD 変調器は2つの積分器回路、ADC回路、DAC回路によって構成される。フィードフォワード構成では、DACを一つしか用いないため、フィードバック型 $\Delta\Sigma$ AD 変調器に比べ、回路の規模を小さく出来、低消費電力にもなる。その入出力の伝達関数、信号伝達関数 (STF)、ノイズ伝達関数 (NTF) は以下のように表せる。

$$Y(z) = X(z) + (1 - z^{-1})^2 E(z) \quad (1)$$

$$STF(z) = 1 \quad (2)$$

$$NTF(z) = (1 - z^{-1})^2. \quad (3)$$

ここで $X(z)$ は入力信号、 $Y(z)$ は出力信号、 $E(z)$ は変調器内部の ADC による量子化ノイズである。式 (1) - (3) より、変調器の出力は ADC の量子化ノイズ $E(z)$ に対し、2次のノイズシェイプする特性となり、低周波領域の量子化ノイズが高周波領域へ変調され、所望信号帯域内では、より高い SQNDR が得られる。

変調器の第一と第二積分器出力 y_1 、 y_2 は以下のようになる。

$$y_1 = -z^{-1}(1 - z^{-1})E(z) \quad (4)$$

$$y_2 = -z^{-2}E(z). \quad (5)$$

式 (4) と (5) より、各積分器出力 y_1 と y_2 は入力信号 $X(z)$ と無相関であり、量子化ノイズ $E(z)$ 成分のみの関数となる。変調器内部にマルチビット ADC を用いる場合、量子化ノイズのステップが小さいので、各積分器のオペアンプ回路の入出力電圧振幅も小さくなり、低電源電圧下で動作できる。

また、 $\Delta\Sigma$ AD 変調器で用いられるオペアンプは非線形性をもつため、変調器の出力では、入力信号の歪み成分が現れ、変調器の性能を劣化させてしまう。その歪み成分は入力信号の振幅に依存するが、フィードフォワード変調器において、内部信号の振幅は小さいので、歪み成分による性能劣化は軽減され、変調器全体の SQNDR を改善できる [1]。また、上記各式により、フィードフォワード構成では、 y_1 、 y_2 、 $STF(z)$ は共に $NTF(z)$ とは独立なので、各パラメータを自由に設計することができる。

3 ノイズ結合型フィードフォワード $\Delta\Sigma$ AD 変調器

図2にノイズ結合型フィードフォワード $\Delta\Sigma$ AD 変調器を示す [2]。この構成はフィードフォワード構成の

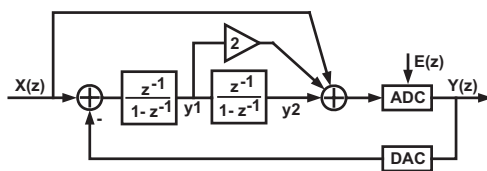


図 1: フィードフォワード $\Delta\Sigma$ AD 変調器。

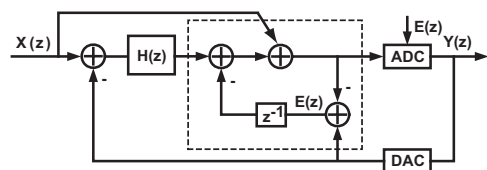


図 2: ノイズ結合型 $\Delta\Sigma$ AD 変調器。

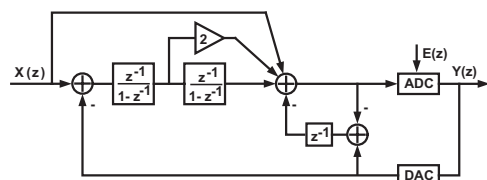


図 3: 2次積分器に1次ノイズ結合の $\Delta\Sigma$ AD 変調器。

$\Delta\Sigma$ AD 変調器に量子化ノイズのエラーフィードバックを加えたものである。点線で示されるエラーフィードバックでは、DACの出力から内部ADCの入力の値を減算し、量子化ノイズ $E(z)$ を取り出す。その後、 $E(z)$ を z^{-1} で遅延させ、再びADCの入力にフィードバックさせる [3]。エラーフィードバックを持たない場合の変調器のノイズ伝達関数を $NTF(z)$ とすると、図2で示す変調器の入出力は以下で表せる。

$$Y(z) = X(z) + NTF'(z)E(z) \quad (6)$$

$$NTF'(z) = NTF(z)(1 - z^{-1}) \quad (7)$$

式 (7) より量子化ノイズをエラーフィードバックさせることで、変調器のノイズ伝達関数 $NTF'(z)$ は本来の $NTF(z)$ に対し、さらに1次のノイズシェイプをかけたこととなり、等価的に変調器の次数が1次増加することとなる。ノイズ結合型 $\Delta\Sigma$ AD 変調器における量子化ノイズを再びADCに注入する手法は、カスケード (MASH) 型 $\Delta\Sigma$ 変調器に似ている。変調器内部でマルチビットADCを用いる場合、エラー

フィードバックされた信号の振幅は小さく、量子化器に入力されたディザ信号とみなすことができるので、変調器全体の安定性を劣化させることなく、高次のノイズシェイプを実現できる [4]。

図 1 の 2 次フィードフォワード $\Delta\Sigma$ AD 変調器にエラーフィードバックを追加した構成は図 3 で示す。その入出力の伝達関数は以下となる。

$$\begin{aligned} Y(z) &= X(z) + (1 - z^{-1})^2(1 - z^{-1})E(z) \\ &= X(z) + (1 - z^{-1})^3E(z) \end{aligned} \quad (8)$$

式 (1) に比べ、式 (8) ではノイズ伝達関数の次数が増加し、この変調器は量子化ノイズに対し、3 次のノイズシェイプをかける特性となる。

前述により、ノイズ結合型 $\Delta\Sigma$ AD 変調器では、変調器前段のループ・フィルタ回路を変更せず、エラーフィードバック経路だけを追加し、量子化ノイズを比較器 (ADC) の入力に再注入することによって、より簡単な構成で、変調器の次数を上げることができる。信号帯域内の量子化ノイズのパワーを効率的に抑えられるため、より高い SQNDR を実現できる。

図 3 の ADC の入力端に注目すると、このノードでは、変調器の入力電圧、2 つの積分器の出力電圧とフィードバックされた量子化ノイズの加算を行う。変調器内部の ADC が 1 ビットの場合、信号加算結果の極性 (正または負) だけが分かれば、比較器回路で AD 変換ができるので、受動素子の C だけで電圧の加算を実現できる。一方、変調器内部の ADC がマルチビットの場合、実際の回路でその演算を行なうためには、量子化器の前に、スイッチド・キャパシタと加算オペアンプ回路を追加する必要がある、余分なチップ面積と消費電力を増加させてしまう。そこで、本論文では ADC の入力端に電圧加算用オペアンプを必要としない、より小面積・低消費電力でノイズ結合型とフィードフォワードを実現できる $\Delta\Sigma$ AD 変調器の構成を提案する。

4 ノイズ結合型 $\Delta\Sigma$ AD 変調器の新提案

4.1 オペアンプ共有型 $\Delta\Sigma$ AD 変調器

図 4 には我々が提案したオペアンプ共有型フィードフォワード $\Delta\Sigma$ AD 変調器を示す [5]。その構成は図 1 で示す $\Delta\Sigma$ AD 変調器と等価であり、入出力の伝達関数も同一であるが、電圧加算のノードは量子化器の前ではなく、第二積分器の入力ノードに変更されている。図 1 の $\Delta\Sigma$ AD 変調器では、量子化器の前で電圧の加算を行うため、オペアンプ回路が必須となる

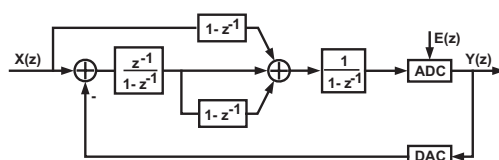


図 4: オペアンプ共有型 $\Delta\Sigma$ AD 変調器。

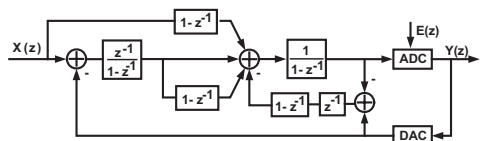


図 5: 提案するノイズ結合型 $\Delta\Sigma$ AD 変調器. 第二積分器回路のオペアンプを共有し、2 次積分器に 1 次のノイズ結合を実現する。

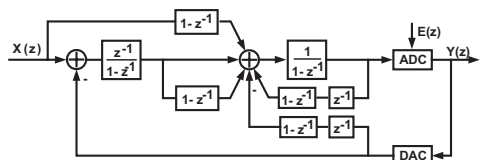


図 6: 提案するノイズ結合型 $\Delta\Sigma$ AD 変調器の変形。

が、図 4 の提案構成では、第二積分器のオペアンプを共有し、フィードフォワードされた信号と第一積分器の出力電圧の加算、及び第二積分器の積分演算は共有された一つのオペアンプで行い、量子化器の前には、オペアンプを追加する必要はなくなる。結果、その分のチップ面積と消費電力の削減を実現できる。また、従来構成の回路実現に対し、回路変更は少なく、簡単スイッチド・キャパシタ回路の追加と動作タイミングを調整するだけで、オペアンプ共有型 $\Delta\Sigma$ AD 変調器の回路構成を実現できる [6, 7]。

4.2 提案するノイズ結合型 $\Delta\Sigma$ AD 変調器の構成

前述の通り、図 3 に示す $\Delta\Sigma$ AD 変調器では、量子化器の前で、フィードフォワードされた信号とエラーフィードバックされた量子化ノイズの加算を行う。また、内部 ADC がマルチビットの場合、この加算を行うために、オペアンプ回路の追加が必須であり、回路の規模と消費電力が増加してしまう。そこで、4.1 節で述べたように、オペアンプを共有できる変調器

の構成を提案した。図5には、新たに提案したノイズ結合型フィードフォワード $\Delta\Sigma$ AD変調器の構成を示す。その構成は図3で示す $\Delta\Sigma$ AD変調器と等価であり、入出力の伝達関数も式(8)と同一である。前節と同様な手法で、第二積分器のオペアンプを共有し、各信号の電圧の加算及び第二積分器の積分演算は一つのオペアンプで行う。提案構成の特徴は以下である。

● マルチビット構成

1ビット $\Delta\Sigma$ AD変調器では、更なる高精度(SQNR)を追求するため、より高いフィルタ次数の変調器(およびそれに伴う後段のデジタル・フィルタ)、またはより高いOSR(Oversampling Ratio)が要求される。高次1ビット変調器の場合、変調器の安定性を考慮する必要があり、回路規模も大きくなり、チップ面積と消費電力が増加してしまう。OSRを高くするには、サンプリング周波数を高くしなければならぬので、この手法も消費電力は増加してしまう。一方、マルチビット $\Delta\Sigma$ AD変調器では、量子化ノイズのステップの小さくなり、変調器の線形性と安定性は改善される。オペアンプ入力のスルーレイトへの要求も緩和され、低いOSRで高いSQNRを実現でき、消費電力も削減できる[8]。マルチビット $\Delta\Sigma$ AD変調器では、内部のマルチビットDACの非線形性ため、変調器全体のSQNRは劣化するが、DWAアルゴリズムなどデジタル信号処理手法を用いることで、その影響を軽減することができる。

● ノイズ結合によるエラーフィードバック

図5に示す提案 $\Delta\Sigma$ AD変調器回路では、その出力信号はDACを通して、第一積分器の入力へフィードバックするだけでなく、変調器内部ADCの量子化ノイズもフィードバックし、再び変調器の信号経路(比較器回路の入力ノード)に注入する。オペアンプを用いた積分器を追加する事無く、変調器の次数を増加することができる。エラーフィードバックの構成は簡単であり、 $\Delta\Sigma$ DAC回路では、デジタル回路で容易に実現でき、幅広く用いられるが、アナログ手法で実現する場合、構成素子のパラメータ変動に対し、きわめて敏感のため、 $\Delta\Sigma$ AD変調器回路への適用は避けられている。しかし、

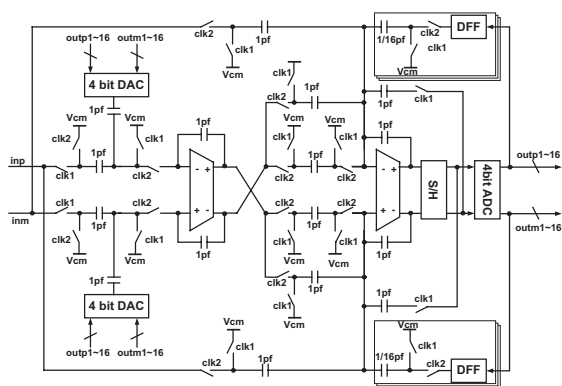


図7: 提案型 $\Delta\Sigma$ ADCの実現回路。

提案回路では、一段目は従来式のフィードバック構成であり、ノイズ結合を実現するエラーフィードバック構成は、変調器の後段にある。システム全体のフィードバック・ループから見ると、素子のパラメータ変動に影響されやすいエラーフィードバック構成は、フィードバック経路ではなく、信号の経路にあるため、素子のパラメータ変動による影響は閉ループでノイズシェイプされ、アナログ特性の変動による変調器の性能劣化が軽減される。

● オペアンプ共有

提案する構成では、電圧加算ノードは量子化器の入力ノード(図3)ではなく、第二積分器の入力ノード(図5)である。第二積分器回路のオペアンプを共有し、信号の加算と積分演算同時に行い、1つのオペアンプ回路で実現でき、量子化器の前に加算アンプを追加する必要はなくなる。論文[9]では、量子化器の前の加算アンプの消費電力は、変調器全体消費電力の8%を占める。オペアンプを共有することにより、その分の消費電力低減を実現できる。

また、図5においては、DACの出力と内部ADCの入力から量子化ノイズ $E(z)$ を算出する過程も共有されたオペアンプを利用することができる。提案する変調器を変形した構成を図6に示す。すべての信号の加算ノードを第二段積分器の入力端に変更し、そのオペアンプを共有することで、量子化器の前にオペアンプを追加することなく、等価的に2次の積分回路と1次のノイズ結合型を実現する。上記の手法で、変調器回路は量子化ノイズに対し、効率的に3

表 1: SPICE シミュレーション条件

電源電圧	$V_{dd} = 1.8V$
リファレンス電圧	$V_{refp} = 1.5V$
	$V_{cm} = 0.9V$
	$V_{refm} = 0.3V$
入力信号 正弦波 (差動)	$V_{pp} = 0.6V$
	$V_{cm} = 0.9V$

次のノイズシェイプをかける特性にし、低消費電力で高いSQNDRの実現を図る。

4.3 提案ノイズ結合型 $\Delta\Sigma$ AD 変調器の実現回路

図7には提案するノイズ結合型 $\Delta\Sigma$ AD 変調器 (図6) のスイッチド・キャパシタによる回路構成を示す。二つのオペアンプを用いて、2次の積分回路を実現する。2段目のオペアンプの入力ノードで、入力信号と一段目の積分器の出力の加算だけでなく、エラーフィードバックされた量子化ノイズの加算も行い、3次の $\Delta\Sigma$ AD 変調器回路を構成する。スイッチドキャパシタ回路は完全差動構成なので、入出力の信号をクロスし、完全差動の逆極性の信号から負の係数は簡単に得ることができる。全ての電圧の加算は第二積分器回路で行うので、内部ADCの入力の前に、加算アンプの追加は不要となる。図6に示す $\Delta\Sigma$ AD 変調器の係数は図7中のコンデンサの容量比によって実現できる。提案変調器において、すべての係数が1なので、コンデンサの容量比の実現は容易となり、コンデンサのサイズのマッチングの特性も改善できる。

5 シミュレーション結果

提案するノイズ結合型フィードフォワード $\Delta\Sigma$ AD 変調器の動作を確認するため、MATLABとSPICEによるシミュレーションで検証を行った。MATLABシミュレーションでは、図4と図6 (図5の等価構成) に示すビヘイビアモデルの比較を行い、SPICEシミュレーションでは、図7に示すビヘイビアモデルを使用する。SPICEシミュレーションの条件は表1に示す。理想なオペアンプとスイッチ素子を用い、コンデンサの容量値を図7で示す。

図8には $\Delta\Sigma$ AD 変調器の出力パワー・スペクトラムのシミュレーション結果の比較を示す。低周波数領域において、図4の従来式 $\Delta\Sigma$ AD 変調器に対して、提案構成では、ノイズのフロアが低くなり、従来構

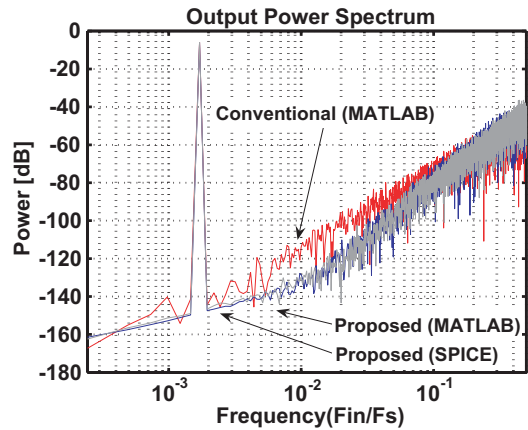


図 8: 出力パワー・スペクトラムの比較。

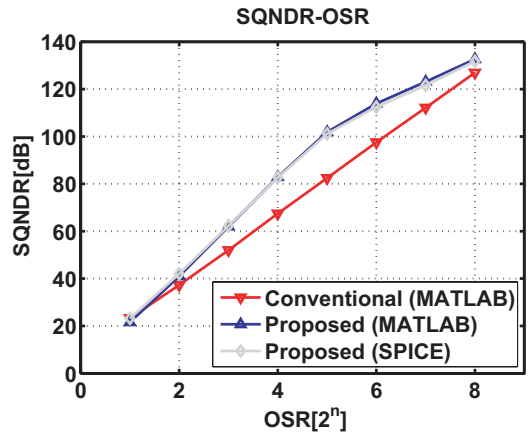


図 9: SQNDR-OSR のシミュレーション結果の比較。

成より、ノイズのパワーが抑えられていることが分かる。図9に上記パワー・スペクトラムから計算で得られたSQNDR-OSRのシミュレーション結果の比較を示す。図4の従来式 $\Delta\Sigma$ AD 変調器では、SQNDR-OSRは約15dB/Octで増加し、2次の $\Delta\Sigma$ AD 変調器の特性であるのに対して、提案構成では、SQNDR-OSRは約21dB/Octで増加し、3次の $\Delta\Sigma$ AD 変調器の特性となっている。すなわち、提案変調器では、効率的に信号帯域内のノイズのパワーを抑え、高次のノイズシェイプを実現していることが分かる。また、提案構成 (図6) のMATLABによるシミュレーション結果と図7のSPICEのビヘイビアモデルのシミュレーション結果が一致していることがわかる。

6 まとめ

ノイズ結合型フィードフォワード $\Delta\Sigma$ AD 変調器の新たな構成法と回路実現手法を提案した。2 段目積分回路のオペアンプをフィードフォワードの加算回路、ノイズ結合回路と共有する手法で、電圧加算用オペアンプの追加は不要となり、より小面積・低消費電力で、高次のノイズシェイプ機能を実現し、高い SQNDR を実現できる。MATLAB と SPICE シミュレーション結果によって提案構成と変調器回路の有効性を確認した。

謝辞

本研究は群馬大学アドバンスト・テクノロジー高度研究センター (ATEC) の支援と、東京大学大規模集積システム設計教育研究センターを通し、シルバコ・ジャパン株式会社の協力で行われたものである。ここに心から感謝の意を表します。

参考文献

- [1] J. Silva, U. Moon, J. Steensgaard and G.C. Temes, "Wideband low-distortion delta-sigma ADC topology," *Electronics Letters*, Vol. 37, No. 12, pp.737-738, 7th June 2001
- [2] K.Lee, M.Bonu and G.C. Temes, "Noise-coupled $\Delta\Sigma$ ADCs," *Electronics Letters*, Vol. 42, No. 24, 23rd November 2006
- [3] R. Schreier and G.C. Temes, "Understanding Delta-Sigma Data Converters," IEEE Press, 2004.
- [4] K. Lee, J. Chae, M. Aniya, K. Hamashita, K. Takasuka, S. Takeuchi and G.C. Temes, "A Noise-Coupled Time-Interleaved $\Delta\Sigma$ ADC with 4.2MHz BW, -98dB THD, and 79dB SNDR," *ISSCC Digest of Technical Papers*, pp.494-495, Feb. 2008.
- [5] 小長谷 肇, 傘 昊, 徐 峰, 元澤 篤史, 小林 春夫, 安藤 和正, 吉田 博史, 村山 知支人, "2次 $\Delta\Sigma$ AD 変調器の新フィードフォワード構成の提案," 第 20 回回路とシステム (軽井沢) ワークショップ, pp.93-98, 2007 年 4 月.
- [6] H. San, H. Konagaya, F. Xu, A. Motozawa, H. Kobayashi, K. Ando, H. Yoshida and C. Murayama, "Second-Order $\Delta\Sigma$ AD Modulator with Novel Feedforward Architecture," *Proc. 50th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2007)*, pp.148-151, Montreal, Canada, Aug. 2007.
- [7] H. San, H. Konagaya, F. Xu, A. Motozawa, H. Kobayashi, K. Ando, H. Yoshida, C. Murayama and K. Miyazawa, "Novel Architecture of Feedforward Second-Order Multibit $\Delta\Sigma$ AD Modulator," *IEICE TRANS on Fundamentals*, VOL.E91-A, No.4, April 2008. (Accepted)
- [8] S. Norsworthy, R. Schreier and G. Temes, *Delta-Sigma Data Converters, - Theory, Design and Simulation*, IEEE Press, 1997.
- [9] P. Balmelli and Q. Huang, "A 25-MS/s 14-b 200-mW $\Sigma\Delta$ modulator in 0.18- μ m CMOS," *IEEE J. Solid-State Circuits*, vol.39, no.12, pp. 2161-2169, Dec. 2004.