

基地局パワーアンプ用包絡線追跡電源の新アーキテクチャ

New Architecture of Envelop Tracking Power Amplifier for Base Station

神戸 章宏† 金田 雅人† 油井 史典† 小林 春夫† 高井 伸和†
 志村 竜宏†† 平田 仁士†† 山岸 健太郎††

† 群馬大学大学院工学研究科 電気電子工学専攻 †† 住友電気工業株式会社

Akihiro KANBE† Masato KANETA† Fuminori YUI† Haruo KOBAYASHI†
 Nobukazu TAKAI† Tatsuhiko SHIMURA†† Hitoshi HIRATA†† Kentarou YAMAGISHI††
 † Electronic Engineering Dept, Gunma University †† Sumitomo Electric Industries, Ltd

要約 本論文では基地局パワーアンプ用の高効率でかつ広帯域な包絡線追跡電源回路の新アーキテクチャを報告する。従来の回路構成では効率と帯域がトレードオフの関係になっており、帯域を延ばすには効率は犠牲にする必要があった。今回の提案回路ではオペアンプに加えて複数のインダクタンスとヒステリシスコンパレータを用いることで、高効率と広帯域の両立を可能にした。

キーワード : パワーアンプ, 無線基地局, 包絡線追跡電源

1 背景

近年携帯電話等の無線基地局では高周波増幅器の高効率化、広帯域化に対する要望が高まっている。携帯電話等の無線基地局用高出力増幅器の効率改善手段として「AB級増幅器+デジタル歪補償方式」があるがこの方式での効率改善はほぼ限界に達している。このため更なる高効率化を実現するため、図1に示すようなトレンドで技術開発が進められている。回路・アーキテクチャのみならず低損失・高耐圧スイッチの実現のために GaN, SiC などのパワーデバイス面からも高効率化のための技術開発がなされている。この論文では高周波パワーアンプの高効率化手法として有望な包絡線追跡電源回路の新アーキテクチャを示す。特性の異なるDCDCコンバータを多相もたせることで高効率・広帯域化が実現できることを示す。この包絡線追跡電源は高周波増幅器の入力無線信号包絡線に追従し高周波増幅器に印加する電源電圧を変化させることができる。高周波増幅器の効率は次のように表される。

$$\eta = \frac{V_{out} \cdot I_{out}}{V_{DD} \cdot I_{DD}} \quad (1)$$

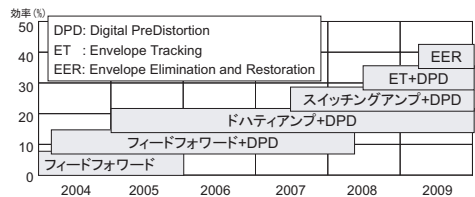


図 1: 高出力アンプの高効率化のための技術動向

このため VDD を変動させれば固定の場合よりも効率が改善できる。特に WCDMA や OFDM など平均電力に対してピーク電力が高い信号を増幅する基地局用パワーアンプには効果的である。

2 包絡線追跡電源の概要

包絡線追跡電源方式の動作概要を図2に示す。包絡線追跡方式はパワーアンプ入力信号の包絡線を検出し、それにより出力電圧を制御する。その出力を高周波増幅器の電源部へ接続する。それにより従来方式に比べ消費電力が削減できる。図3は入力信号に追従して包絡線信号を生成するための回路構成を示している ([1]-[4])。この回路は広帯域な電圧源であるオペアンプの段と高効率な電流源である DCDC コンバータの段から成る。スイッチング電源のスイッチは高耐圧・低損失なデバイスが必要である。次に WCDMA の包絡線のパワースペクトラム密度を図4に示す。包絡線パワーのほとんどが DC と低周波に集中していることがわかる。よって DC と低周波の電力は高効率な DCDC コンバータから供給し、高周波の電力は広帯域なオペアンプから供給することにより電源全体の効率を大幅に高

めることができる。

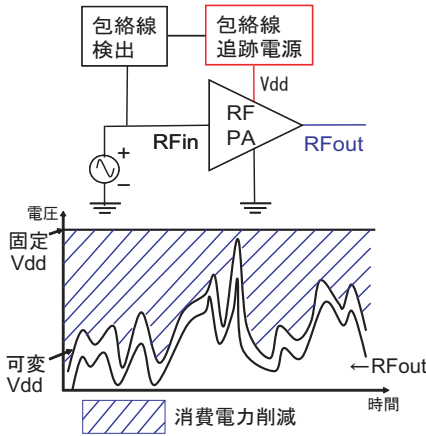


図 2: 包絡線追跡電源回路方式

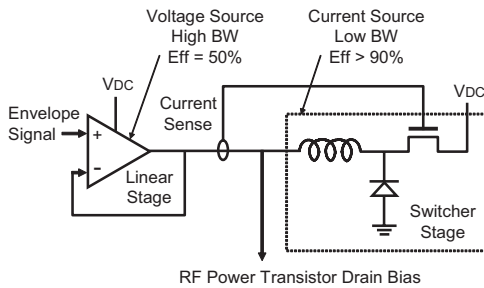


図 3: 包絡線追跡電源の従来回路構成 [1]-[4]

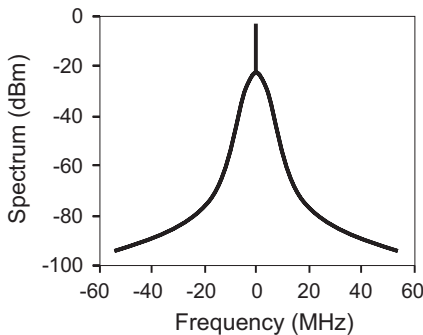


図 4: WCDMA 包絡線信号のスペクトラム [2]

3 従来回路について

3.1 包絡線追跡電源の動作原理

図 5 に RF アンプを等価的に負荷抵抗に置き換えた回路構成を示す。主な回路パラメータは、電源電圧、負荷抵抗、電流センス抵抗、インダクタンス、ヒステリシス幅、の 5 つである。仮に、直流電圧が

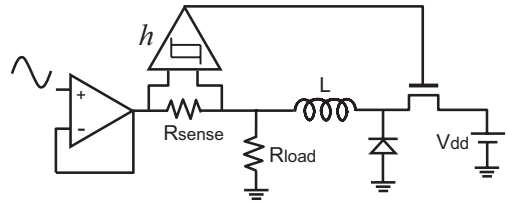


図 5: 包絡線追跡電源の回路構成 2

入力された場合、ボルテージホロワは入力と同じ電圧を出力するために負荷に電流を流す。そうするとセンス抵抗の両端電圧が上がり、コンパレータは MOS トランジスタを ON にする。MOS が ON になると L から電流が供給されるようになり、ボルテージホロワの出力電圧は L から流れる電流とオペアンプから流れる電流により生成されるようになる。L から流れる電流はインダクタンス値によって決まる傾きを持って上昇していき、オペアンプから流れる電流は減っていく (図 6)。オペアンプ電流が減る

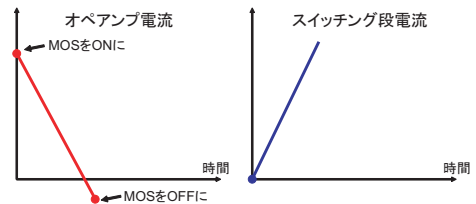


図 6: 包絡線追跡電源 (図 5) の動作 1

ことによりセンス抵抗の両端電圧は下がり、ある電位差まで下がるとコンパレータは MOS を OFF にする。MOS が OFF になると ON 時とは逆に、L 電流は減っていき、オペアンプ電流はそれを補うように増えていく (図 7)。オペアンプ電流の増加によりセンス抵抗の両端電圧は上がり、ある電位差まで上がるとコンパレータは MOS を ON にする。これらの動作を繰り返し、回路は自ら発振し PWM 信号を生成する。コンパレータの出力が high にな

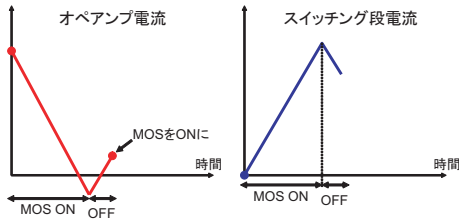


図 7: 包絡線追跡電源 (図 5) の動作 2

るときのセンス抵抗の電位差と、low になるときのセンス抵抗の電位差の差がヒステリシス幅である (図 8)。ヒステリシス幅を大きくすると ON,OFF

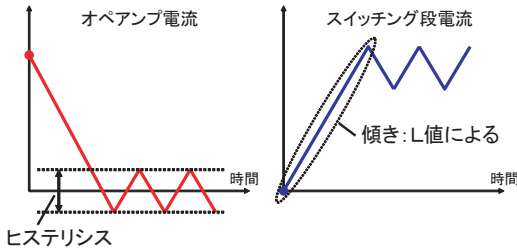


図 8: 包絡線追跡電源 (図 5) の動作 3

の周期がゆっくりになり、スイッチング周波数は小さくなる。また、インダクタンス値を大きくしても ON,OFF の周期がゆっくりになりスイッチング周波数が小さくなる。つまり、スイッチング周波数は L 値とヒステリシスで決まり、それぞれに反比例する (図 9)。このようなヒステリシスコンパレータを用い内部で発振させる方式は、三角波と比較して PWM 信号を生成する方式に比べ、即応性の点で有利である ([1]-[4])。さらに図 10、図 11 にシミュレーションより得られた動作波形を示す。

3.2 包絡線追跡電源の設計手法 [2]

図 5 で示したように主な設計パラメータは 5 つである。そのうち電源電圧と負荷抵抗は仕様により決まっている。さらにセンス抵抗は負荷抵抗より十分小さな値にすることになる。よって回路設計者が設定するパラメータはインダクタンス値とヒステリシス幅 h の 2 つである。負荷抵抗への電流供給はなるべくスイッチング段から行えば効率がよいので、L を小さくしてスイッチング段の帯域を広くとりたい。さらに低効率なオペアンプからの電流供給

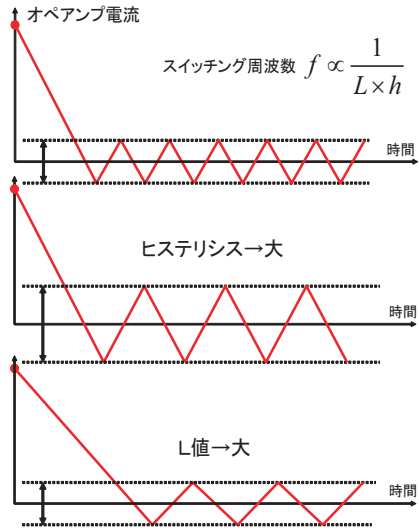


図 9: スwitching 周波数についての比較

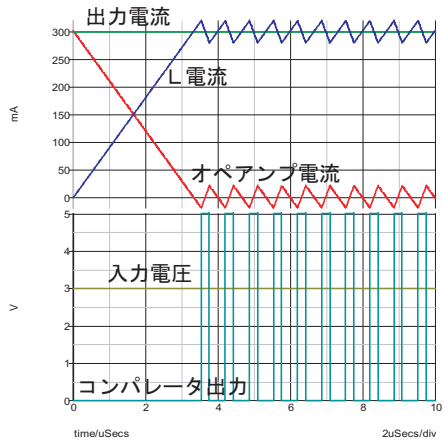


図 10: 包絡線追跡電源 (図 5) の動作波形 (直流入力)

は抑えたいのでヒステリシス幅 h は小さくしたい。しかし、L と h をどこまでも小さく設定するとスイッチング周波数が上がってしまい、コンパレータと MOS トランジスタによって決まるスイッチング周波数の限界を超えてしまう。よってスイッチング周波数は限界ぎりぎりのところで固定する。つまり $L \times h$ の値を一定の値に設定することになる。仮にスイッチング段の帯域を広くするために L を小さ

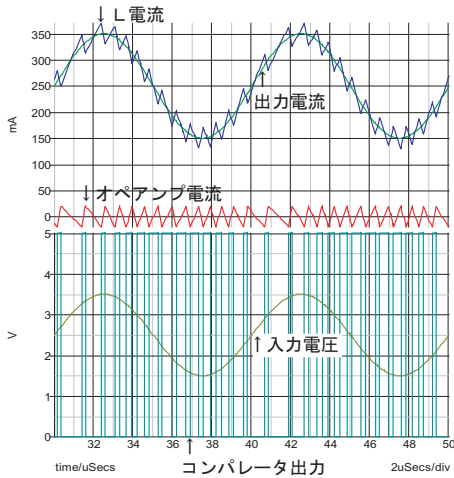


図 11: 包絡線追跡電源 (図 5) の動作波形 (交流入力)

く設定すると、ヒステリシスは大きくすることになり、オペアンプから供給する電流が増え、効率の低下を招く。よって効率と帯域はトレードオフの関係になっている。回路設計者はL値とヒステリシス幅hを最適な値に設定する必要がある。そこで、入力包絡線信号の平均スルーレートとスイッチング段のスルーレートが一致するとき最も効率が高いという条件を用い最適化を行う。そのときのLの値は以下の式で表すことができる。

$$L_{matched_SR} = \frac{2(1-D)V_{s_dc}R_{load}}{|\Delta V_s/\Delta t|} \quad (2)$$

ここで、分母は入力信号平均スルーレート、Dは平均デューティ、 V_{s_dc} は平均入力信号である。右辺のパラメータは全て既知なのでLの値が求まる。さらにスイッチング周波数の式は以下の式である。

$$f_{sw} = \frac{R_{sense} V_{DD}}{L} \frac{D}{h} \left(1 - D \frac{V_{s_rms}^2}{V_{s_dc}^2} \right) \quad (3)$$

右辺のパラメータはh(ヒステリシス)以外は既知なので、スイッチング周波数を決めると自動的にヒステリシスの値が決まることになる。

3.3 従来包絡線追跡電源回路の問題点

入力包絡線信号のスルーレートは広く分布しているが、その平均値でのみ最適化されているため[1]-[5]、平均スルーレートからはずれる多くの時間帯では効

率が低下してしまう。入力包絡線信号のスルーレートがスイッチング段で対応できるスルーレートを超えた場合、図12のようにオペアンプから全ての交流電流をまかなうため、効率が大幅に低下する。また、入力包絡線信号のスルーレートがスイッチン

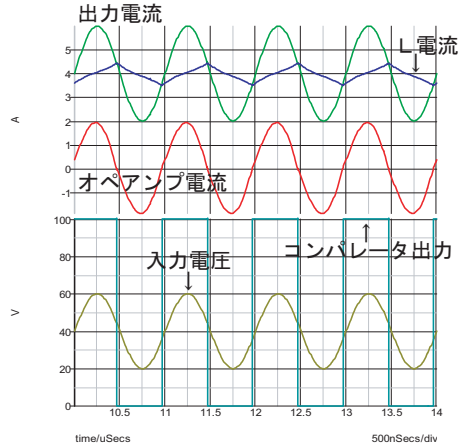


図 12: スwitching段で対応しきれない場合

グ段スルーレートより下回る場合、広帯域(Lが小)にしたぶん効率が落ちており(hが大)、入力スルーレートがどんなに小さくてもその低い効率で一定に保たれる。よって広帯域な入力包絡線信号に対して、スイッチング段の帯域を広くとっても効率は上まらないことになる。

4 提案回路について

4.1 提案包絡線追跡電源回路の構成

DCDCコンバータとヒステリシスコンパレータを複数用いる提案回路を図13に示す。本提案回路では、複数のLとヒステリシスコンパレータを並列に接続し、入力スルーレートによって1相動作と2相動作が切り替わる構成とした。その際、スイッチング周波数を一定に保つためにL×hの値は固定し、Lとhの割合を変えて多相化をおこなった。Lが小さくhが大きい広帯域低効率なスイッチング段と、Lが大きくhが小さい狭帯域高効率なスイッチング段を、入力スルーレートによって切り替えることによって入力スルーレートが変化しても高効率を維持することができる。切り替えの原理について説明する。入力スルーレートが小さい時は、Lが大きくヒステリシスが小さい低速の相のみがスイッチングを

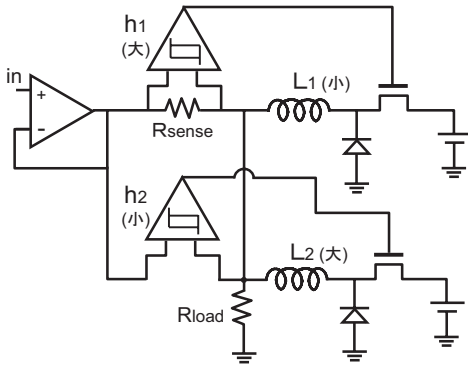


図 13: 提案回路構成 (2 相構成)

行い、L が小さくヒステリシスが大きい高速相は全く動作しない。入力スルーレートが大きくなると低速相で電流が賄いきれなくなりオペアンプから電流をとる。そうするとヒステリシスの大きい高速相の切り替え点に達し、回路は2つの相が動作するようになる (図 1 4)。なお、今回は2相構成の場合

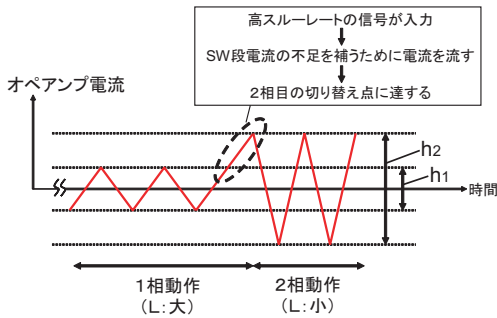


図 14: 提案回路の切り替えの原理

のみ解析をおこなった。3相以上の構成の場合、より多くの最適点を持たせることができるため、さらなる高効率化が期待できる。

4.2 提案包絡線追跡電源回路の動作

提案回路の動作確認のため、SIMPLIS を用いシミュレーションをおこなった。入力信号スルーレートが小さい場合の動作波形を図 1 5 に示す。L が大きくヒステリシスが小さい狭帯域高効率の相のみが動作していることが分かる。その際L が小さくヒステリシスが大きい広帯域低効率の相は動作していない。次に入力信号スルーレートが大きい場合の動作波形

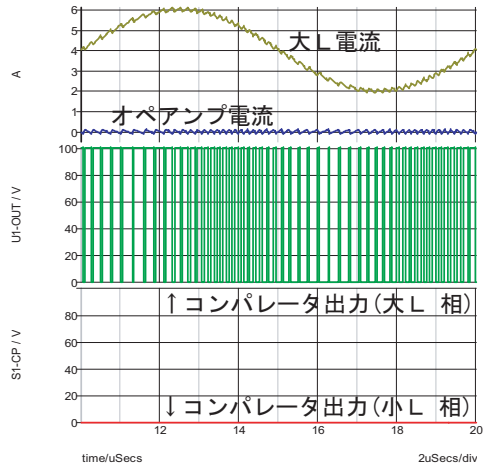


図 15: 提案回路動作波形 (低入力スルーレート)

を図 1 6 に示す。この場合2つの相の両方が動くことになり、L が小さくヒステリシスが大きい広帯域低効率の動作になる。従来回路では広帯域低効率で

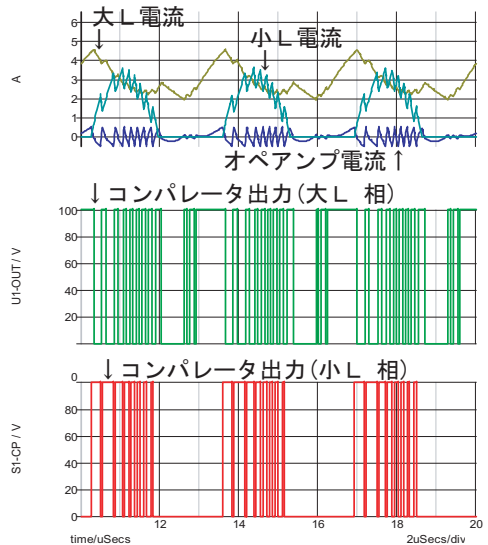


図 16: 提案回路動作波形 (高入力スルーレート)

最適化したスイッチング段を使うため、入力信号スルーレートによらず一定の低効率となる。今回の提案回路の場合、入力スルーレートが小さいときは狭帯域高効率のスイッチング段に切り替えるため、効

率の改善が期待できる。実際の入力信号スルーレートは時間で連続的に変化するため、その変化に応じて回路動作が自動的に切り替わる必要がある。その切り替わる様子を見るため、入力信号スルーレートを連続的に変化させたときの応答をシミュレーションにより確認した。そのときの入力波形を図17、動作波形を図18に示す。図18の結果より、

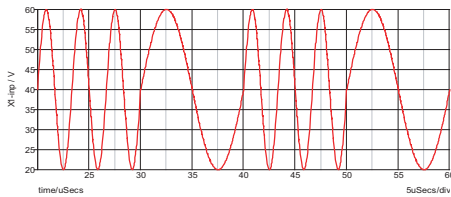


図 17: シミュレーションに用いた入力包絡線信号波形

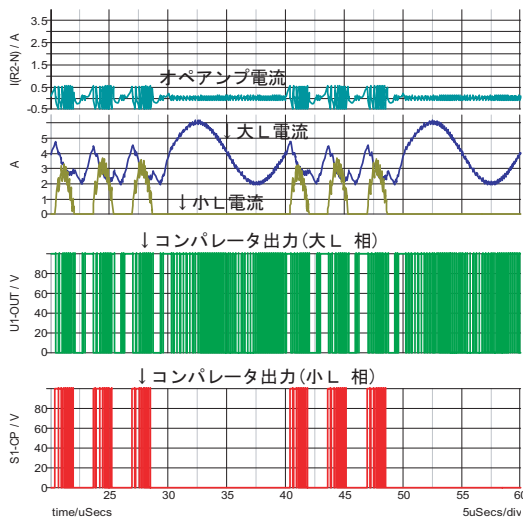


図 18: 提案回路動作波形 (入力SR切り替え時)

力信号スルーレートが変化したとき、スイッチング段の動作が自動的に切り替わっていることが確認できた。入力信号スルーレートが小さいときは狭帯域高効率な1相動作、大きいときは広帯域低効率な2相動作に瞬時に切り替わっているため、実際のWCDMAやOFDMなどの信号に適応した場合でも効率を改善できる可能性が高い。現在、以上のシミュレーション結果の妥当性を実験により検証して

いる。

5 まとめ

この論文では基地局パワーアンプ用包絡線追跡電源の高性能化のための新アーキテクチャを提案した。提案回路構成は、オペアンプに加えて、狭帯域高効率と広帯域低効率の2つのスイッチング段を用いることで帯域と効率の両立を可能にした。2つのスイッチング段は入力包絡線信号のスルーレートによって自動的に動作が切り替わり、実際のWCDMAやOFDMの信号に対しても効率を改善できる可能性が高い。基本動作をシミュレーションで確認した。今後この方式の設計論を確立するため検討を継続していく。なお、今回示した提案回路は2相構成であるが、3相以上の構成の場合、さらなる高効率化が期待できる。また、現在デスクリート部品による回路組み立て・基礎実験も並行して行っており、結果は逐次報告していきたい。

謝辞: 有意義なコメントをいただきました石原昇先生、戸谷一幸氏、Kimball先生、Larson教授に謝意を表します。

参考文献

- [1] D. F. Kimball, J. Jeong, C. Hsia, P. Draxler, S. Lanfranco, W. Nagy, K. Linthicum, L. E. Larson, P. M. Asbeck "High-Efficiency Envelope-Tracking W-CDMA Base-Station Amplifier Using GaN HFETs", IEEE Trans. on Microwave Theory and Techniques, vol.54, no.11 (Nov. 2006).
- [2] F. Wang, "High Efficiency Linear Envelope Tracking and Envelope Elimination and Restoration Power Amplifier for WLAN OFDM Applications," Ph.D. Dissertation, University of California, San Diego (2006).
- [3] P. Asbeck, D. Kimball, J. Jeong, P. Draxler, C. Hsia, L. Larson, "Next Generation High-Efficiency RF Transmitter Technology for Basestations", Extended Abstracts of 2007 International Conference on Solid State Devices and Materials, pp. 146-147, Tsukuba (Sept. 2007).
- [4] P. Draxler, S. Lanfranco, et.al., "High Efficiency Envelope Tracking LDMOS Power Amplifier for W-CDMA", IEEE MTT-S International Microwave Symposium, pp.1534-1537 (June 2006).
- [5] S. C. Cripps, RF Power Amplifier for Wireless Communications, Artec House (1999).
- [6] S. C. Cripps, Advanced Techniques in RF Power Amplifier Design, Artec House (2002).