

Analysis and Design of Inverter-Type G_m - C Bandpass Filter

Haijun Lin Non-member (Gunma University, lin@el.gunma-u.ac.jp)

Tomoyuki Tanabe Non-member (Gunma University)

Hao San Non-member (Gunma University)

Haruo Kobayashi Member (Gunma University)

Keywords: G_m - C banpass filter, CMOS OTA, CMOS inverter, low power, high frequency

This paper presents design methodology of a low-power high-frequency second-order G_m - C bandpass filter based on CMOS inverters for a portable communication systems such as WLAN, cell phone. Nauta presented an OTA circuit without internal nodes, it has been widely used in high frequency filter design because Nauta's OTA circuit can operate with low supply voltage in deep submicron CMOS. However, Nauta's OTA circuit uses control circuits to control the common mode voltage and DC gain of the OTA which require relatively large power.

For power consumption of the G_m - C bandpass filter is proportional to the transistor size and the number of transistors. In this paper, we proposed two methods to save the power consumption of the bandpass filter.

(1) From the atability analysis of the Nauta's OTA circuit, we optimize the transistor size of control circuits in Nauta's OTA to save power.

(2) We take out the control circuits from the OTAs and share them at the same output node in bandpass filter to save numbers of transistors and moreover, we save a OTA circuit which has the same operation with a part of the control circuit. also from the stability analysis we optimize transistors size of the control circuit. From this method, the power can be saved by minish the number of transistors.

The Nauta's OTA circuit consists of core circuit and control circuits, core circuit is to decide the value of g_m . Control circuits are used to control the common mode voltage and DC gain of the OTA. Normally, transistors size of control circuits are almost the same as the transistors size of core circuit. The first method is to analysis the atability characteristics of Nauta's OTA circuit, from the analysis result we confirm that transistors size of control circuits can be reduced by half of transistors size of core circuit and the OTA circuit is still stable. To reduce transistors size of control circuits means the OTA circuit be low power.

Table 1. Bandpass filter design comparison.

	BPF with Original Nauta OTAs	BPF with Optimized Nauta OTAs	Proposed BPF
Supply(V)	1.8/1.76	1.8	1.8
f_c (GHz)	2.4	2.4	2.4
Q Fractor	60	60	60
IP3(dBm)	4.79	9.61	9.26
Noise(mVrms)	2.85	2.05	1.48
Power(mW)	97.9	44.1	32.2

The conventional second order G_m - C bandpass filter consists of 4 OTAs, and 3 of them share the same output node. For all of them have the control circuits, which leads to power loss. We proposed the new circuit which shares the control circuits for OTAs have the same output node. Moreover one OTA in conventional second order G_m - C bandpass filter operated as resistor which has same operation like common mode voltage control circuit, this OTA can be saved to reduce the number of transistors, which means the power of bandpass filter can be saved. From the stability analysis and noise analysis of proposed bandpass filter we clear the trade-off relationships of power consumption, Q factor, stability and noise characteristics to make the optimized design of proposed bandpass filter.

We designed the second order G_m - C bandpass filter with center frequency of 2.4GHz with TSMC 0.18 μ m CMOS process. Table(1) expresses the simulation result.

From the Table(1) Q factor as high as 60 can be obtained. Power consumption is reduced by 67% compared with conventional bandpass G_m - C filter built straightforward with Nauta's OTA circuits, and that power consumption is reduced by 27% compared with the G_m - C filter built with Nauta's OTA circuits of optimized transistor sizes.

インバータタイプ G_m - C バンドパスフィルタの解析と設計

非会員 林 海軍* 非会員 田邊 朋之*
 非会員 傘 昊* 正員 小林 春夫*

Analysis and Design of Inverter-Type G_m - C Bandpass Filter

Haijun Lin*, Non-member, Tomoyuki Tanabe*, Non-member, Hao San*, Non-member, Haruo Kobayashi*, Member

This paper presents design methodology of a low-power high-frequency second-order G_m - C bandpass filter based on CMOS inverters with control-circuit-sharing architecture. We clarify trade-offs among its power consumption, Q factor, stability and noise performance. SPICE simulation with TSMC $0.18\mu\text{m}$ CMOS process shows that its power consumption is reduced by 67% compared with the G_m - C filter built straightforward with Nauta's OTA circuits, and that power consumption is reduced by 27% compared with the G_m - C filter built with Nauta's OTA circuits of optimized transistor sizes.

キーワード: G_m - C バンドパスフィルタ, CMOS OTA, CMOS インバータ, 低消費電力, 高周波

Keywords: G_m - C bandpass filter, CMOS OTA, CMOS inverter, low power, high frequency

1. まえがき

近年 WLAN や携帯電話などの携帯通信機器では高周波・低消費電力の連続時間バンドパスフィルタが必要とされる。 G_m - C タイプのバンドパスフィルタはその実現法の有力な選択肢である。Nauta 教授が提案した OTA 回路⁽²⁾ は低電源電圧で動作する微細 CMOS プロセスでの実現に適し、また内部ノードを持たないため高周波フィルタの設計に広く用いられている⁽¹⁾⁽³⁾。しかし Nauta の OTA 回路の内部でコモンモード制御回路と正帰還回路を用いるため、高い Q 値を求める設計では回路の安定性が問題になり、またそれらの回路での比較的大きな消費電力が問題になる。

本論文では G_m - C バンドパスフィルタの安定性と低消費電力化を実現するための回路方式を検討する。検討回路では次の 2 つの視点で消費電力の削減に取り組む。

(1) インバータタイプの G_m - C フィルタ回路の消費電力はトランジスタサイズに比例するので、フィルタ回路の Q 値、安定性とトランジスタサイズの間を解析し、高い Q 値とフィルタの安定性を保った上で制御回路のトランジスタサイズを小さくし、回路の低消費電力を実現する。

(2) フィルタを構成する OTA 回路単体をインバータ回路で構成し、コモンモード制御と高い DC ゲインと高い Q 値を実現するための制御回路を OTA 回路単体から取り出

す。フィルタ内の同じノードを持つ OTA 回路のコモンモードと正帰還の制御回路を共有させ、回路の規模を縮小したことで消費電力の削減を実現する。

文献(7)でも同様な回路方式を記述しているが、本論文では次の点が異なり、さらなる電力削減につながる。

- 安定性解析の結果から制御回路のトランジスタサイズを小さくできる。
- 出力ノードを共有して出力抵抗となる 1 つの OTA 回路を削除(共有)して、フィルタ回路トータルのインバータの数がより少なくなる。

2 章では Nauta OTA 回路の安定性を解析し、高い DC ゲインを持つ OTA 回路を検討する。3 章ではフィルタ回路の安定性、Q 値と消費電力のトレードオフを明確し、高い Q 値を持つ安定した制御回路を共有する G_m - C バンドパスフィルタの構成を検討する。

2. Nauta OTA 回路と用いた低消費電力 OTA 回路の検討

本章では、Nauta OTA 回路の構成と基本動作と安定性を解析し、高い DC ゲインを持つ OTA 回路を検討する。

(2-1) Nauta OTA 回路の構成と動作 図 1 に 6 個のインバータで構成する Nauta OTA 回路を示す。インバータ 1(Inv1) とインバータ 2(Inv2) は OTA 回路のコア部分であり、OTA 回路の g_m 値を決める。インバータ 4(Inv4) とインバータ 5(Inv5) は OTA 回路のコモンモード電圧を決める部分であり、抵抗として働く(図 2(a))。インバータ 3(Inv3) とインバータ 6(Inv6) は正帰還回路を構成し OTA

* 群馬大学大学院 工学研究科 電気電子工学専攻
 376-8515 群馬県桐生市天神町 1-5-1
 Electronic Engineering Department, Gunma University,
 1-5-1 Tenjin-cho, Kiryu, Gunma 376-8515

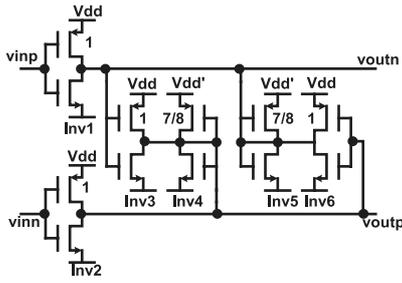


Fig. 1. Nauta OTA circuit.

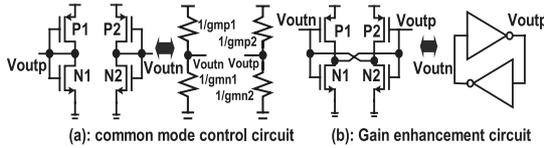


Fig. 2. Control circuits in Nauta OTA.

回路の DC ゲインを増大させる (図 2(b))。また DC ゲインをチューニングするため外部電源 (V_{dd}') が必要である。各インバータのトランジスタサイズは図 1 で示したように $Inv1(2) : Inv3(6) : Inv4(5) = 1 : 1 : 7/8$ である。制御回路 ($Inv3-Inv6$) のトランジスタサイズを小さくすることで消費電力が削減できる。

(2・2) 安定性に関する解析 チャネル長が短い MOS デバイスではドレイン電流はゲートソース間電圧の二乗則から外れて比例関係となり (1) 式で表せる (4)。

$$I_D \approx \frac{\mu_n C_{ox}}{2} W (V_{gs} - V_{th}) E_{sat} \dots \dots \dots (1)$$

($L=0.18\mu m$ では V_{gs} が 0.8V 程度以上のとき速度飽和領域になる。電源電圧 1.8V でコモンモード電位が 0.9V 近辺の CMOS インバータ型回路では NMOS, PMOS とともにこの条件となるので以下速度飽和領域として解析を行う。)

差動インバータ回路の g_m 値は (2) 式で表せる。(TSMC $0.18\mu m$ CMOS のプロセスでは [PMOS のチャネル幅]: [NMOS のチャネル幅] = 3.45:1 に設定することで $g_{mp} = g_{mn}$ とすることができる。)

$$g_{m,inv} = \mu_{n(p)} C_{ox} W_{n(p)} E_{satn(p)} \dots \dots \dots (2)$$

インバータ回路の g_m 値と電流値の関係の SPICE シミュレーション結果を図 3 に示す。また実際のインバータ回路では出力抵抗を考える必要がある。DIBL(Drain Induced Barrier Lowering) およびチャネル長変調効果を考慮した短チャネル MOSFET の出力コンダクタンス g_{ds} は BSIM3 パラメータを用いた SPICE シミュレーションから第一近似として次のように表せる。

$$g_{ds} \approx \lambda I_{DS} \dots \dots \dots (3)$$

すなわち g_{ds} 値はドレイン電流に比例し一定 V_{gs} バイアス条件でのトランジスタのサイズ W にほぼ比例し、図 4 のモデルを用いることができる。またインバータの出力コン

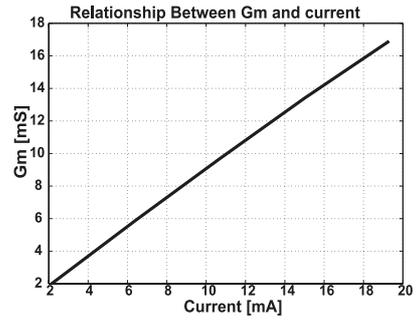


Fig. 3. Relationship between bias current and g_m for an inverter.

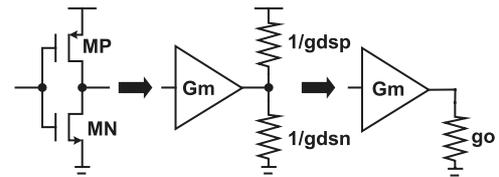


Fig. 4. An inverter with output resistance.

ダクタンスは $g_{o,inv} = g_{dsp} + g_{dsn}$ であるため、図 1 から、Nauta タイプの OTA 回路の出力コンダクタンスは次のように表せる。

$$\begin{aligned} g_{o,ota} &= g_{o,inv2} + g_{o,inv3} + g_{o,inv4} \\ &= g_{o,inv1} + g_{o,inv5} + g_{o,inv6} \end{aligned}$$

$g_{o,inv1-6}$ は Nauta OTA 回路の各インバータの出力コンダクタンスである。また各インバータの出力は同じバイアス条件で動作するため、各インバータの出力コンダクタンスの比はそれらのサイズ (W) の比に等しい。図 1 の回路の小信号差動ゲイン $A_{diff} = (v_{outp} - v_{outn}) / (v_{inp} - v_{inn})$ は次のように表せる。

$$A_{diff} = \frac{g_{m1(2),inv}}{g_{o,ota} - (g_{m3(6),inv} - g_{m4(5),inv})}$$

ここで $g_{m3(6),inv} - g_{m4(5),inv} = \delta g_m$ と定義すると、 $\delta g_m = g_{o,ota}$ の場合に OTA 回路の出力抵抗が無大となり、その DC ゲインも無限大となる。すなわち Nauta OTA 回路の安定条件は (4) 式となる。

$$\delta g_m < g_{o,ota} \dots \dots \dots (4)$$

(1), (2) 式から δg_m と $g_{o,ota}$ は次のように表せる。

$$\delta g_m = (W_3 - W_4) \mu C_{ox} E_{sat} \dots \dots \dots (5)$$

$$g_{o,ota} = 2\lambda \frac{\mu C_{ox}}{2} V_{sat} E_{sat} (W_2 + W_3 + W_4) \dots \dots (6)$$

ここで $V_{sat} = V_{gs} - V_{th}$ である。(5), (6) 式から (4) 式は次のように表現できる。

$$\lambda V_{sat} (W_2 + W_3 + W_4) \geq (W_3 - W_4) \dots \dots \dots (7)$$

(7) 式は Nauta OTA 回路の安定条件式である。TSMC $0.18\mu m$ CMOS のプロセスにおいて $V_{sat} = 0.4V, \lambda = 0.1$

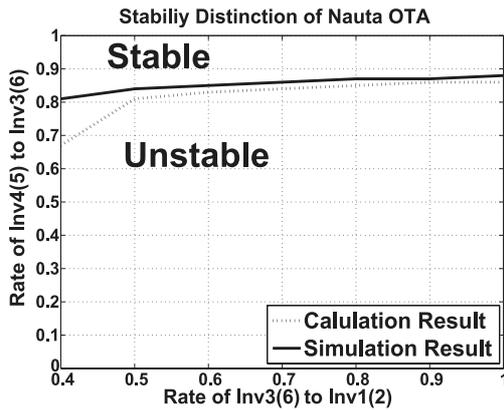


Fig. 5. Stability analysis result for the conventional bandpass filter with Nauta OTAs.

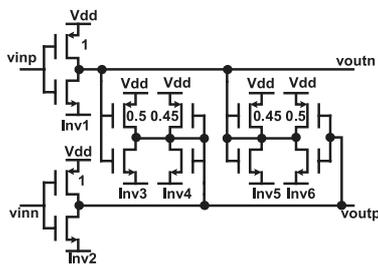


Fig. 6. Nauta OTA circuit with optimized size.

として (7) 式での各トランジスタサイズを変化させ、計算を行う。図 5 に (7) 式の計算結果とシミュレーション結果を示す。両者は一致していることが確認できた。図 5 内の線は安定状態の境界線であり。線の上の領域は安定領域で下の領域では不安定領域である。ここでの Inv は図 1 の各インバータのサイズ W である。Inv3(6) が Inv1(2) の半分になっても、Inv4(5) が $0.83 \times$ Inv3(6) より大きい場合 OTA 回路は安定である。Nauta OTA 回路の消費電力は各インバータのサイズに比例するため OTA 回路の g_m 値を決める Inv1(2) のサイズ W が変わらなくても Inv3-Inv6 のインバータのサイズ W が小さければ消費電力の削減につながる。Nauta OTA の各トランジスタサイズを境界線の近くになるように制御回路のトランジスタ回路調整するだけで高い DC ゲインが得られ、余分な外部電源が不要となる。安定性解析によってトランジスタサイズを最適化した検討 OTA 回路のサイズを図 6 で示す。

3. 制御回路を共有する G_m-C バンドパスフィルタの構成

本章では検討 2 次 G_m-C バンドパスフィルタの安定性、Q 値及び消費電力の関係を明らかにし、またフィルタ回路のノイズ解析を行う。これらをもとに低消費電力で高い Q 値を持つ安定なバンドパスフィルタの設計法を示す。

(3・1) 制御回路共有 G_m-C バンドパスフィルタ 図 7 に従来構成の 2 次 G_m-C バンドパスフィルタを示す。ここでは g_{m1}, g_{m2}, g_{m4} の 3 個の OTA 回路は同じ出力ノードを持つ。それらの共通電圧制御回路と DC ゲイン制御回

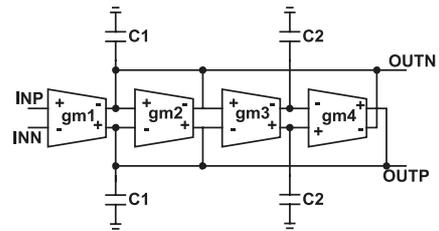


Fig. 7. A G_m-C second-order bandpass filter.

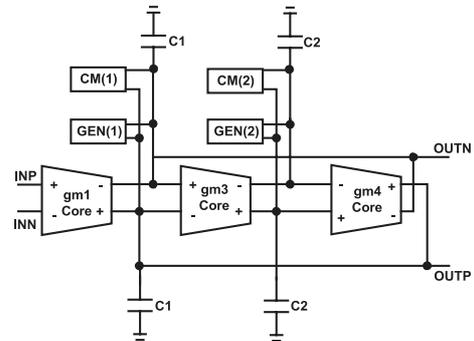


Fig. 8. A G_m-C second-order bandpass filter with control circuit sharing.

路を共有することができる。

OTA 回路本体は 2 つのインバータで構成して OTA 回路の g_m 値のみを決める。図 7 の中で、OTA 回路 g_{m2} のプラス側入力とマイナス側出力およびマイナス側入力とプラス側出力が接続され、出力ノード OUTP, OUTN とグラウンド間の抵抗 $1/g_{m2}$ として働く。この OTA 回路 g_{m2} は共通モード制御回路と同じ構成なので共通モード回路と共有できることがわかる。

図 8 に検討する制御回路を共有する 2 次 G_m-C バンドパスフィルタ構成回路を示す。OTA 回路 g_{m1} と g_{m4} の共通モード制御回路を CM1(1) で共有し、その DC ゲインを増大させる回路を GEN(1) で共有する。また OTA 回路 g_{m3} の共通モード制御と DC ゲイン増大させる回路はそれぞれ CM(2) と GEN(2) である。

この回路の構成では OTA 回路 g_{m1}, g_{m3}, g_{m4} はインバータで構成し、各 OTA の g_m 値を決め、共通モード制御回路および DC ゲイン増大させる回路をそれぞれ図 2(a),(b) で表す。すべての回路を CMOS インバータで構成する。低電圧動作可能で微細 CMOS プロセスでは (速度飽和領域で動作するので) 線形性が良くなる。内部ノードを持たないので高周波領域での動作が可能である。制御回路を共有することで消費電力が削減できる。

次 (8), (9) 式でそれぞれ図 7 のバンドパスフィルタと図 8 の提案するバンドパスフィルタの伝達関数を表す。

$$H(s) = \frac{g_{m1}sC_2}{s^2C_1C_2 + sC_2g_{m2} + g_{m3}g_{m4}} \dots \dots \dots (8)$$

$$H(s) = \frac{g_{m1}(sC_2 + A_2)}{s^2C_1C_2 + sU_1 + U_0} \dots \dots \dots (9)$$

ここで

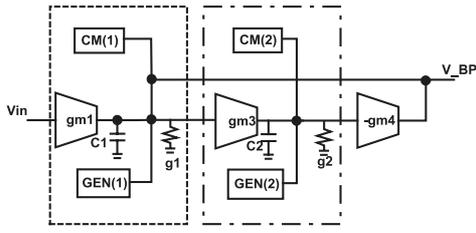


Fig. 9. Proposed bandpass filter circuit with output resistance.

$$U_1 = C_1 A_2 + C_2 A_1, \quad U_0 = g_{m3} g_{m4} + A_1 A_2$$

$$A_1 = g_{mcm1} - g_{mgen1}, \quad A_2 = g_{mcm2} - g_{mgen2}$$

である。 g_{mgen} は DC ゲイン増大回路の g_m 値であり, g_{mcm} はコモンモード制御回路の g_m 値である。OTA 回路の g_m 値はコア回路のインバータの g_m 値によって決まる。

〈3・2〉 検討フィルタ回路の安定性, Q 値と消費電力の関係 図 9 に検討バンドパスフィルタの出力抵抗を持つ回路モデルを示す。 g_{o1}, g_{o2} はそれぞれノードでの出力コンダクタンスである。

$$g_{o1} = g_{om1} + g_{ocm1} + g_{ogen1} + g_{om4}$$

$$g_{o2} = g_{om3} + g_{ocm2} + g_{ogen2}$$

ここで $g_{om}, g_{ocm}, g_{ogen}$ は各 OTA 回路, コモンモード制御回路およびゲイン増大回路の出力コンダクタンスである。出力抵抗を持つ検討回路の伝達関数を (10) 式で示す。

$$H(s) = \frac{As + B}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \dots \dots \dots (10)$$

ここで

$$A = g_{m1}/C_1$$

$$B = g_{m1}T_2/C_1C_2$$

$$\omega_0 = \sqrt{(T_1T_2 + g_{m3}g_{m4})/C_1C_2}$$

$$Q = \sqrt{C_1C_2(T_1T_2 + g_{m3}g_{m4})}/(C_1T_2 + C_2T_1)$$

$$T_1 = g_{o1} - (g_{mgen1} - g_{mcm1})$$

$$T_2 = g_{o2} - (g_{mgen2} - g_{mcm2})$$

である。 $C_1 = C_2$ のときの検討バンドパスフィルタの Q 値を (11) 式で表す。

$$Q = \frac{\sqrt{T_1T_2 + g_{m3}g_{m4}}}{T_1 + T_2} \dots \dots \dots (11)$$

伝達関数の極 p_1, p_2 とゼロ点 z は次のようになる。

$$p_1 = -\frac{\omega_0}{2Q} + j \cdot \omega_0 \sqrt{1 - \frac{1}{4Q^2}}$$

$$p_2 = -\frac{\omega_0}{2Q} - j \cdot \omega_0 \sqrt{1 - \frac{1}{4Q^2}}$$

$$z = -\frac{B}{A}$$

極 p_1, p_2 の式から分かるように, フィルタが安定であるため, 極の実数部が s -平面の左側ある, 即ち Q 値が正である

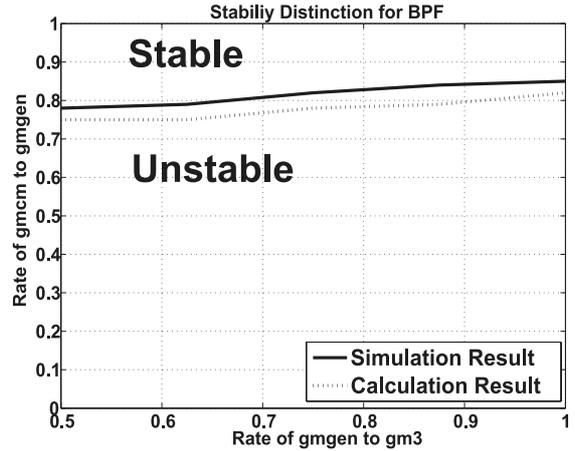


Fig. 10. Stability analysis result for the proposed bandpass filter.

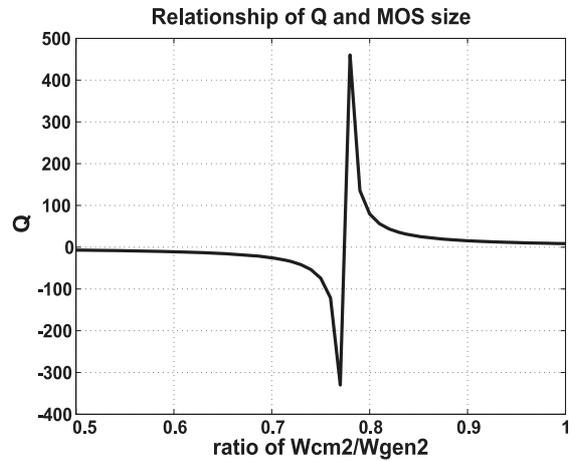


Fig. 11. Relationship between Q and MOS size (W) for the proposed bandpass filter.

必要がある。従って (11) 式から安定のためには $T_1 + T_2 > 0$ が必要である。理論的に T_1 を負の値にしても $T_1 + T_2 > 0$ であれば検討回路は安定であるが, 回路設計の余裕を持たせるため, $T_1 > 0$ にして検討回路の設計を行った。(1) 式と (2) 式から計算を行い, 提案回路の安定性条件を (12) 式と (13) 式で表す。

$$W_1 + W_4 + W_{cm1} + W_{gen1} \geq |\lambda V_{sat}(W_{gen1} - W_{cm1})| \dots \dots \dots (12)$$

$$W_3 + W_{cm2} + W_{gen2} \geq |\lambda V_{sat}(W_{gen2} - W_{cm2})| \dots \dots \dots (13)$$

図 10 に (12) 式と (13) 式から計算した検討フィルタ回路の安定性結果と SPICE シミュレーション結果を示す。SPICE シミュレーションではトランジスタサイズ W を変更して出力信号の位相解析を行い, 位相反転しているかどうかで回路が安定かを求めた。図 11 に (11) 式から計算した Q 値とトランジスタサイズの関係グラフを示す。グラフから分かるように, $W_{cm2}/W_{gen2} = 0.7 \sim 0.8$ の場合 高い Q 値が得られるが, Q 値の変化の激しいので Q 値を安定させるた

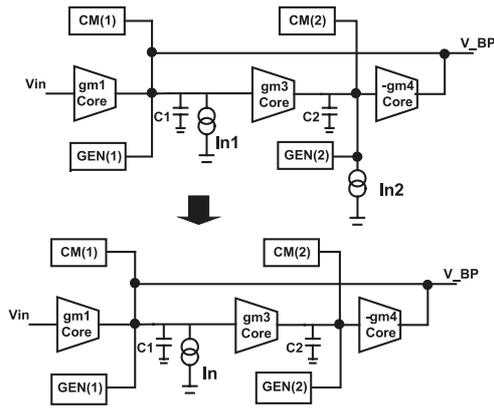


Fig. 12. Noise modeling for the proposed bandpass filter.

めのチューニング回路が必要である。図 10, 図 11 からフィルタ回路を安定させるためには g_{mcm1} のサイズは g_{mgen1} のサイズの 80% 以上でなければならないことがわかる。また g_{mcm2} のサイズは g_{mgen2} のサイズの 80% あたりで最も大きな Q 値が得られ、安定かつ Q 値の高い検討回路の設計ができる。

〈3・3〉 検討フィルタ回路のノイズ解析 ノイズ特性はバンドパスフィルタ回路の設計において重要なパラメータの一つである。ここでは検討回路のノイズモデルを作成しこのモデルを用いて(狭い通過領域を持つ)バンドパスフィルタの通過帯域内のノイズ量を解析する。MOS トランジスタ単体を発生する熱ノイズは $i_d^2 = 4kT \cdot \gamma \cdot g_m(n,p)$ と計算できる。ここで γ はトランジスタ基本パラメータとバイアス状態の関数であり、短チャネルトランジスタの場合 $\gamma = 2 \sim 3$ である。インバータ回路では発生するノイズ電流は $i_d^2 = 4kT \cdot \gamma \cdot g_m$ のように見積られる。ここで g_m はインバータの g_m 値である。図 12 に検討バンドパスフィルタのノイズモデルを示す。 I_{n1} は OTA 回路 g_{m1} と $g_{m4}, CM(1), GEN(1)$ 制御回路のノイズ電流の和、 I_{n2} は OTA 回路 $g_{m2}, CM(2), GEN(2)$ 制御回路のノイズ電流の和であり、それら次のように表せる。

$$I_{n1}^2 = 4kT \cdot \gamma (g_{m1} + g_{mcm1} + g_{mgen1} + g_{m4})$$

$$I_{n2}^2 = 4kT \cdot \gamma (g_{m3} + g_{mcm2} + g_{mgen2})$$

すべてのノイズ電流が等価的に出力ノードに集中するとした場合を I_n (出力換算ノイズ電流) とすると次の関係が得られる。

$$I_n^2 = \left(\frac{g_{m3}}{sC_2} \right)^2 \cdot I_{n2}^2 + I_{n1}^2$$

入力換算ノイズ電圧を V_{nin} とすると次の関係が得られる。

$$V_{nin}^2 = V_{nin1}^2 + V_{nin2}^2$$

ここで、

$$V_{nin1}^2 = \left(\frac{1}{g_{m1}} \right)^2 I_{n1}^2$$

$$V_{nin2}^2 = \left(\frac{1}{g_{m1}} \right)^2 \left(\frac{g_{m3}}{sC_2} \right)^2 I_{n2}^2$$

である。高い Q 値を持つバンドパスフィルタの場合 信号帯域内のノイズのみ考慮すればよい。信号帯域の中心周波数を f_c とすると信号帯域は $(f_c - \frac{BW}{2} \sim f_c + \frac{BW}{2})$ となり、次の関係が得られる。

$$V_{nin1,rms}^2 = \frac{BW}{g_{m1}^2} I_{n1}^2$$

$$V_{nin2,rms}^2 = \frac{BW}{g_{m1}^2} \left(\frac{g_{m3}}{\pi C_2} \right)^2 \frac{1}{4f_c^2 - BW^2} I_{n2}^2$$

$g_{m3} = g_{m4}, C_1 = C_2$ の場合は、 $f_c = g_{m3}/2\pi C_2$ となり、

$$V_{nin2}^2 = \frac{BW}{g_{m1}^2} I_{n2}^2$$

が得られる。入力換算電圧ノイズは (14) 式と導出できる。

$$V_{nin}^2 = \frac{BW}{g_{m1}^2} (I_{n1}^2 + I_{n2}^2) \dots \dots \dots (14)$$

(14) 式中での g_{m1} はバンドパスフィルタのゲインに比例し、 $I_{n1}^2 + I_{n2}^2$ は Q に比例する。したがって狭いバンドでの入力換算ノイズは Q 値に比例しバンドパスフィルタのゲインに反比例する。高い Q 値のフィルタではノイズを抑えるため g_{m1} 値を大きくする必要があるが、 g_{m1} を大きくすると消費電力が大きくなり、また通過帯域でのゲインが大きくなり線形性が劣化する。すなわちノイズ、消費電力、線形性はトレードオフの関係にある。(14) 式の計算によってノイズ仕様を満たす最小の消費電力になるようなバンドパスフィルタ回路を設計することができる。これらの理論解析結果は SPICE シミュレーションでのノイズ解析結果とほぼ一致することを確認した。

〈3・4〉 検討バンドパスフィルタ回路の設計例 前節までの検討回路の安定性、Q 値及びノイズの解析結果にもとづき、高い Q 値の安定なバンドパスフィルタの設計法と設計結果を示す。安定性を保ち高い Q 値を得るためのトランジスタサイズの設計を次のように行った。

$$W_{cm2} = 0.8 \times W_{gen2}$$

$$W_{cm1} = 0.83 \times W_{gen1}$$

$$g_{m3} = g_{m4} = 2 \times g_{gen1}$$

$$g_{gen1} = 1.5 \times g_{gen2}$$

またノイズと線形性の観点から $g_{m1} > g_{m3}$ とした。素子のばらつきを考慮して多少サイズがはらついても回路の動作に対する影響が小さいことを確認した。表 1 に (1) Nauta OTA を用いた従来バンドパスフィルタ、(2) Nauta OTA を用いたトランジスタサイズを最適化した従来バンドパスフィルタ及び (3) 上記で設計した検討回路を用いたバンドパスフィルタの設計パラメータ値を示す。各回路の伝達関数をそれぞれ (8), (10) 式で示す。検討回路ではトランジスタサイズを小さくし、また余分な回路を削除して寄生容量

Table 1. Bandpass filter design parameter.

	BPF with Original Nauta OTAs	BPF with Optimized Nauta OTAs	Proposed BPF
$g_{m1}(S)$	24m	16m	16m
$g_{m2}(S)$	2.5m	0.8m	N/A
$g_{m3}(S)$	22m	14m	12m
$g_{m4}(S)$	22m	14m	12m
Cap(F)	0.40p	0.47p	0.47p

Table 2. Bandpass filter design comparison.

	BPF with Original Nauta OTAs	BPF with Optimized Nauta OTAs	Proposed BPF
Supply(V)	1.8/1.76	1.8	1.8
$f_c(GHz)$	2.4	2.4	2.4
Q Fractor	60	60	60
IP3(dBm)	4.79	9.61	9.26
Noise(mVrms)	2.85	2.05	1.48
Power(mW)	97.9	44.1	32.2

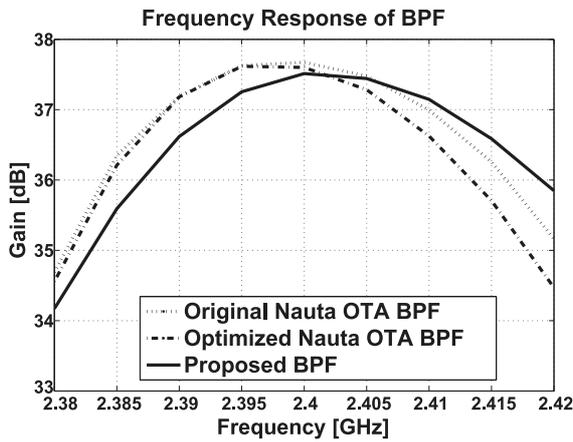


Fig. 13. Gain characteristics SPICE simulation results for the conventional and proposed bandpass filters.

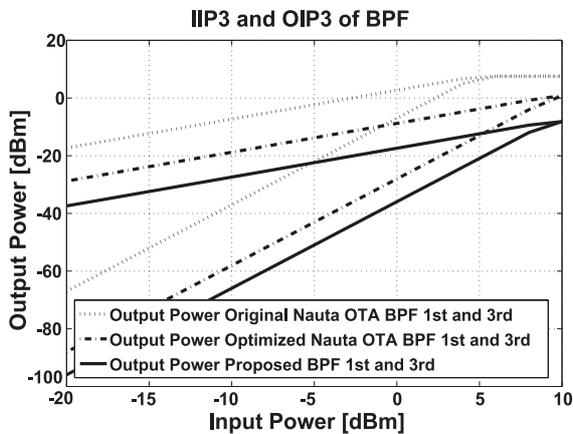


Fig. 14. Linearity SPICE simulation results using the two-tone input for the conventional and proposed bandpass filters.

を削減し小さい回路で構成することができ、その分低消費電力化となる。(キャパシタの値は寄生容量値が含まれていない)。表2に表1のパラメータを用いた回路のSPICE解析結果を示す。

図13に検討回路のAC解析と過渡解析によって得られた周波数特性(ゲイン特性)の結果を示す。Q値はほぼ60が得られた。過渡解析の際には入力信号は2mVppとした。図14に検討バンドパスフィルタ回路の2トーン入力による線形性解析結果を示す。解析結果から検討回路の消費電力は従来Nauta OTAで構成したフィルタ回路に比べて67%の削減が確認でき、またトランジスタサイズを最適化したNauta OTAで構成したフィルタ回路に比べて27%の削減が確認できた。

4. むすび

制御回路を共有する2次 g_m -Cバンドパスフィルタを検討した。検討回路ではすべての回路をインバータで構成し、そのインバータ数を最小とする。また検討回路の安定性Q値、消費電力及びノイズ解析を行うことで高いQ値の安定した低消費電力のバンドパスフィルタの設計法を検討した。TSMC 0.18 μ m CMOSプロセスを用いたSPICEシミュレーションの結果から検討設計法での回路の消費電力はNauta OTA回路を用いたバンドパスフィルタに比べて67%の削減が確認できた。また安定性解析によってトランジスタサイズを最適化したNauta OTA回路を用いた従来型のバンドパスフィルタより消費電力が27%削減効果が確認できた。

謝辞

有益なご討論をいただきましたシャープ(株)飯塚邦彦氏、ロレ・パスカル氏、群馬大学 高井伸和先生に謝意を表します。
(平成20年11月25日受付, 平成21年4月22日再受付)

文 献

- (1) Y. Tsvividis: "High Frequency Continuous Time Filters in Digital CMOS Processes", Kluwer Academic Publishers (2000)
- (2) B. Nauta: "A CMOS transconductance-C filter technique for very high-frequencies", IEEE Journal of Solid-State Circuits, vol.27, no.2, pp.142-153 (1992-2)
- (3) P. Andreani and S. Mattisson: "On the use of Nauta's transconductor in low-frequency CMOS g_m -C bandpass filters", IEEE Journal of Solid-State Circuits, vol.37, no.2, pp.114-124 (2002-2)
- (4) T. H. Lee: "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press (1998)
- (5) H. Lin, et al.: "High frequency CMOS Gm-C bandpass filter design", IEEJ International Analog VLSI Workshop (2007-11)
- (6) H. Lin, et al.: "Design and analysis of low power inverter-type Gm-C bandpass filter", International Analog VLSI Workshop, pp.62-67, Istanbul, Turkey (2008-8)
- (7) P. Crombez, et al.: "A 100KHz-20MHz reconfigurable Nauta g_m -C biquad low-pass filter in 0.13 μ m CMOS", IEEE Asian Solid-State Circuits Conference (2007-11)

林 海軍 (非会員) 2004 群馬大・工・電気電子卒業。2006 年同大大学院修士課程修了。同年フリースケール・セミコンダクタジャパン入社。現在同大学院博士課程在学中。高速 AD 変換回路, 高周波アナログフィルタ, ADPLL に関心を持つ。



傘 昊 (非会員) 2004 群馬大大学院博士課程修了。博士 (工学)。同年群馬大・工助手, 2007 同工学研究科助教。2009 から東京都市大・准教授, 現在に至る。アナログ集積回路に関する研究に従事。2005 回路とシステム (軽井沢) ワークショップ奨励賞受賞。IEEE, IEICE 会員。



田邊 朋之 (非会員) 2007 群馬大・工・電気電子卒業。2009 年同大大学院修士課程修了。同年旭化成エレクトロニクス (株) 入社。高周波アナログフィルタ, ADPLL に関心を持つ。



小林 春夫 (正員) 1980 東大・工・計数卒業。1982 同大学院修士課程修了。同年横河電機製作所入社。1989 米国カルフォルニア大学ロサンゼルス校 (UCLA) 電気工学科修士課程修了。1997 群馬大学助教授, 2002 同教授。2007 同大大学院教授。ミックスド・シグナル集積回路設計, 信号処理アルゴリズムに関心を持つ。IEEE 会員。工博 (早大)

