

冗長アルゴリズム逐次比較近似ADCでの コンパレータ・オフセットのデジタル補正技術

○小川智彦[†], 松浦達治^{††}, 小林春夫[†], 高井伸和[†],
堀田正生^{†††}, 傘昊^{†††}

[†]群馬大学, ^{††}ルネサステクノロジ,

^{†††}東京都市大学

発表内容

- ・ 研究背景
- ・ SAR ADCの構成と動作
- ・ SAR ADCの低消費電力化の検討
 1. 2つのコンパレータを用いたSAR ADC
 2. 電荷共有SAR ADC
 3. 2つのコンパレータを用いた電荷共有SAR ADC
- ・ まとめ

発表内容

- ・ **研究背景**
- ・ SAR ADCの構成と動作
- ・ SAR ADCの低消費電力化の検討
 1. 2つのコンパレータを用いたSAR ADC
 2. 電荷共有SAR ADC
 3. 2つのコンパレータを用いた電荷共有SAR ADC
- ・ まとめ

研究背景

2進SAR ADC

構成, 動作 無駄なし → 効率的

■IMEC (Interuniversity Microelectronics Center)
ベルギー

低消費電力SAR ADC

- ・ 2つのコンパレータを用いた技術
- ・ 電荷共有SAR ADC

研究目的

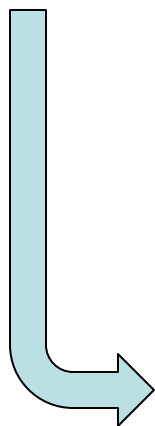
IMEC

低消費電力SAR ADC(2進アルゴリズム)

- ・ 2つのコンパレータを用いた技術
- ・ 電荷共有回路での実現

問題

内部でアナログ調整使用



・ 本研究

低消費電力SAR ADC

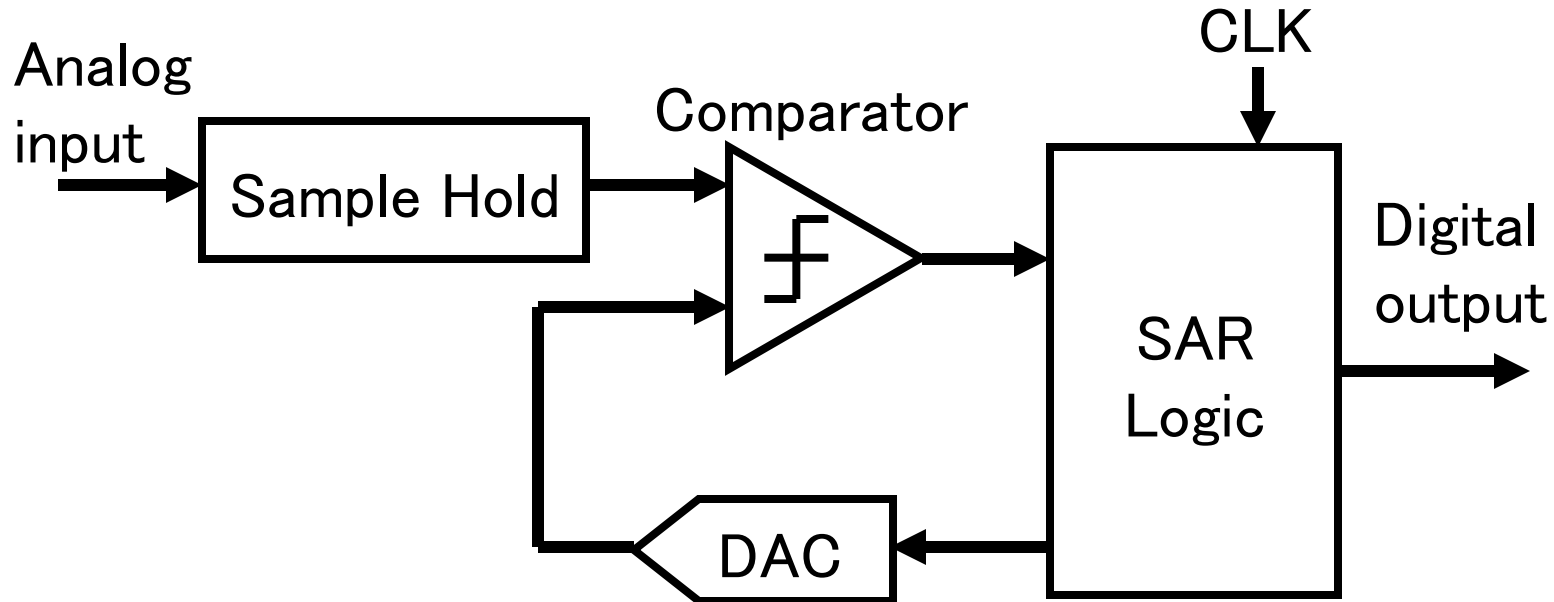
→ 非2進アルゴリズム

→ デジタル補正

発表内容

- ・ 研究背景
- ・ SAR ADCの構成と動作
- ・ SAR ADCの低消費電力化の検討
 1. 2つのコンパレータを用いたSAR ADC
 2. 電荷共有SAR ADC
 3. 2つのコンパレータを用いた電荷共有SAR ADC
- ・ まとめ

SAR ADCの構成

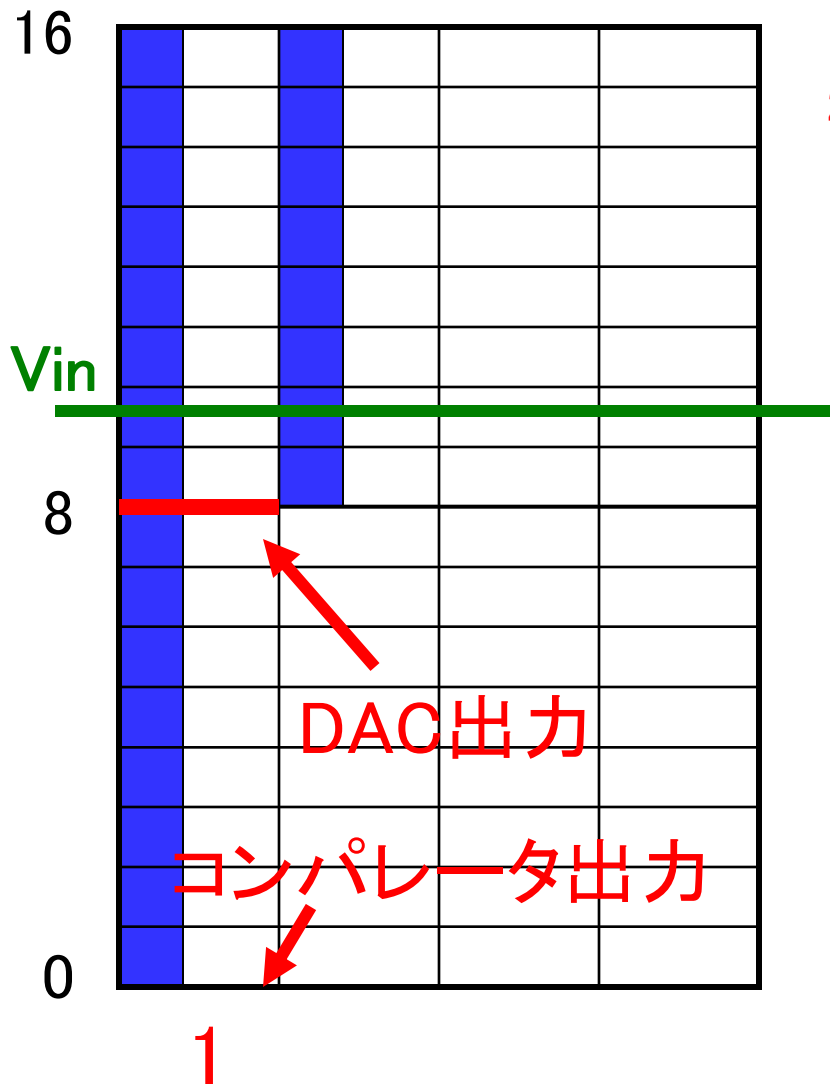


デジタル回路中心, オペアンプ不要.

→ 微細CMOSでの実現に適している.

SAR ADCの動作

2進探索アルゴリズム

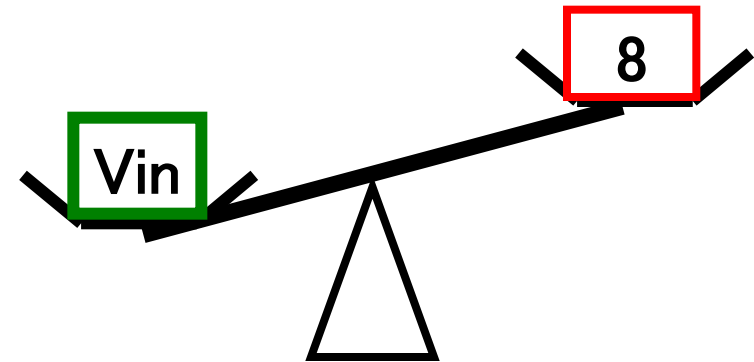


2進荷重

“天秤の原理”

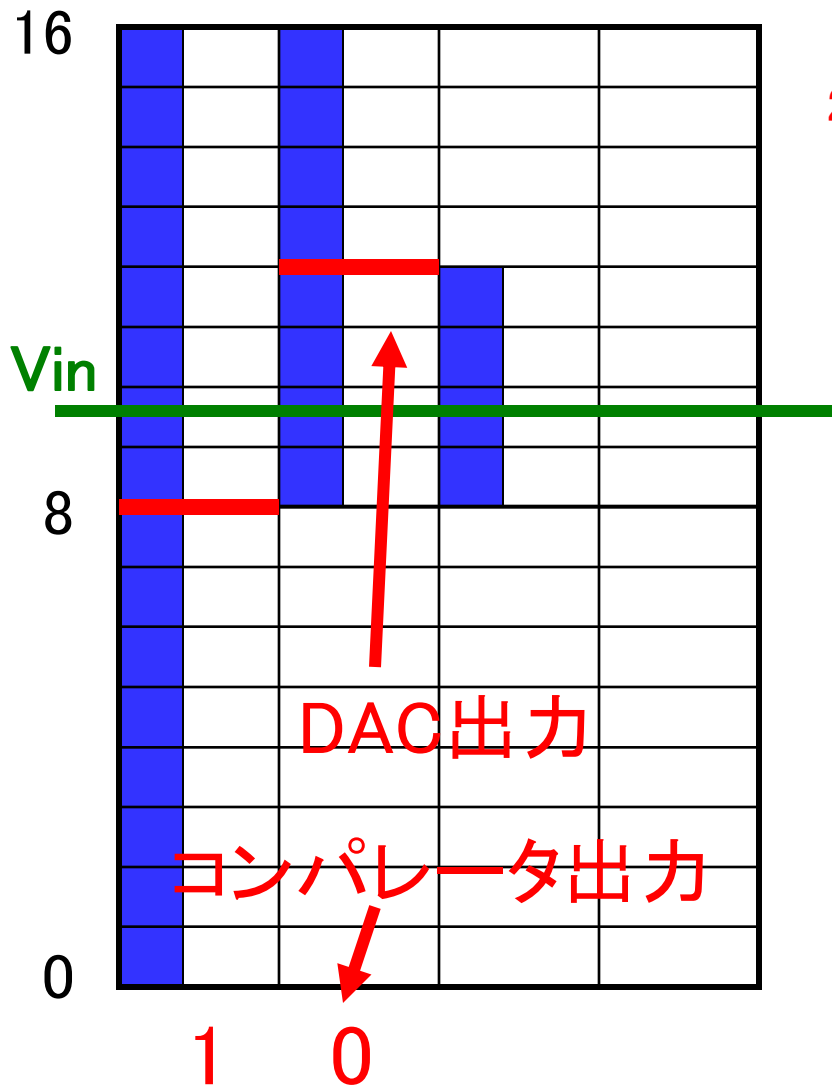
4bit 4step

4 2 1



SAR ADCの動作

2進探索アルゴリズム

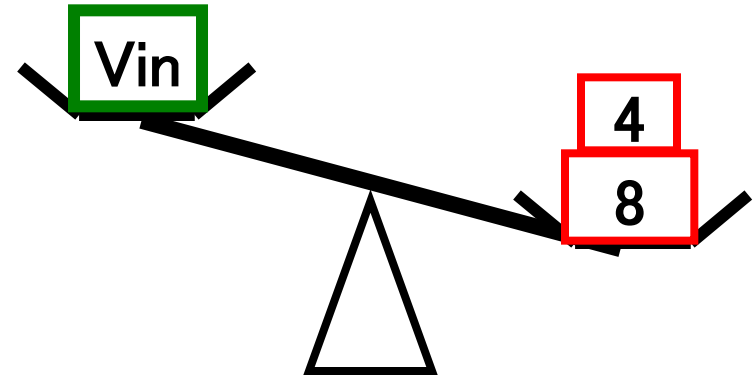


2進荷重

“天秤の原理”

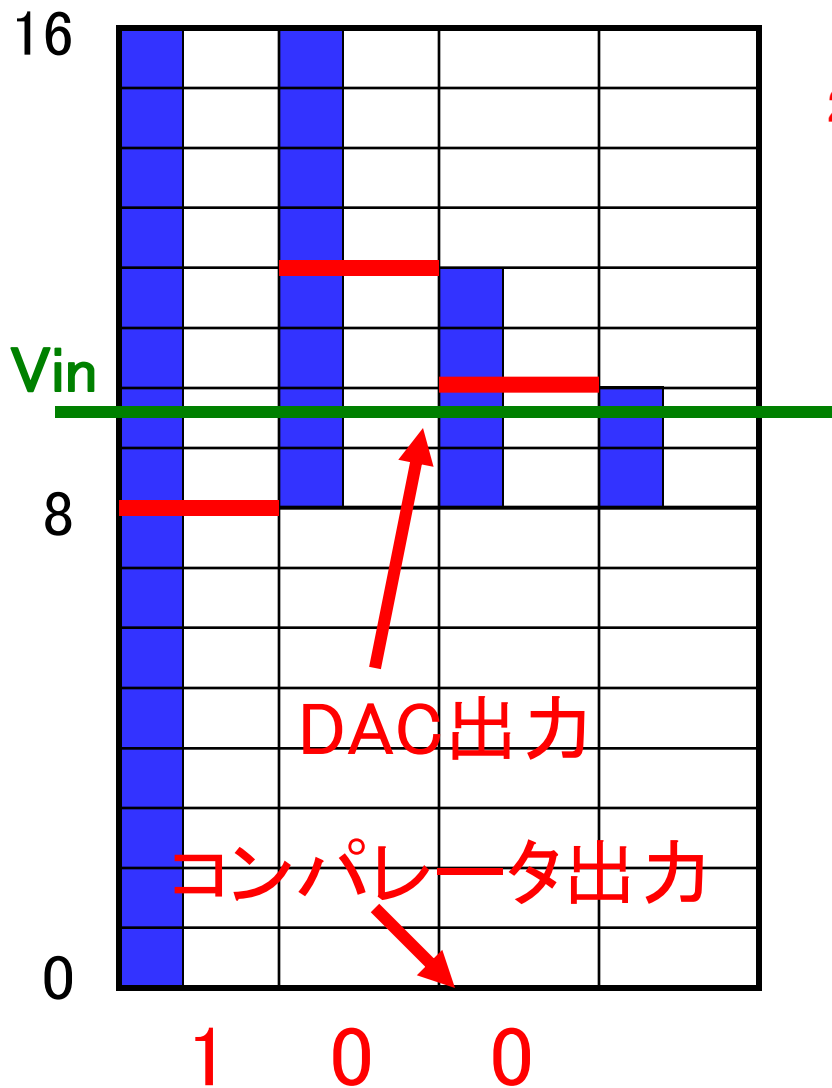
4bit 4step

2 1



SAR ADCの動作

2進探索アルゴリズム

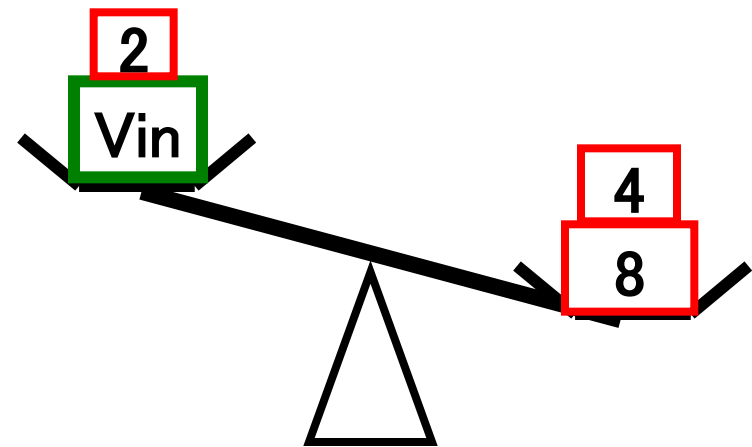


2進荷重

“天秤の原理”

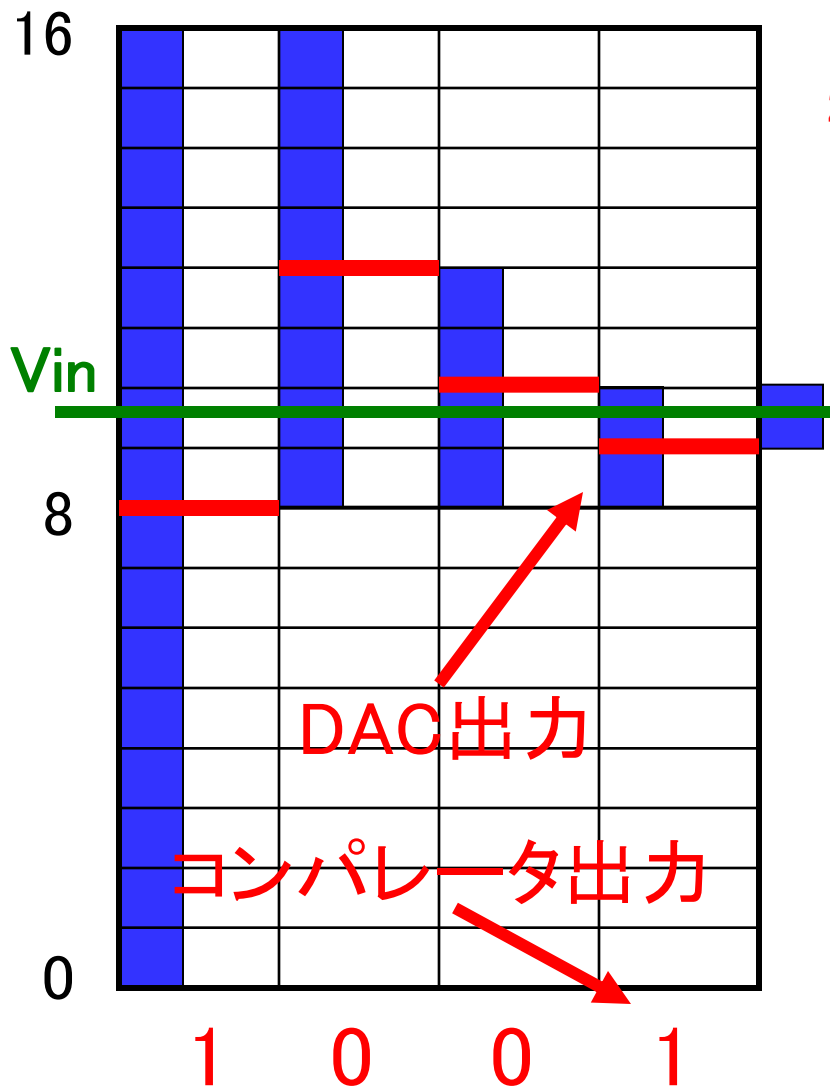
4bit 4step

1



SAR ADCの動作

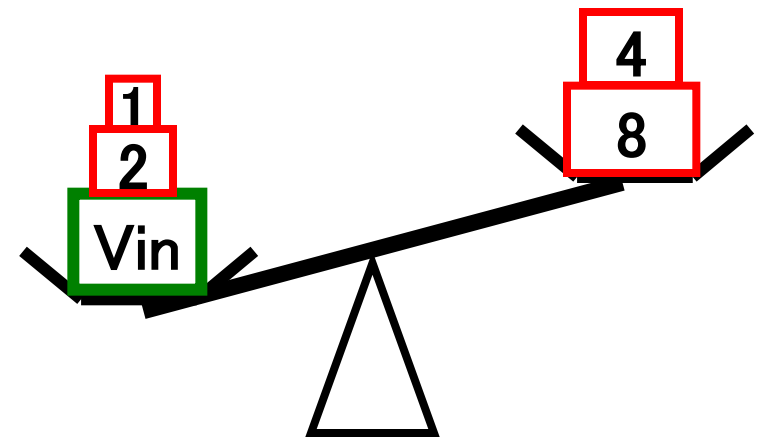
2進探索アルゴリズム



2進荷重

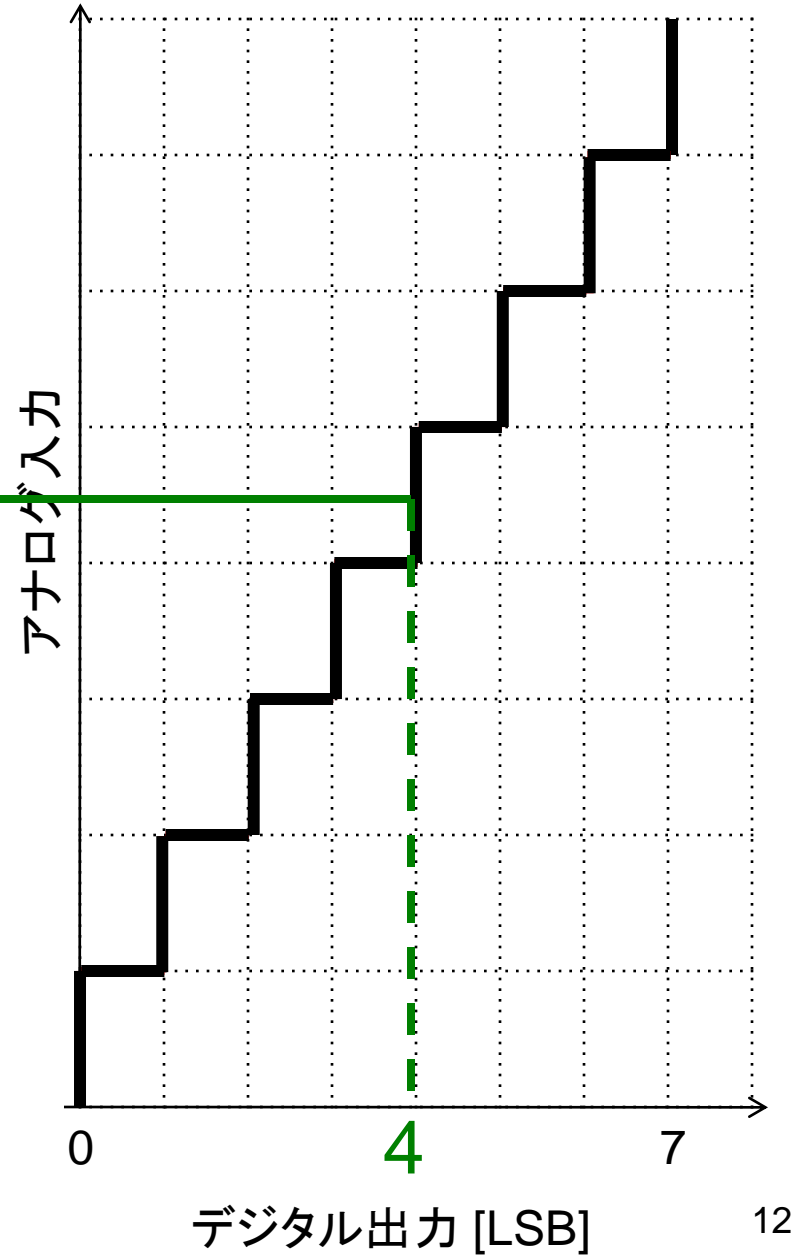
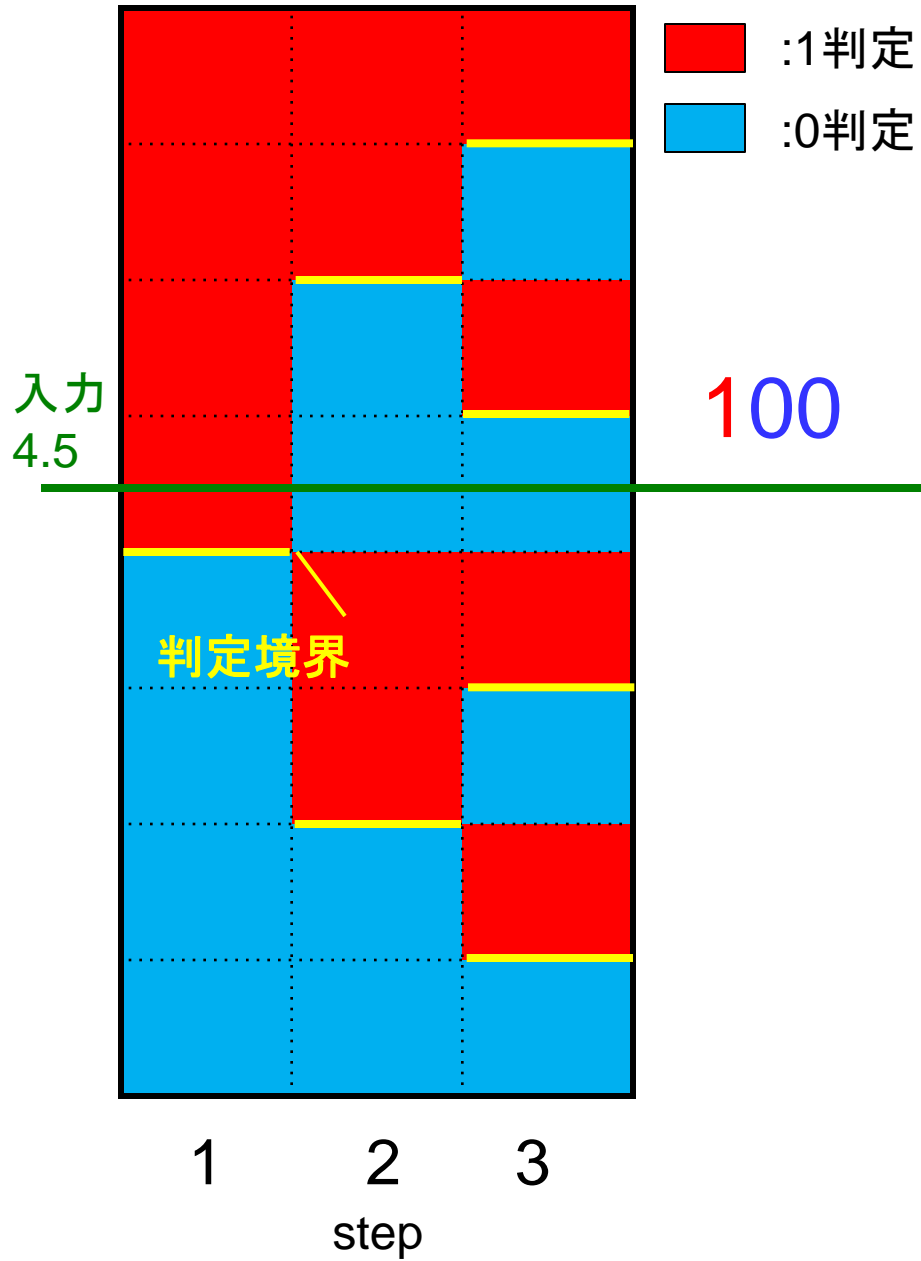
“天秤の原理”

4bit 4step

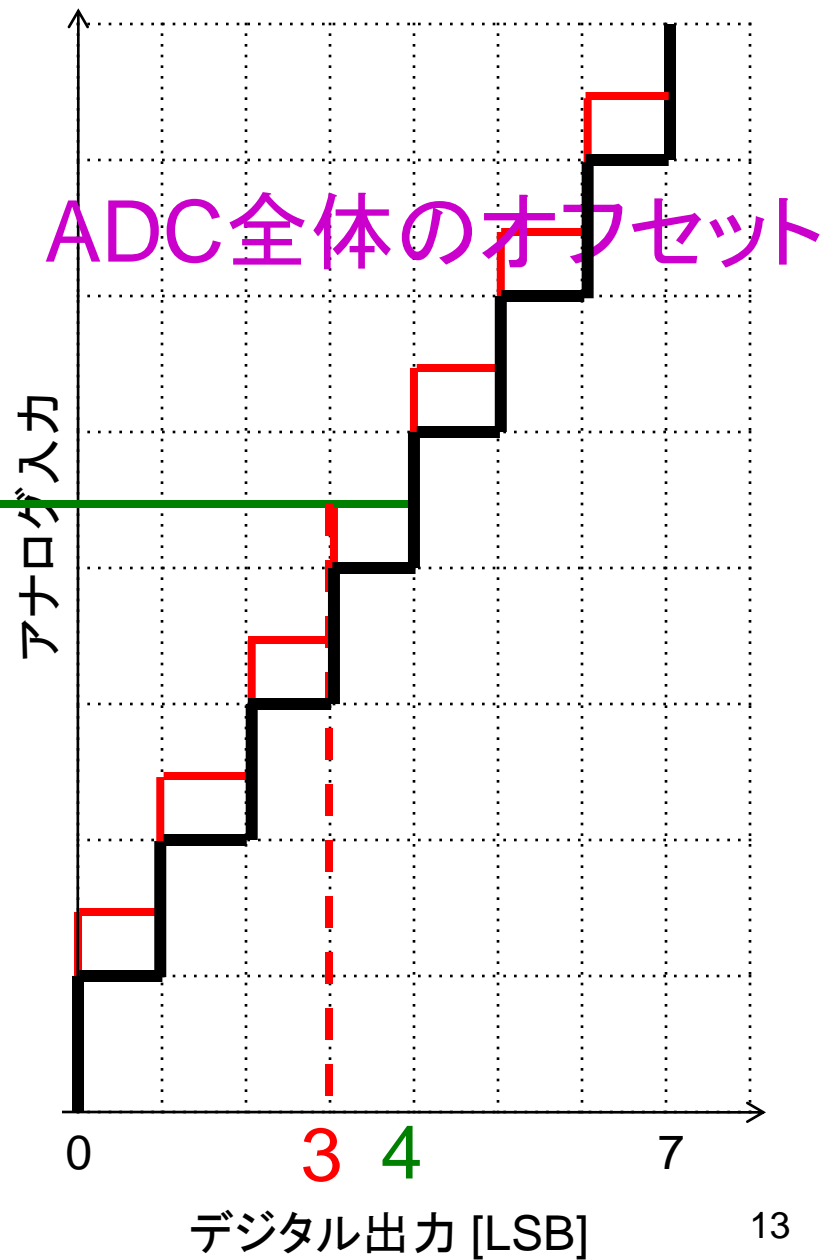
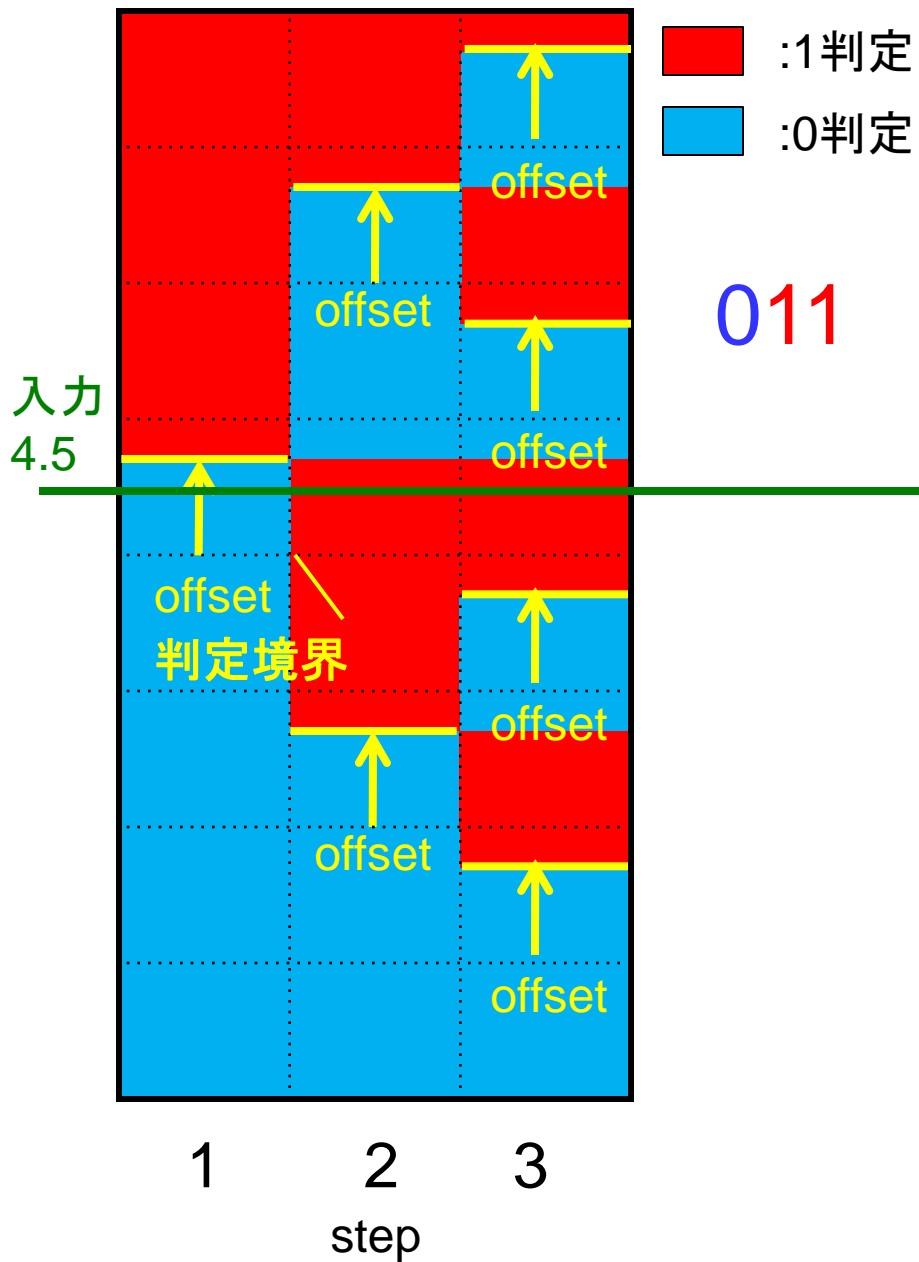


$$\boxed{\text{Vin}} = \begin{matrix} 4 \\ 8 \end{matrix} - \begin{matrix} 1 \\ 2 \end{matrix} = 9$$

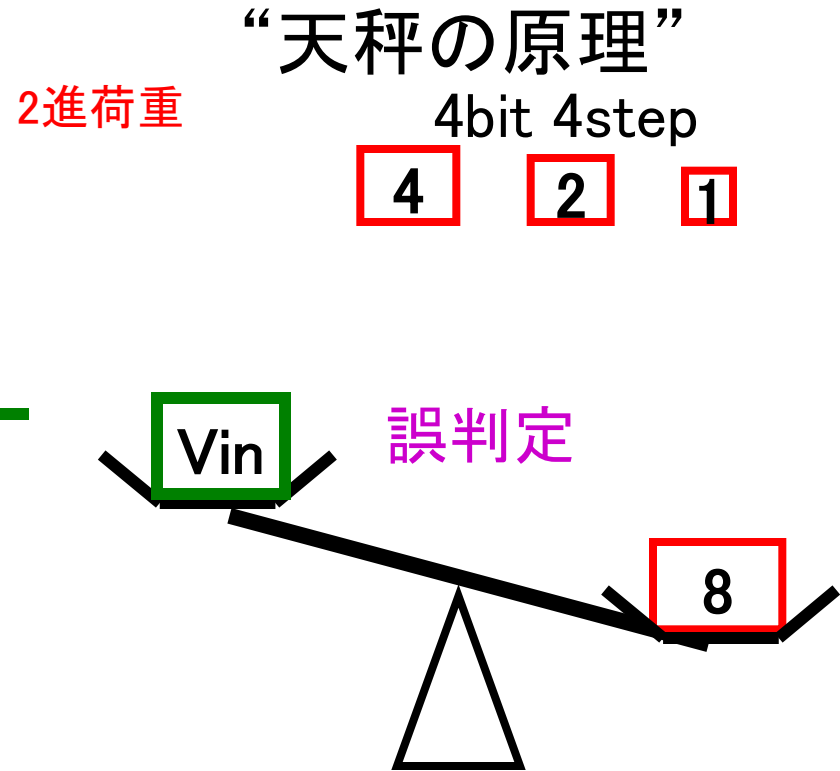
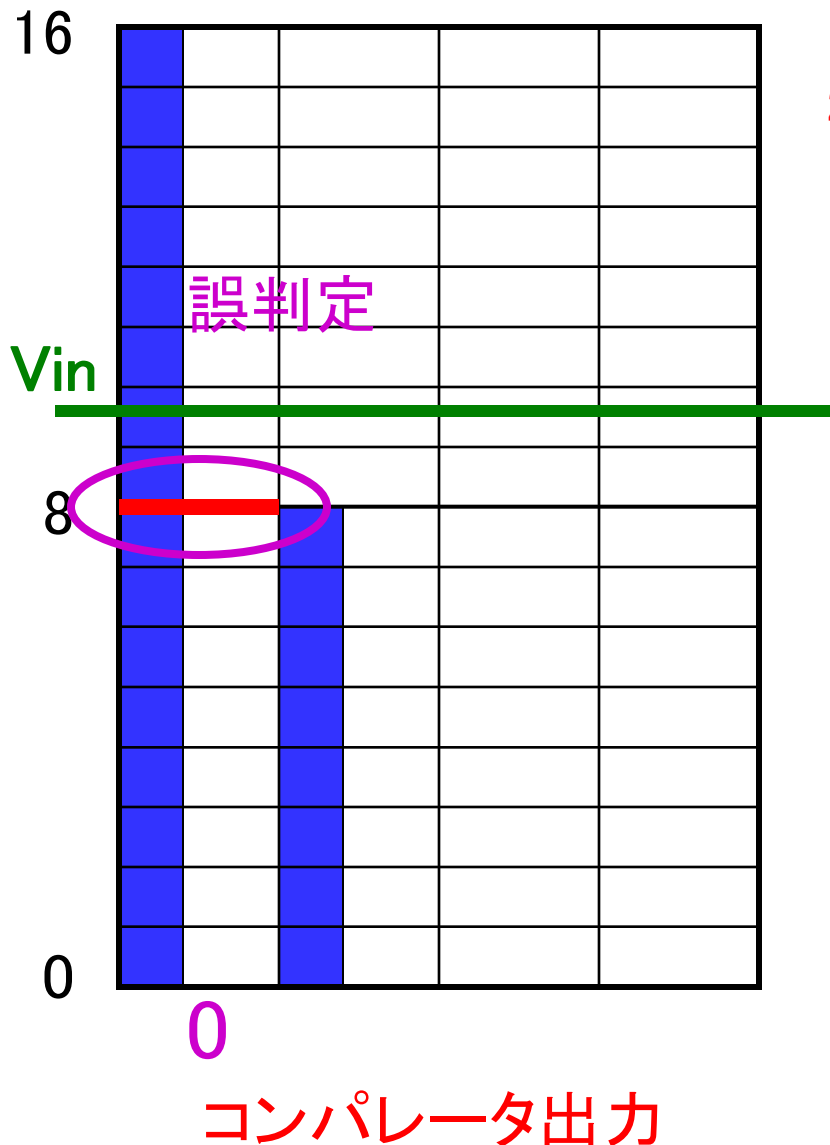
コンパレータオフセットの影響



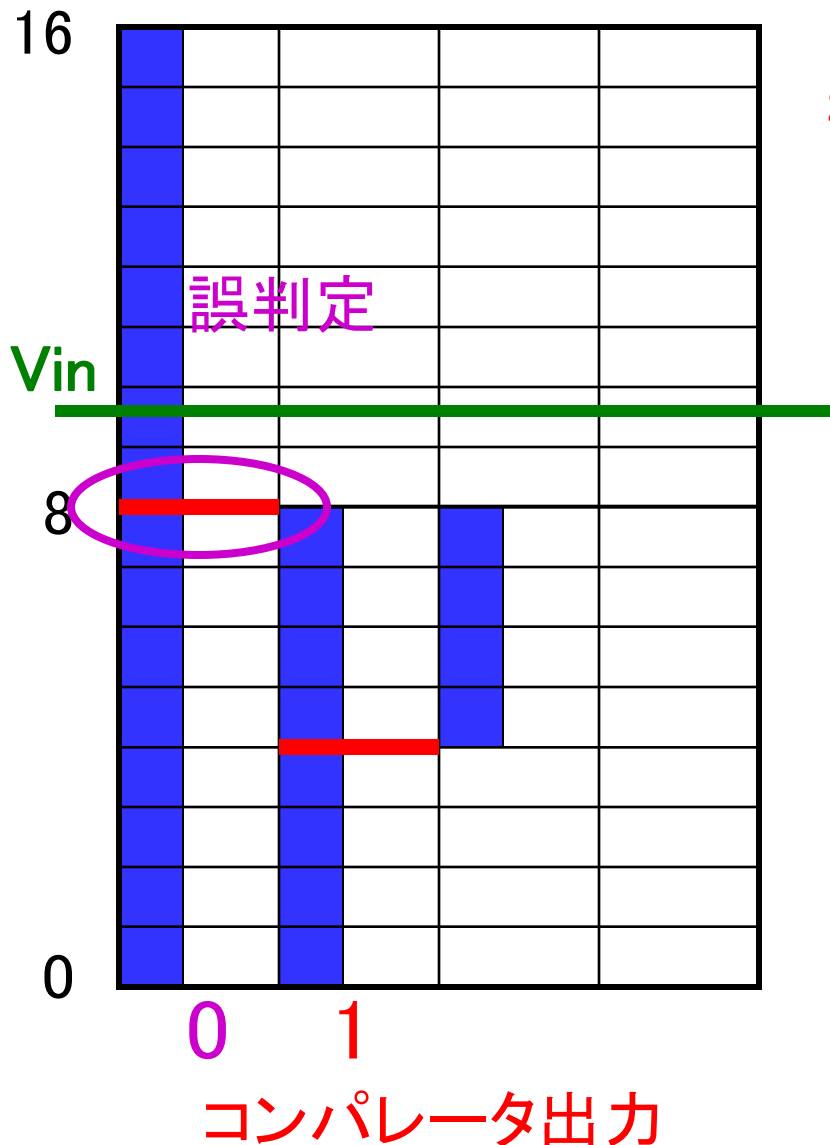
コンパレータオフセットの影響



2進探索アルゴリズムの問題点



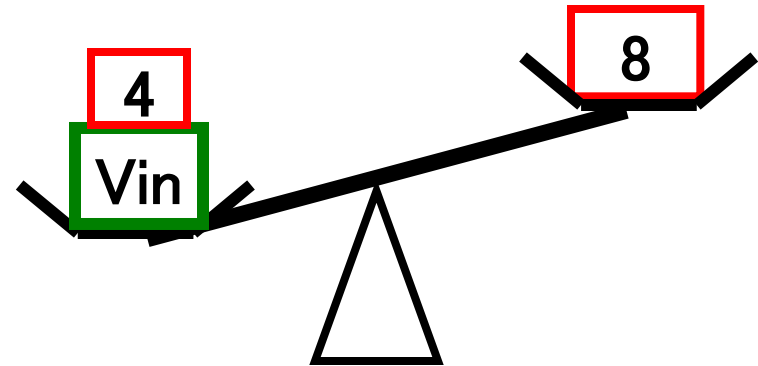
2進探索アルゴリズムの問題点



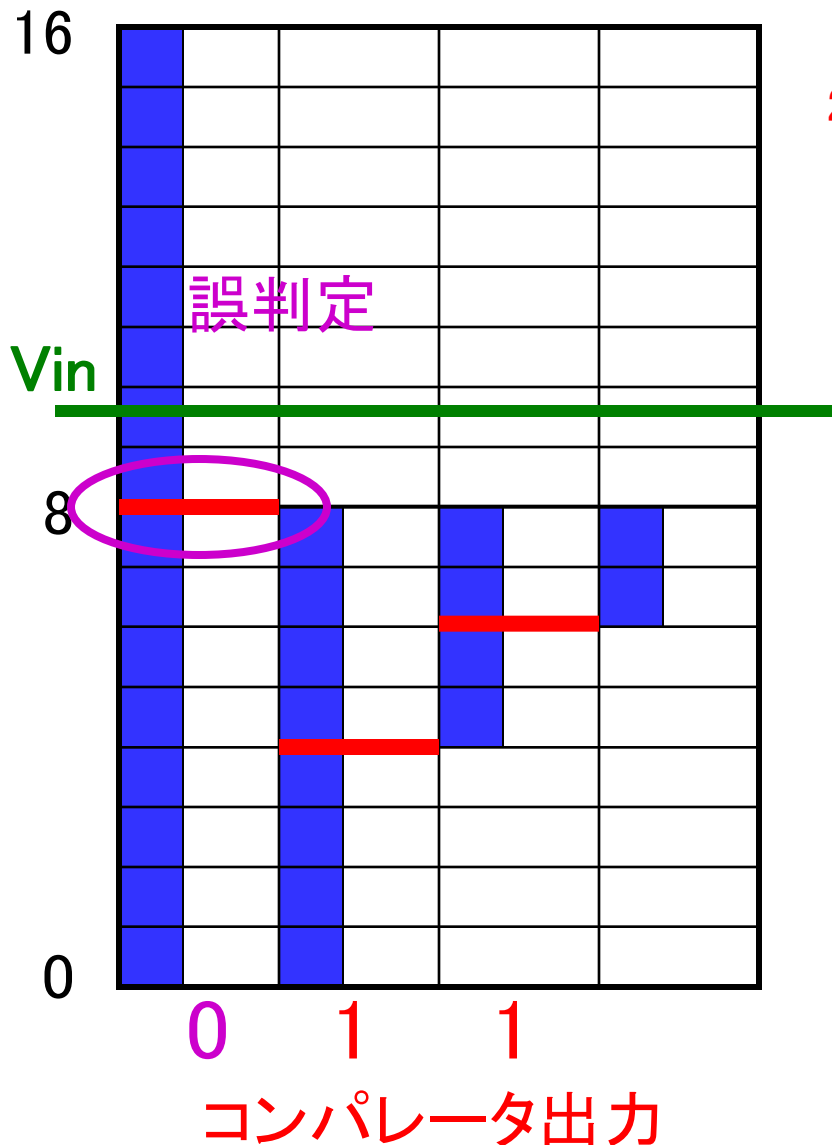
“天秤の原理”

4bit 4step

2 1



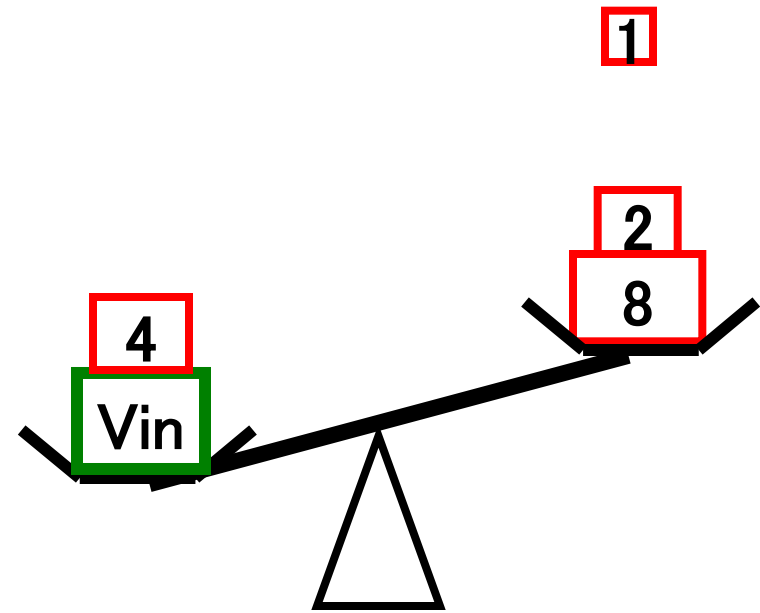
2進探索アルゴリズムの問題点



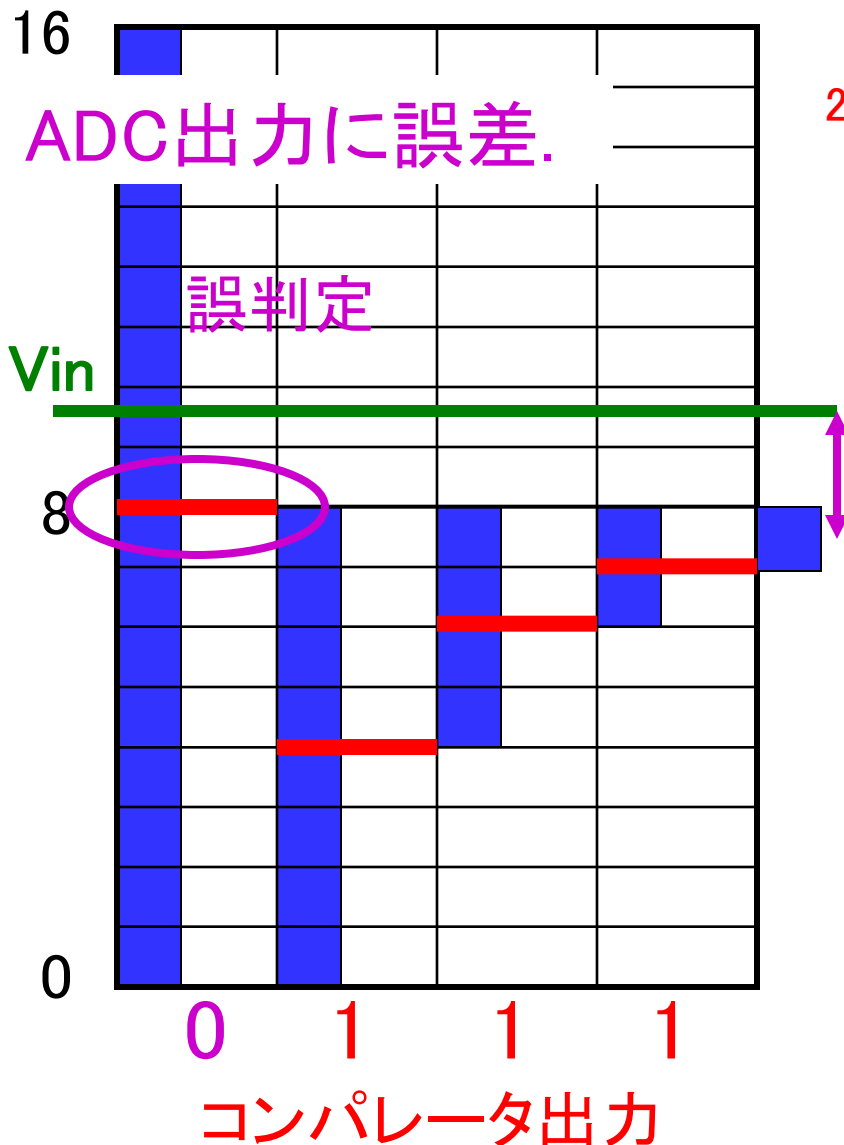
2進荷重

“天秤の原理”

4bit 4step



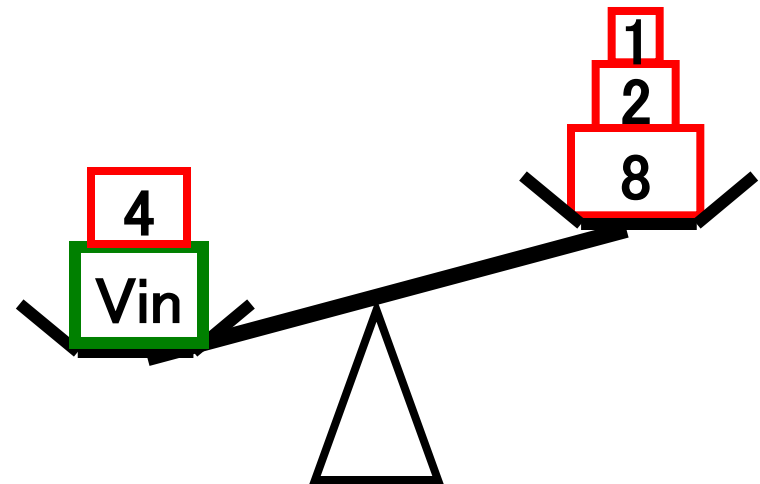
2進探索アルゴリズムの問題点



2進荷重

“天秤の原理”

4bit 4step



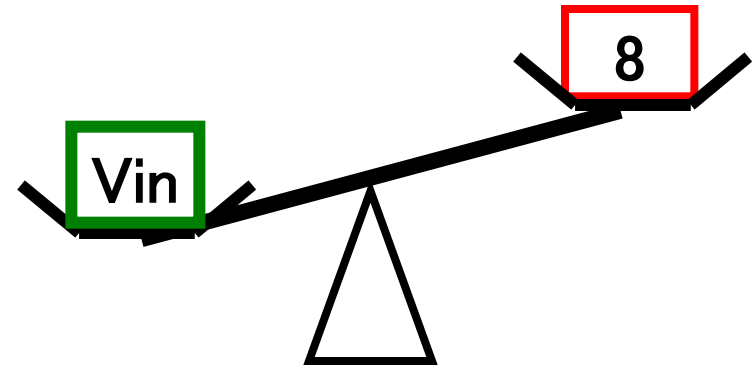
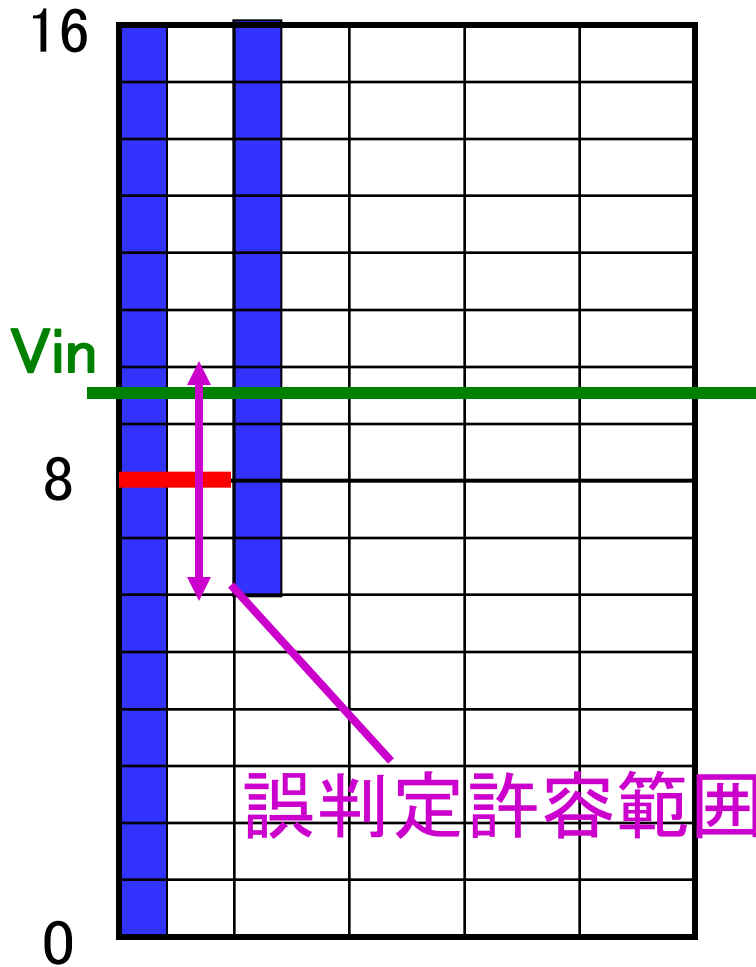
$$\boxed{\text{Vin}} = \begin{matrix} \boxed{1} \\ \boxed{2} \\ \boxed{8} \end{matrix} - \boxed{4} = 7$$

ADC出力に誤差.

非2進探索アルゴリズム 判定が正しい場合

非2進荷重

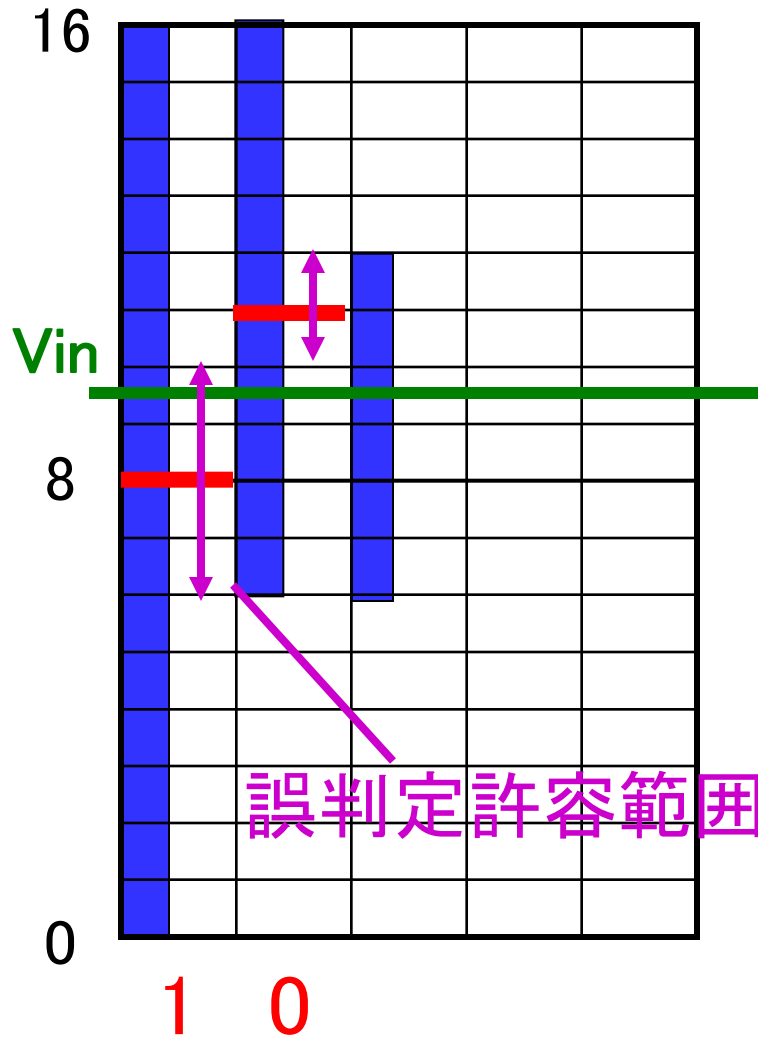
3 **2** **1** **1**



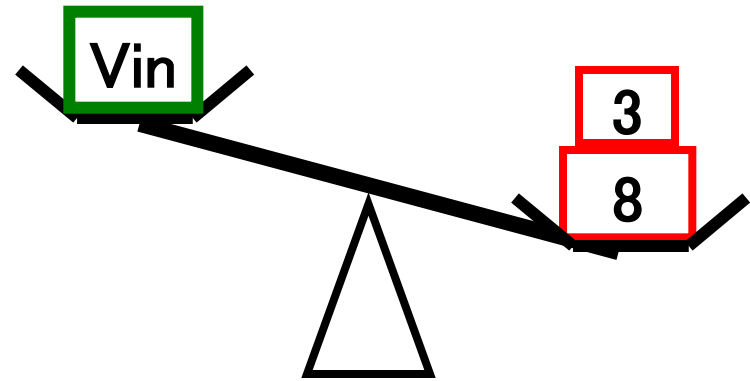
1
4bit 5step 1step 冗長

非2進探索アルゴリズム 判定が正しい場合

非2進荷重



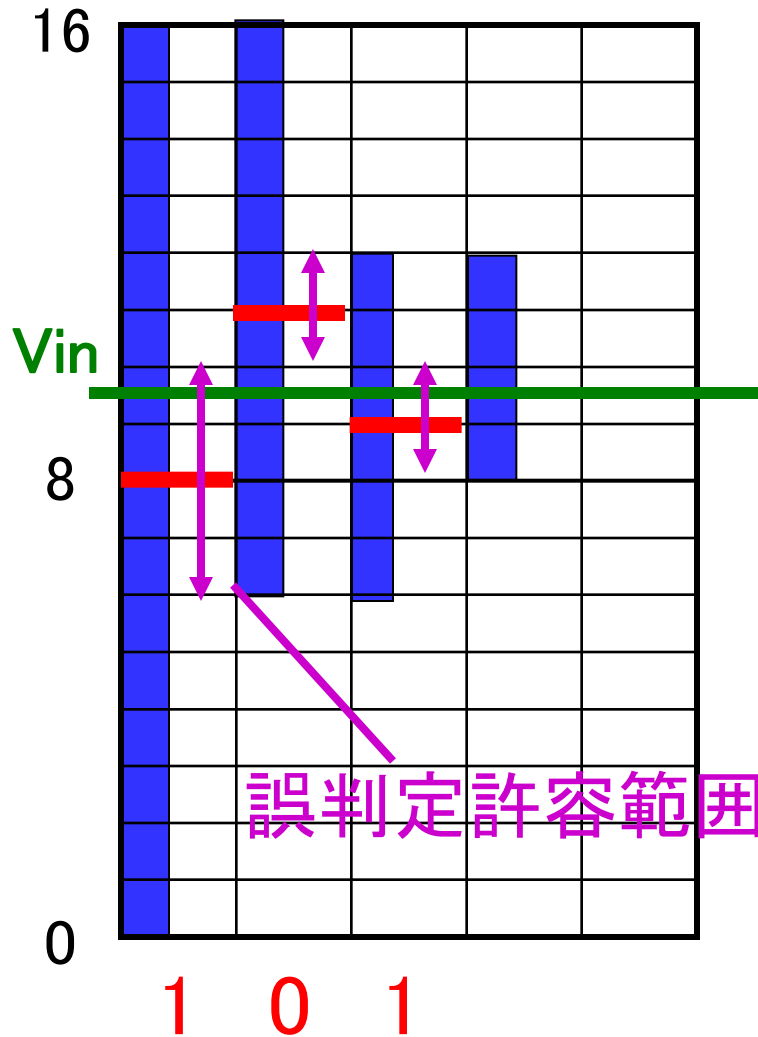
2 1 1



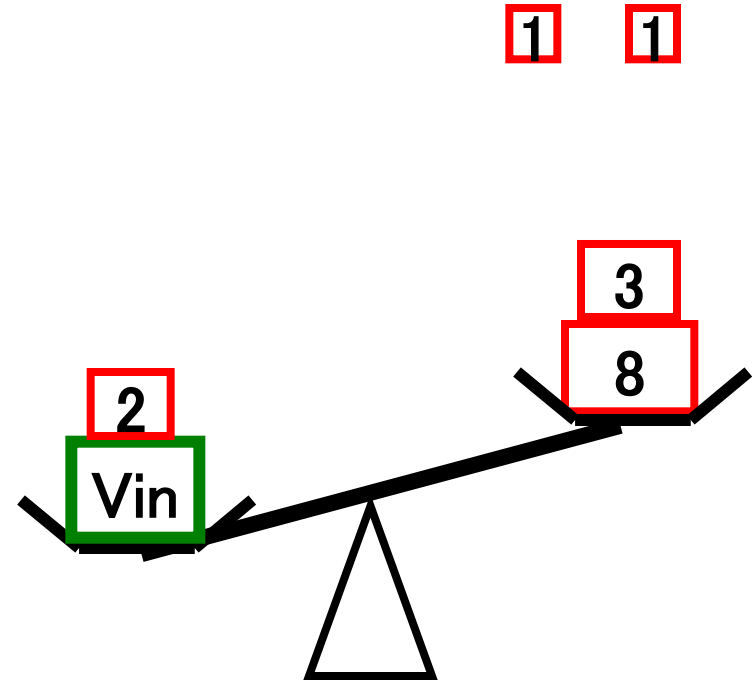
4bit 5step 1step 冗長

非2進探索アルゴリズム 判定が正しい場合

非2進荷重

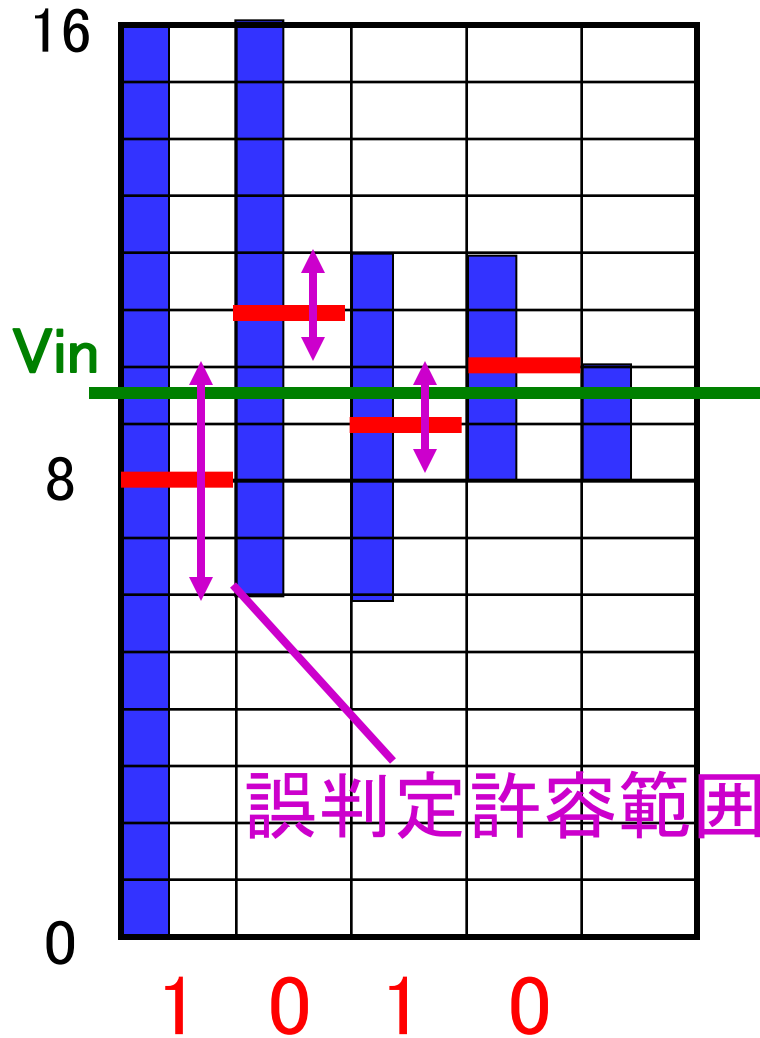


4bit 5step 1step 冗長

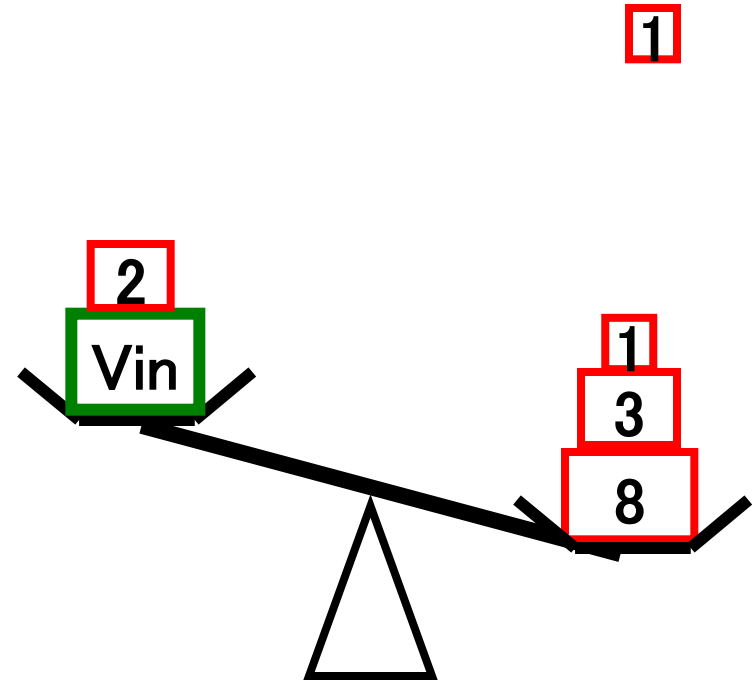


非2進探索アルゴリズム 判定が正しい場合

非2進荷重

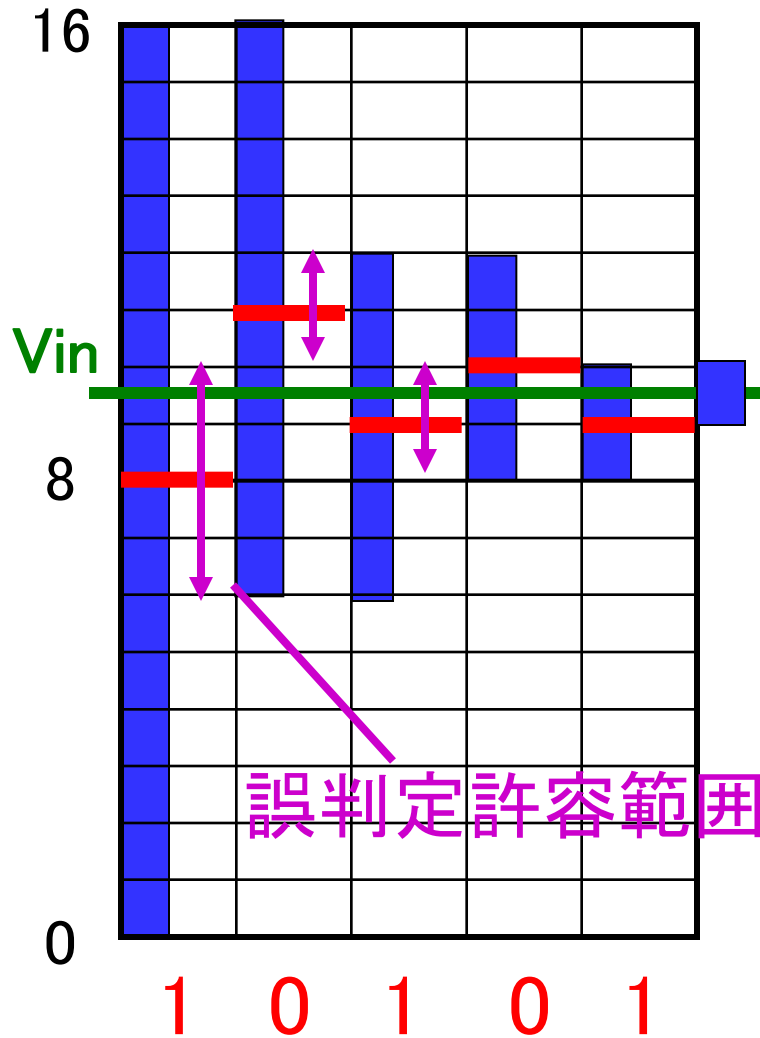


4bit 5step 1step 冗長

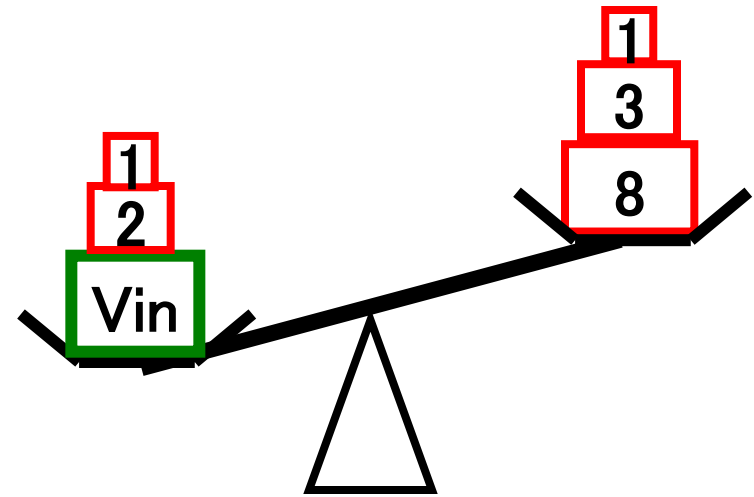


非2進探索アルゴリズム 判定が正しい場合

非2進荷重



4bit 5step 1step 冗長



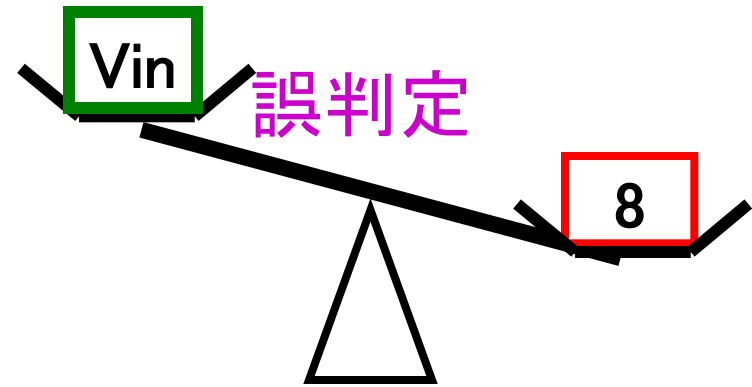
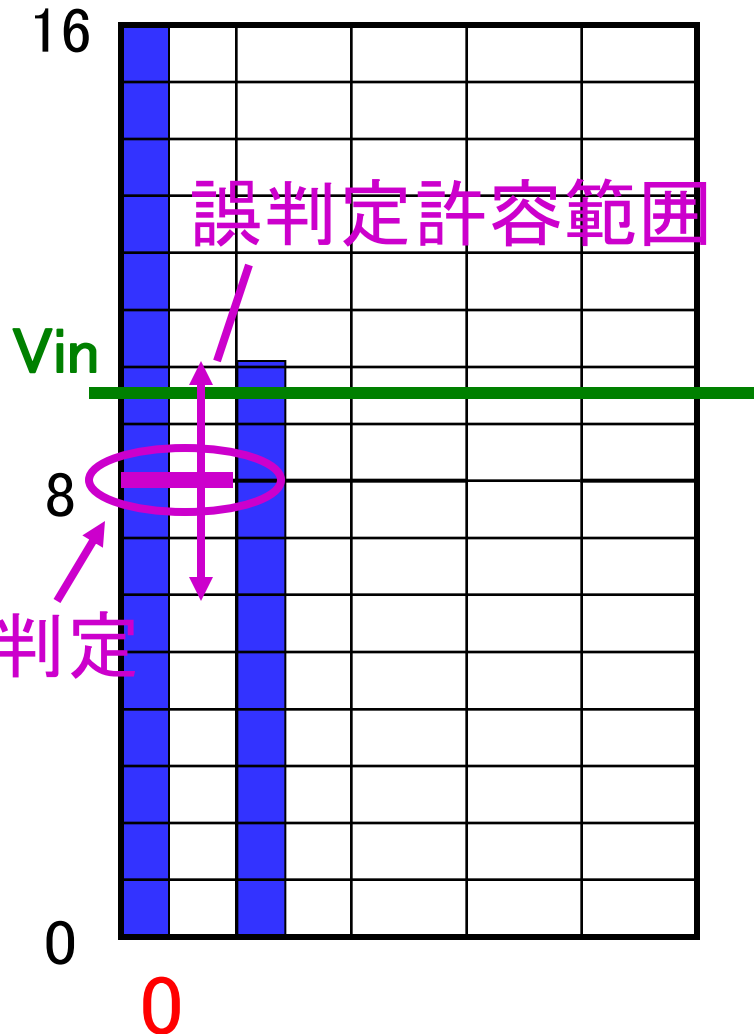
$$\boxed{\text{Vin}} = \begin{matrix} 1 \\ 3 \\ 8 \end{matrix} - \begin{matrix} 1 \\ 2 \end{matrix} = 9$$

非2進探索アルゴリズム

1ステップ目で誤判定した場合

非2進荷重

3 **2** **1** **1**

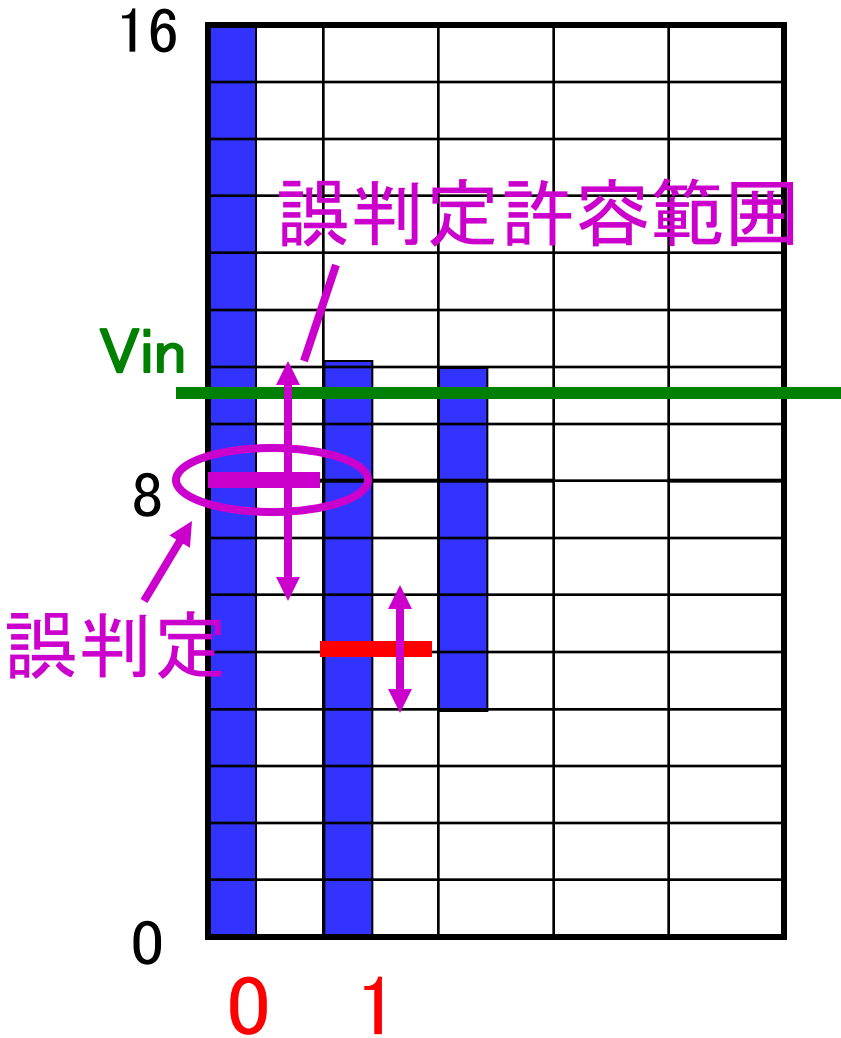


4bit 5step 1step 冗長

非2進探索アルゴリズム

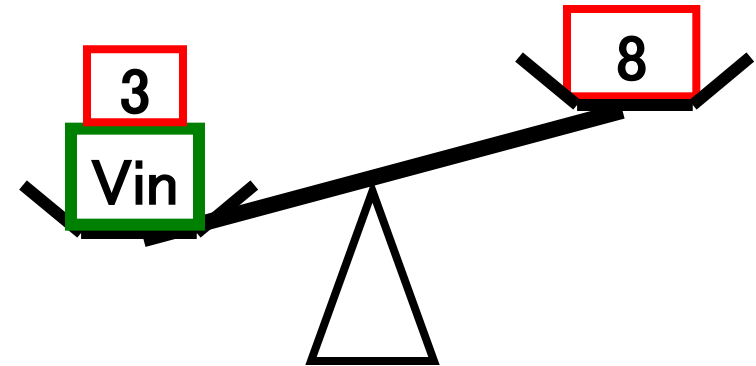
1ステップ目で誤判定した場合

非2進荷重



4bit 5step 1step 冗長

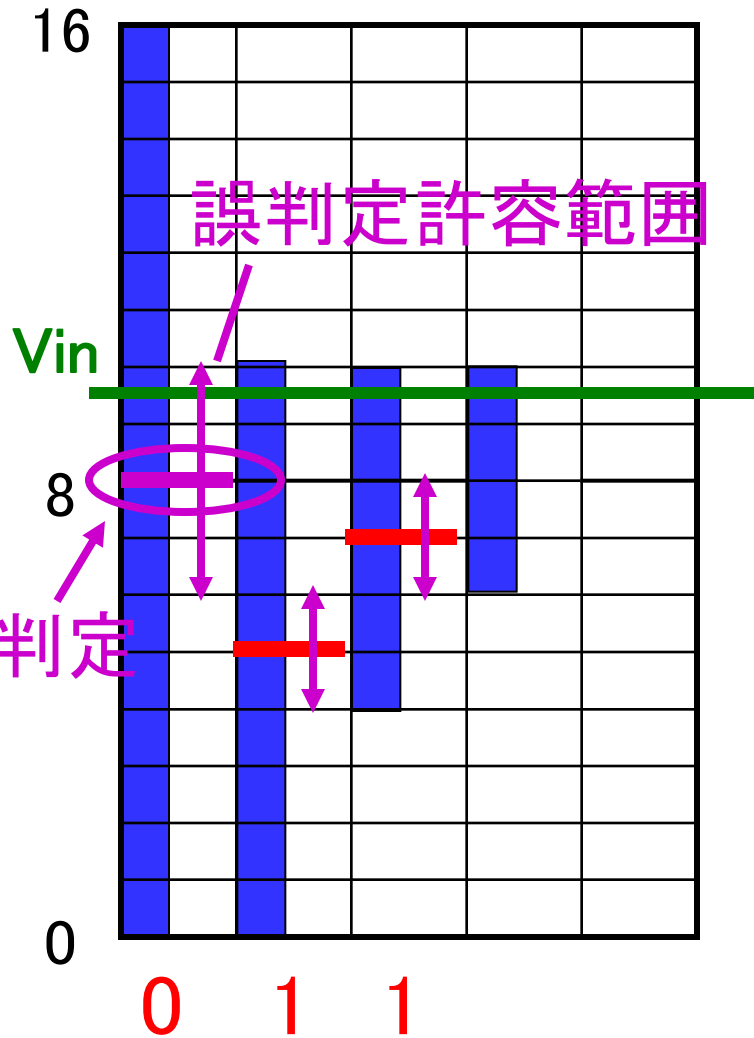
2 1 1



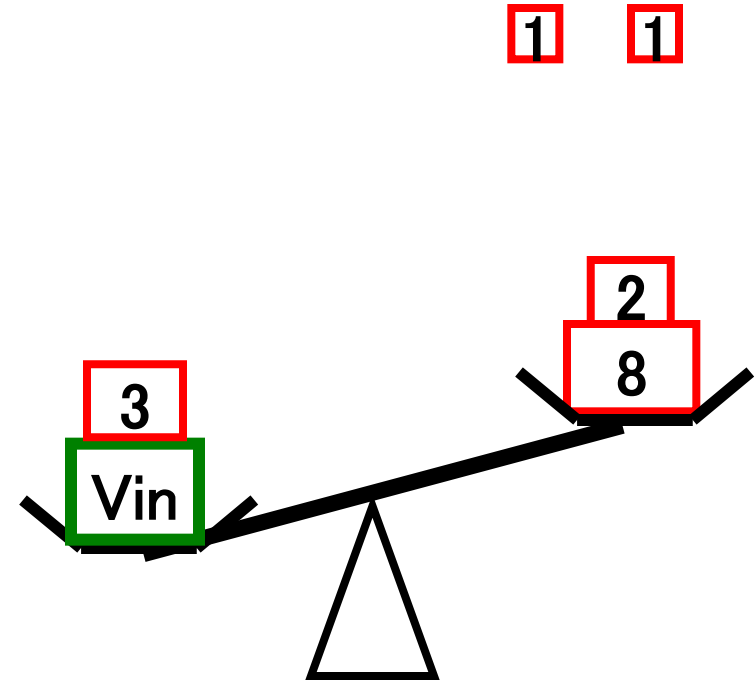
非2進探索アルゴリズム

1ステップ目で誤判定した場合

非2進荷重



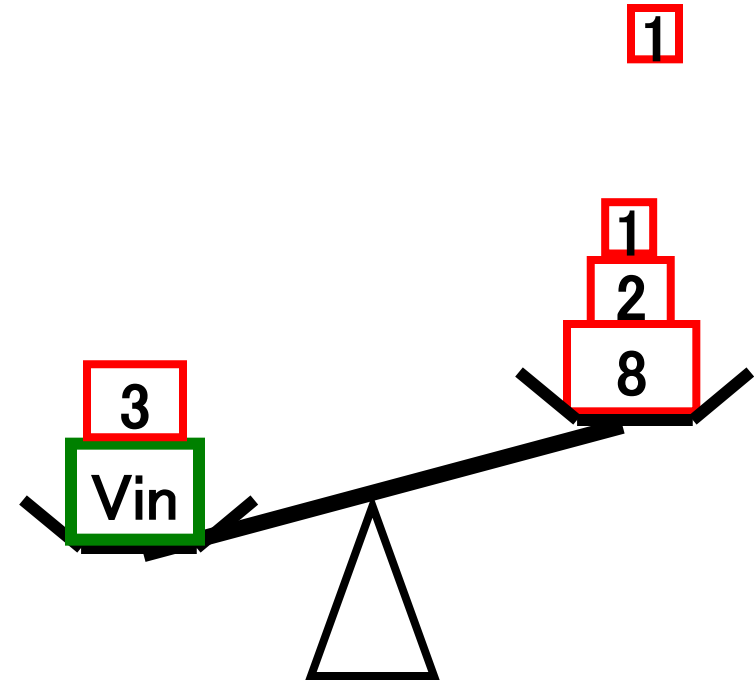
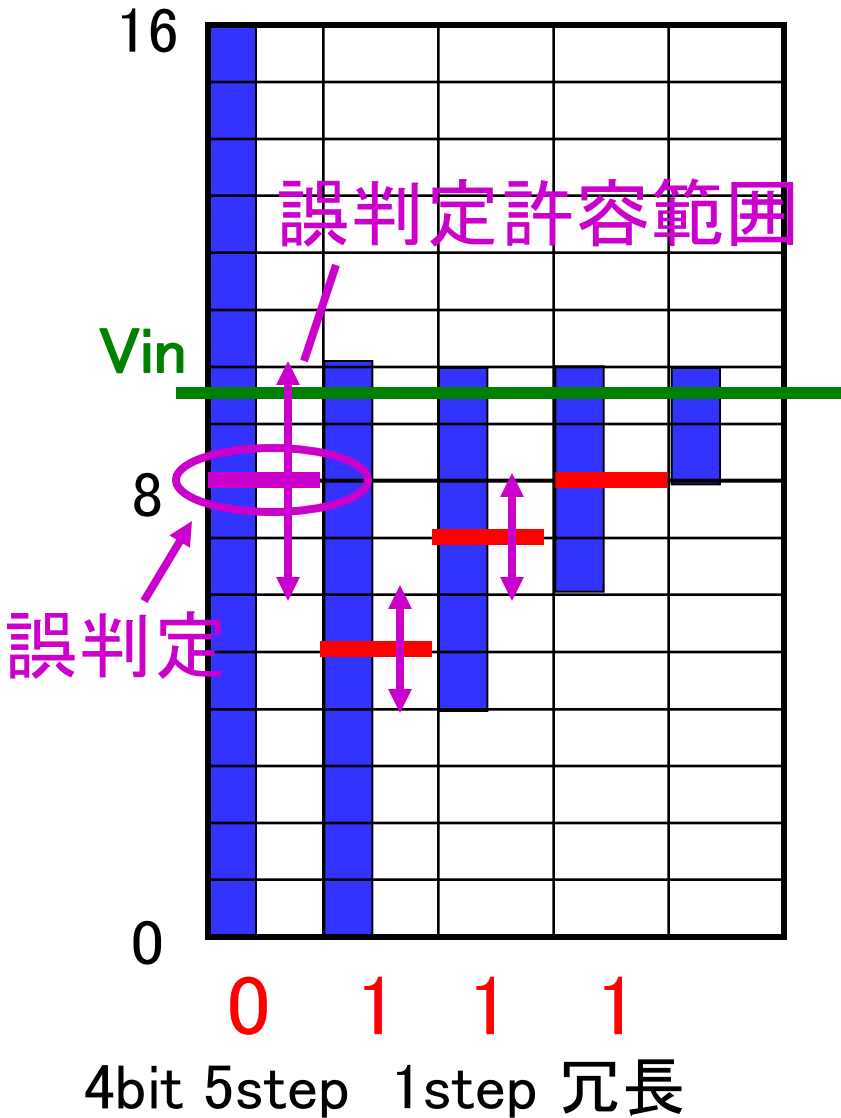
4bit 5step 1step 冗長



非2進探索アルゴリズム

1ステップ目で誤判定した場合

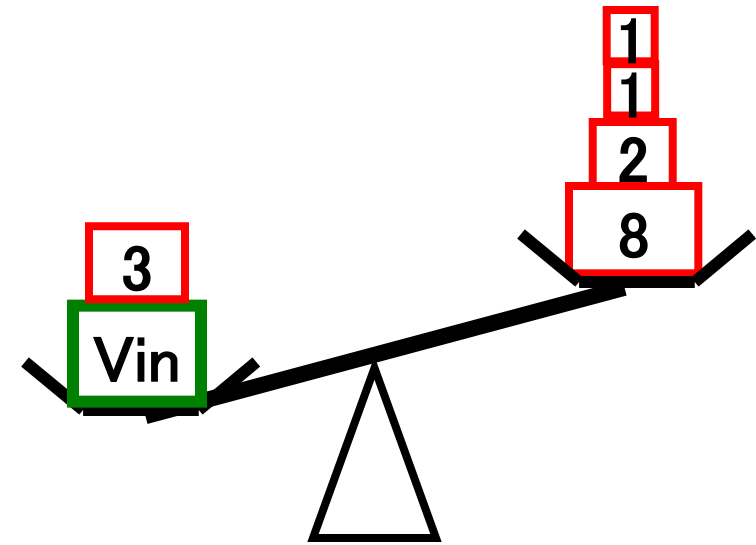
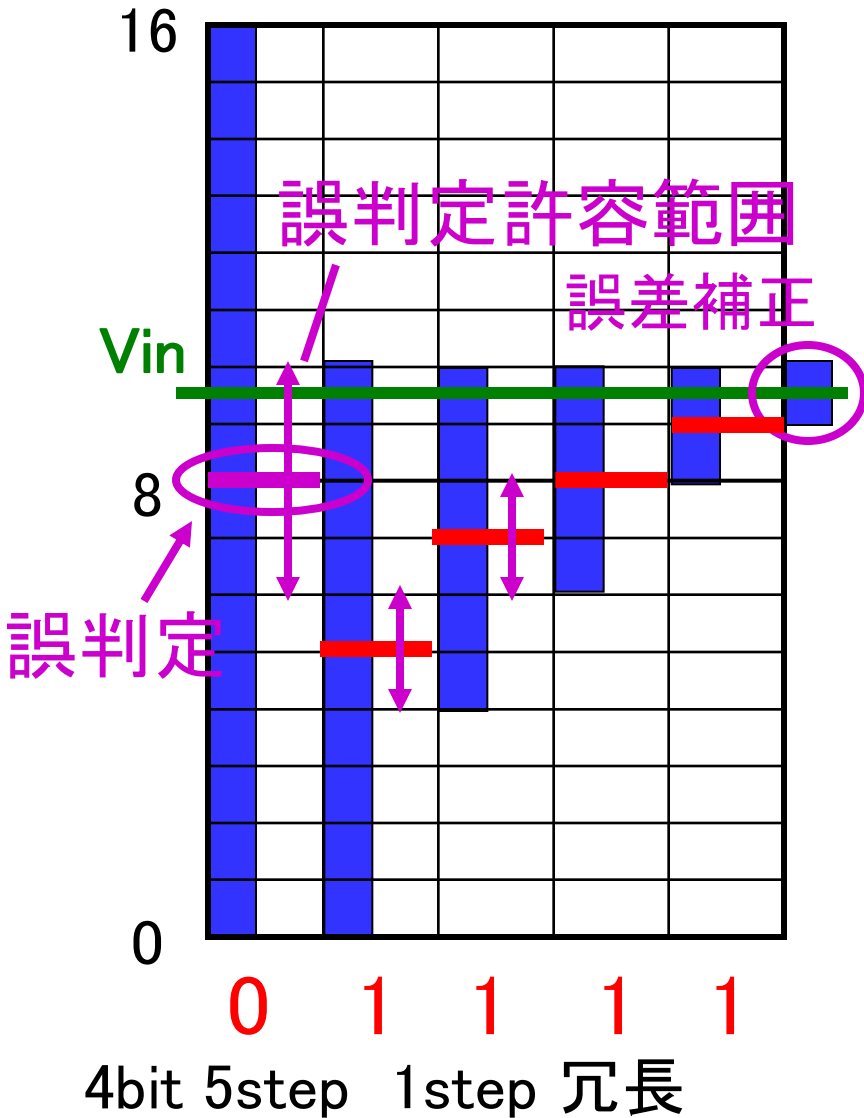
非2進荷重



非2進探索アルゴリズム

1ステップ目で誤判定した場合

非2進荷重



$$\boxed{V_{in}} = \begin{matrix} 1 \\ 1 \\ 2 \\ 8 \end{matrix} - \boxed{3} = 9$$

非2進アルゴリズムでの デジタル誤差補正原理

デジタル出力“9”の場合

2進探索アルゴリズム

誤差補正不可

コンパレータ出力: 1 0 0 1 ← 1パターン

$$\text{Dout} = 8 + 4 - 2 - 1 + 0.5 - 0.5 = 9$$

非2進探索アルゴリズム

誤差補正可能

コンパレータ出力: 1 0 1 0 1 ← 複数パターン

$$\text{Dout} = 8 + 3 - 2 + 1 - 1 + 0.5 - 0.5 = 9$$

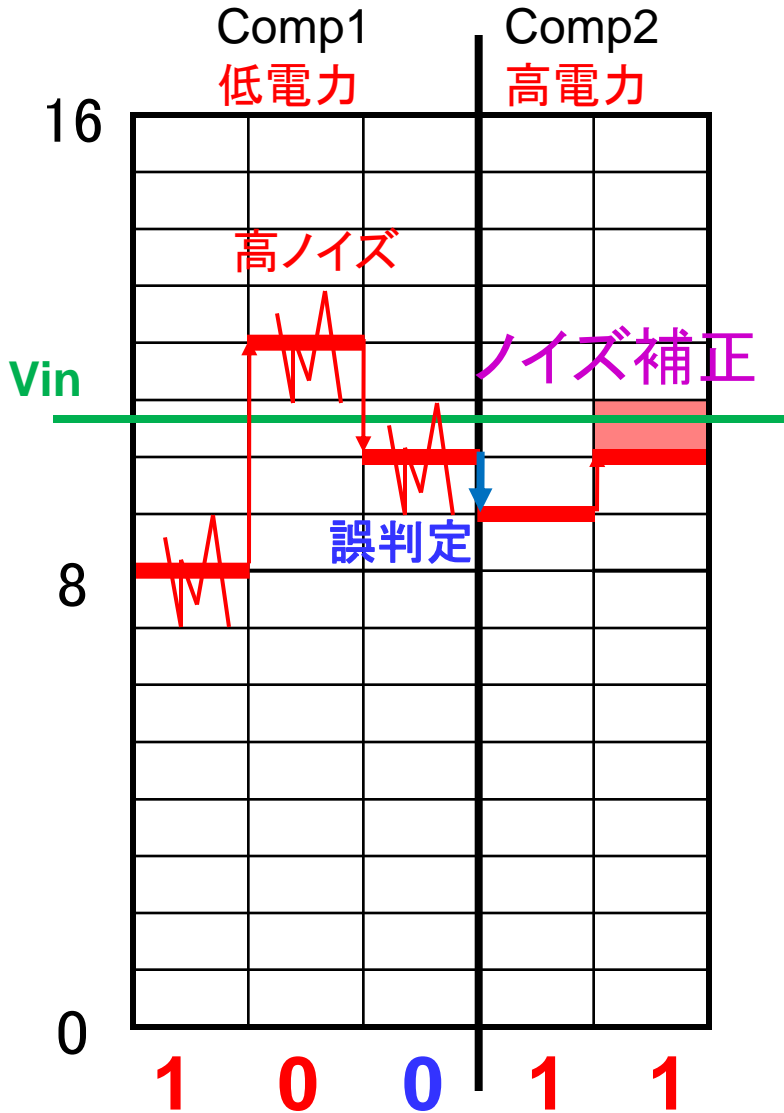
コンパレータ出力: 0 1 1 1 1

$$\text{Dout} = 8 - 3 + 2 + 1 + 1 + 0.5 - 0.5 = 9$$

発表内容

- ・ 研究背景
- ・ SAR ADCの構成と動作
- ・ SAR ADCの低消費電力化の検討
 1. 2つのコンパレータを用いたSAR ADC
 2. 電荷共有SAR ADC
 3. 2つのコンパレータを用いた電荷共有SAR ADC
- ・ まとめ

2つのコンパレータを用いた技術 (IMEC提案)



分銅

8

4

2

1

冗長

1

1LSBノイズ補正

消費電力

通常



2-コンパレータ

消費電力減少



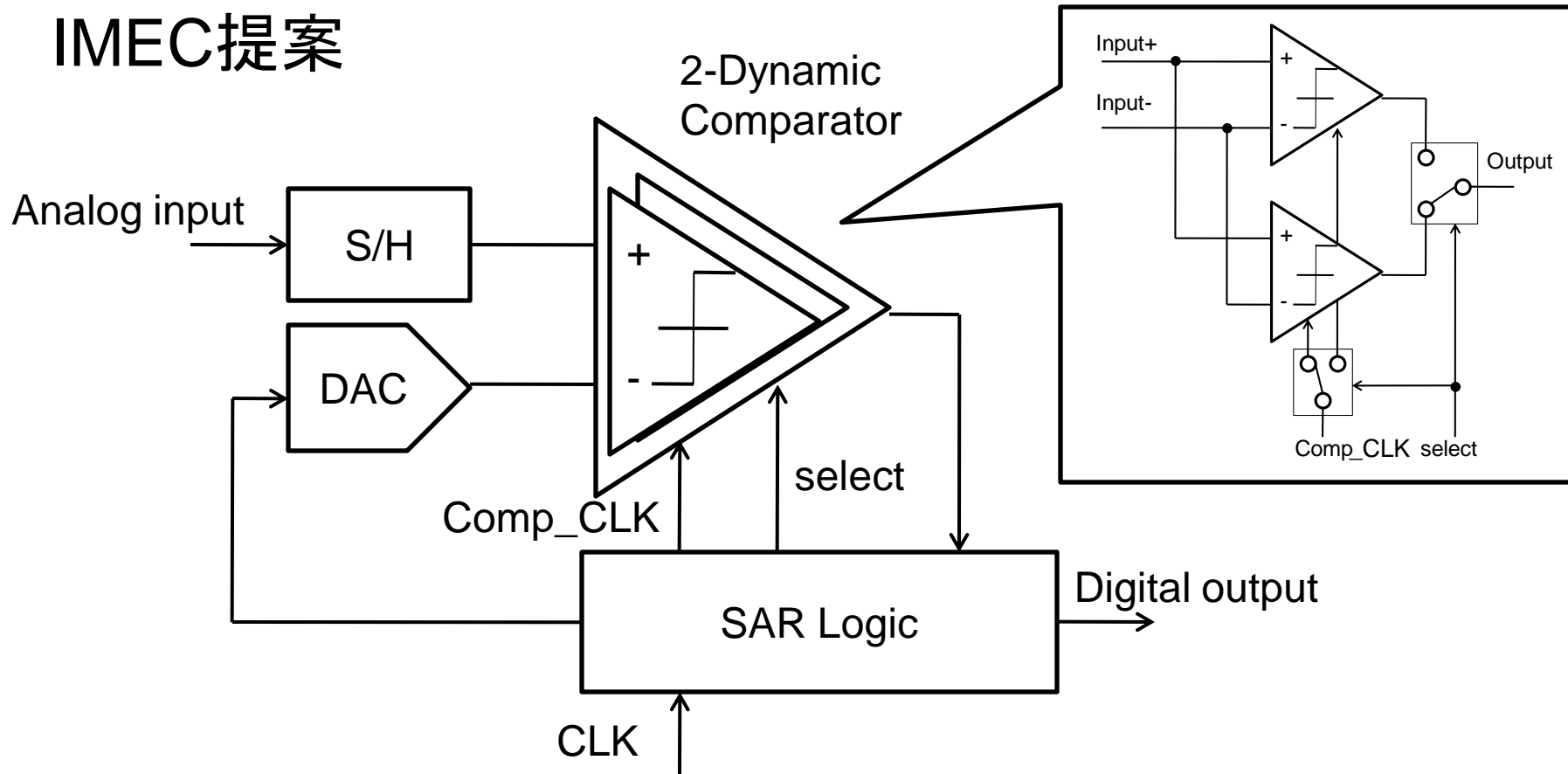
Comp1(低電力) Comp2(高電力)

コンパレータ

トータル消費電力

2-コンパレータの構成

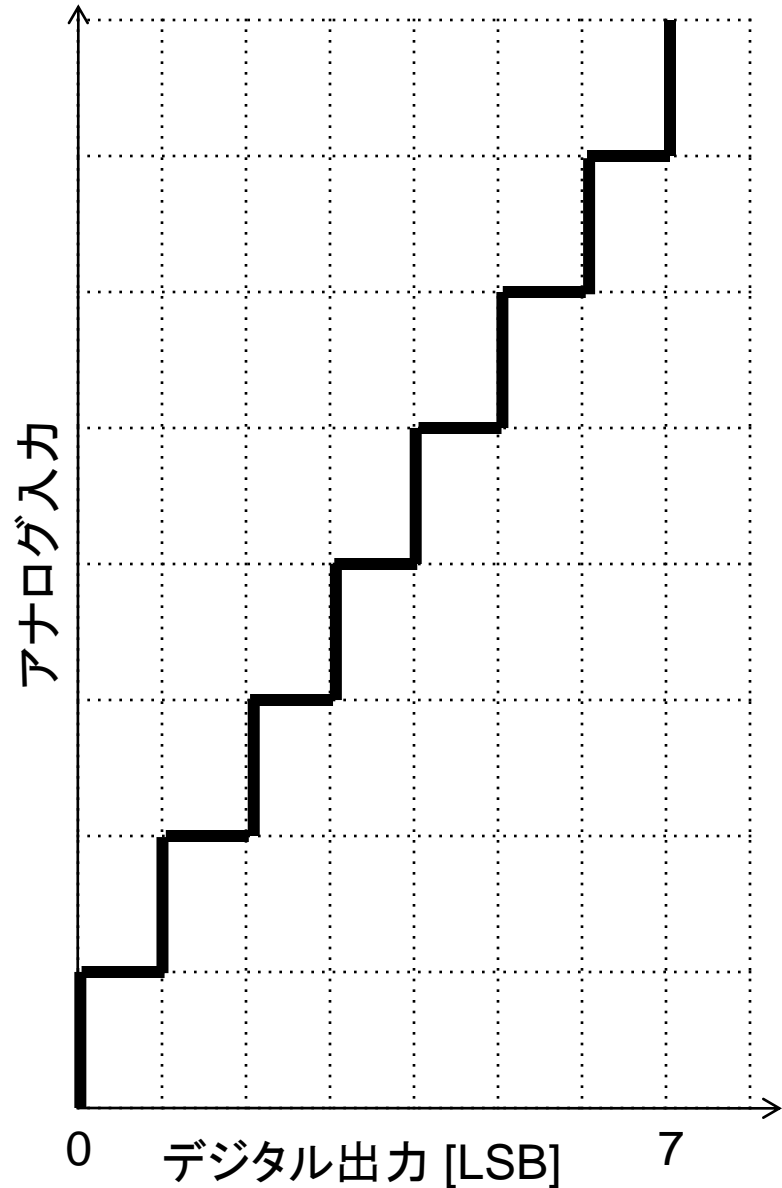
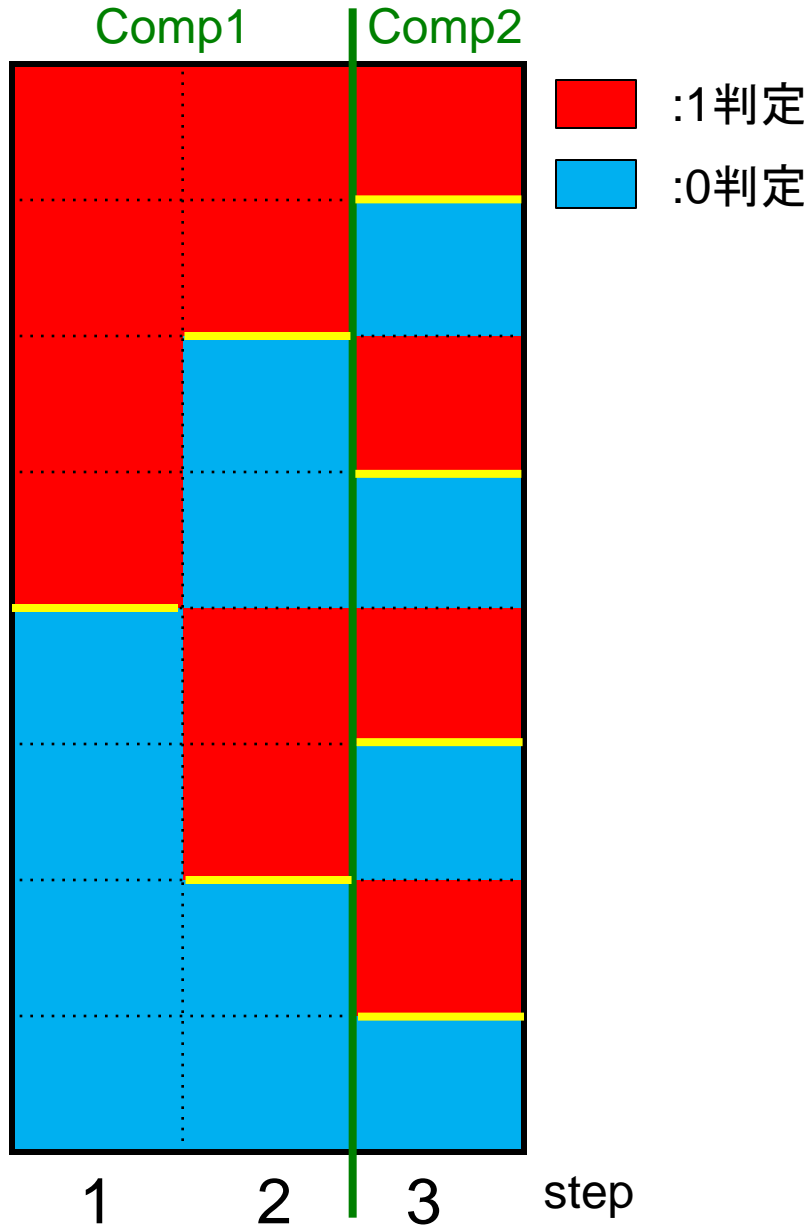
IMEC提案



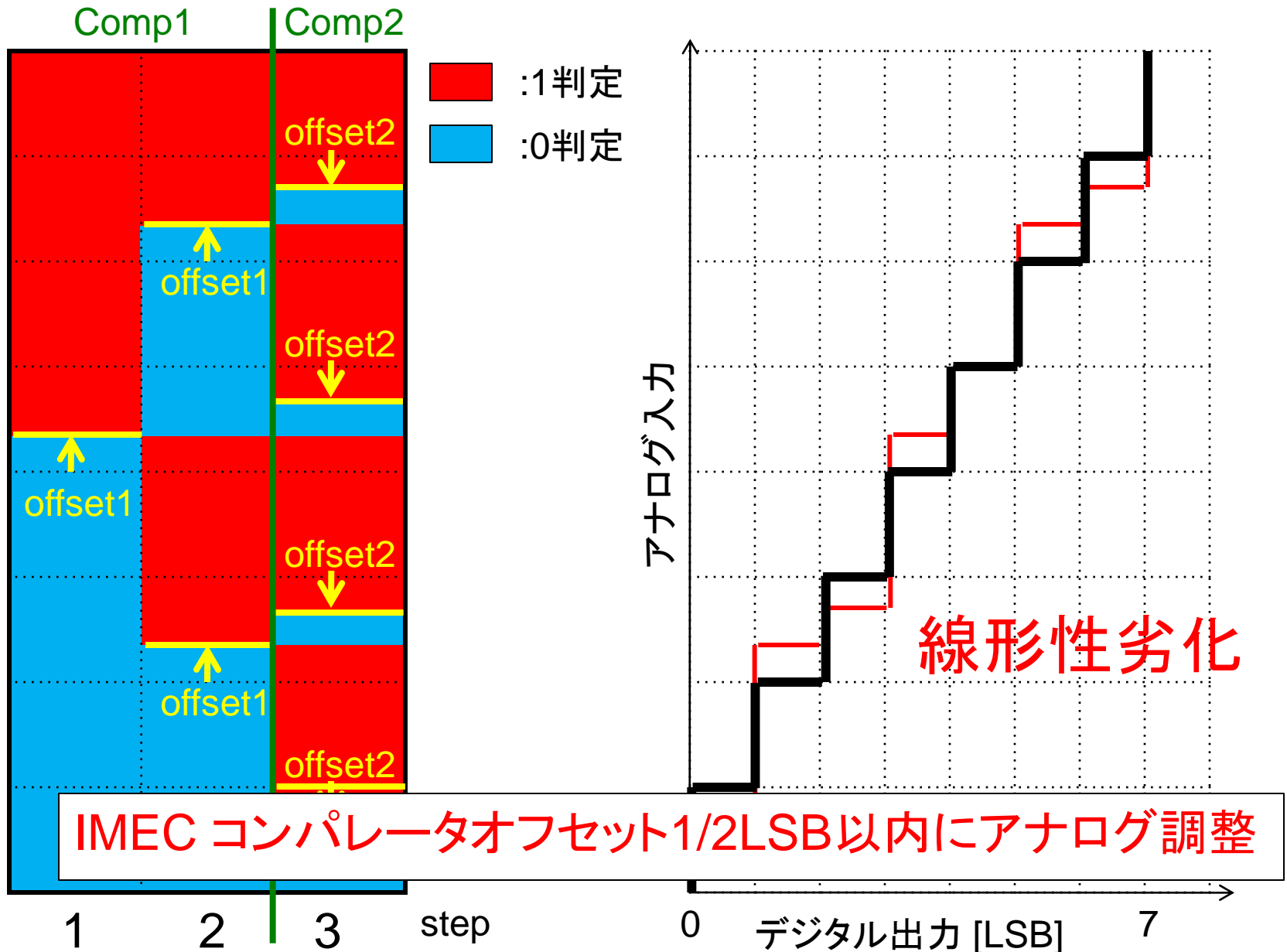
文献

V.Giannini, P.Nuzzo, V.Chironi, A.Baschiroto, G.V.Plas, J.Craninckx
“ An 820 μ W 9b 40MS/s Noise-Tolerant Dynamic-SARADC in 90nm Digital CMOS ”
ISSCC (Feb.2008).

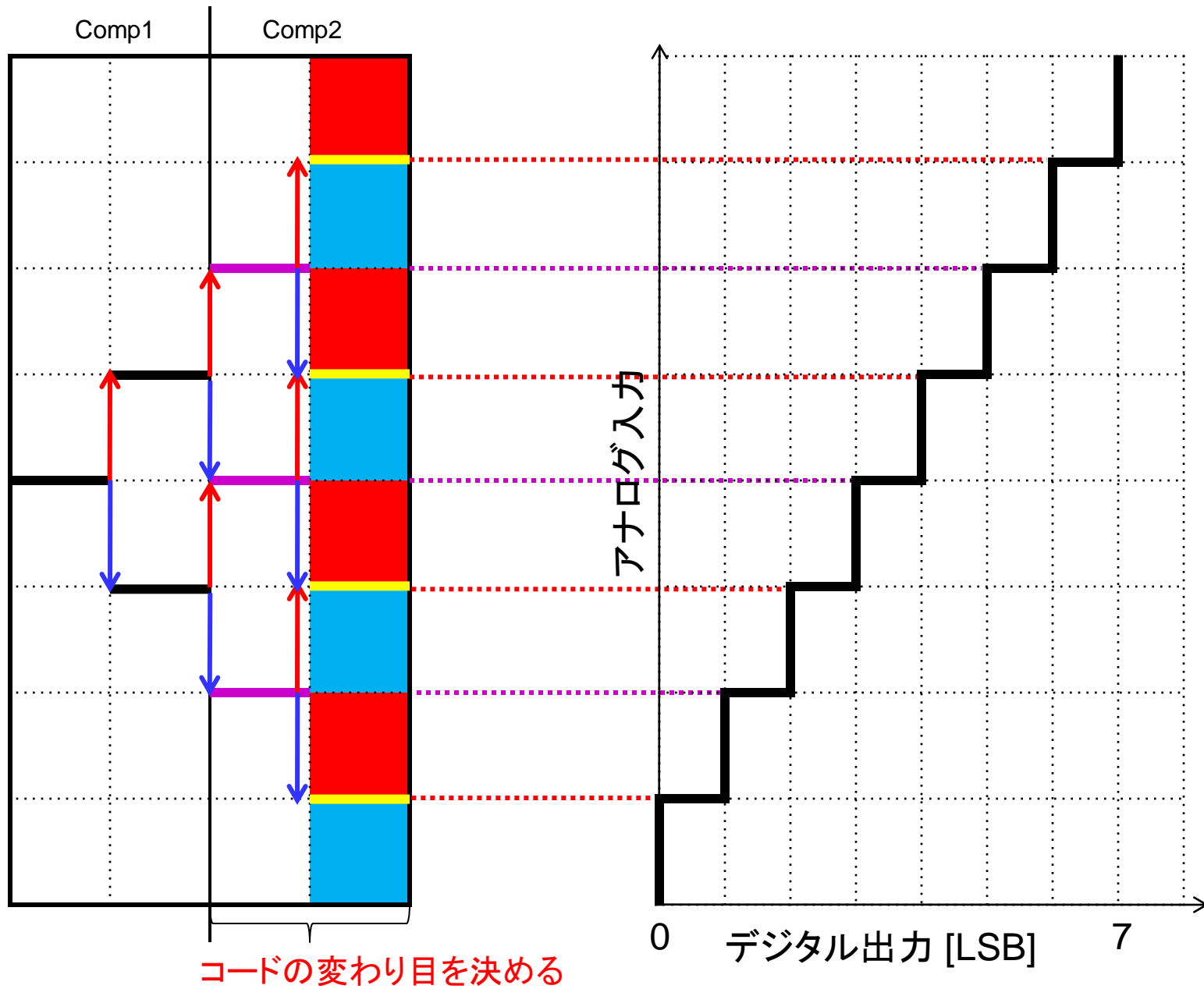
2つのコンパレータを用いた技術 コンパレータオフセットミスマッチの影響



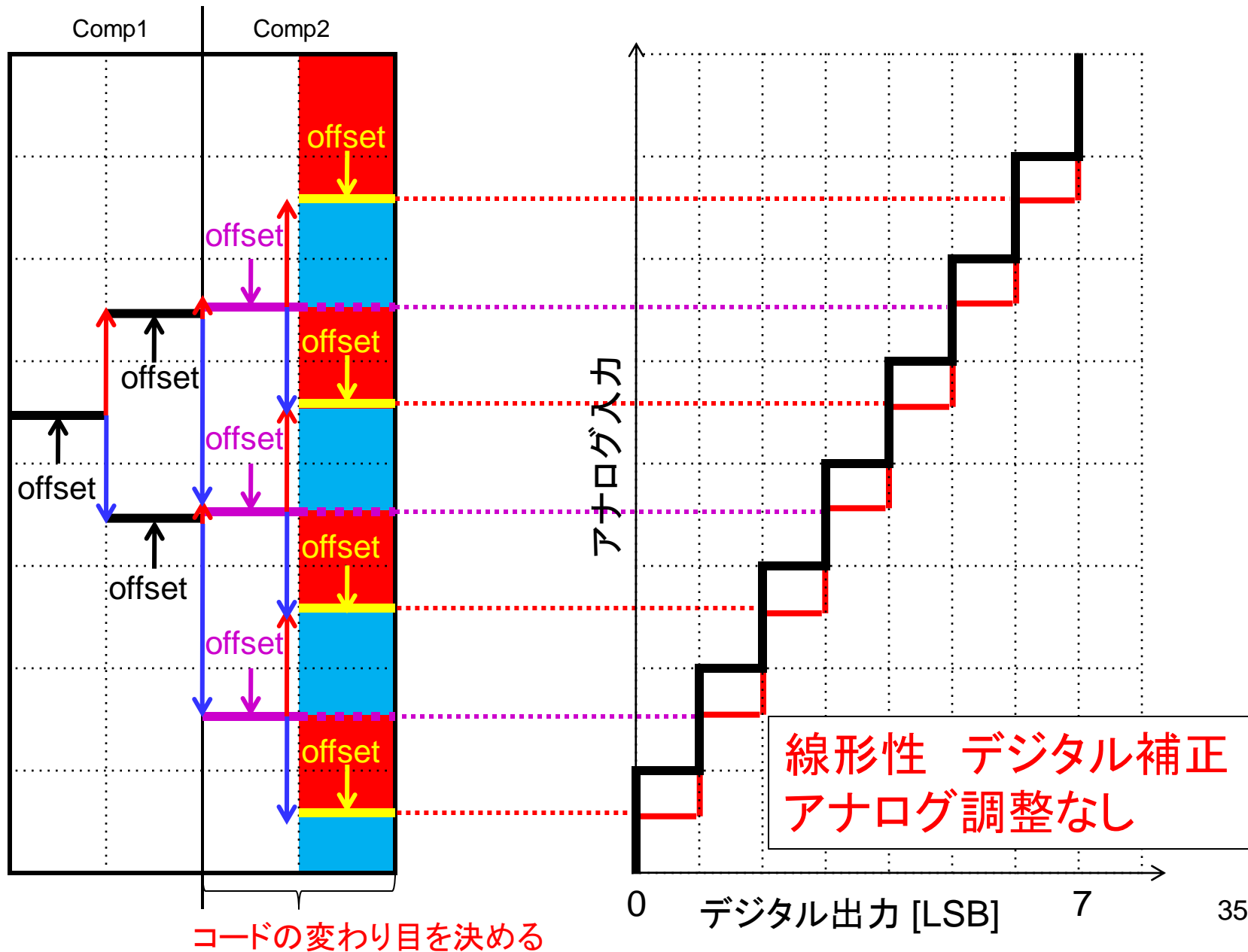
2つのコンパレータを用いた技術 コンパレータオフセットミスマッチの影響



提案方式 冗長アルゴリズムによるデジタル補正



提案方式 冗長アルゴリズムによるデジタル補正



例：10ビット11ステップSAR ADC

オフセットミスマッチ：6.0LSB以内

Comp1(低電力) ノイズ：1.0 LSB以内

Comp2(高電力) ノイズ：0.2 LSB以内

コンパレータのアナログ・キャリブレーションなしの場合の設計例

IMEC方式

提案方式

step:k	参照電圧	誤差 er(k)[LSB]	許容値 [LSB]
1	512	7.0	1
2	256	7.0	1
3	128	7.0	1
4	64	7.0	1
5	32	7.0	1
6	16	7.0	1
7	8	7.0	1
8	4	7.0	1
9	2	7.0	1
10	1	0.2	0
11	1	0.2	0

Comp1 (steps 1-9)
Comp2 (steps 10-11)

step:k	参照電圧	誤差 er(k)[LSB]	許容値 [LSB]
1	512	7.0	8
2	256	7.0	8
3	128	7.0	8
4	64	7.0	8
5	32	7.0	8
6	16	7.0	8
7	8	0.2	0
8	8	0.2	0
9	4	0.2	0
10	2	0.2	0
11	1	0.2	0

MATLABシミュレーション(ランプ波)

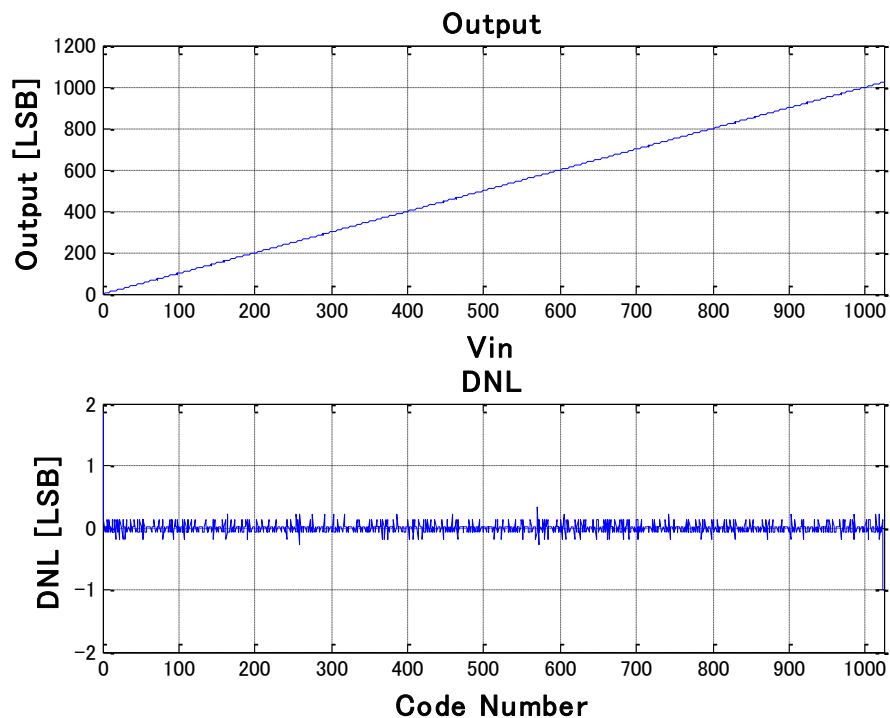
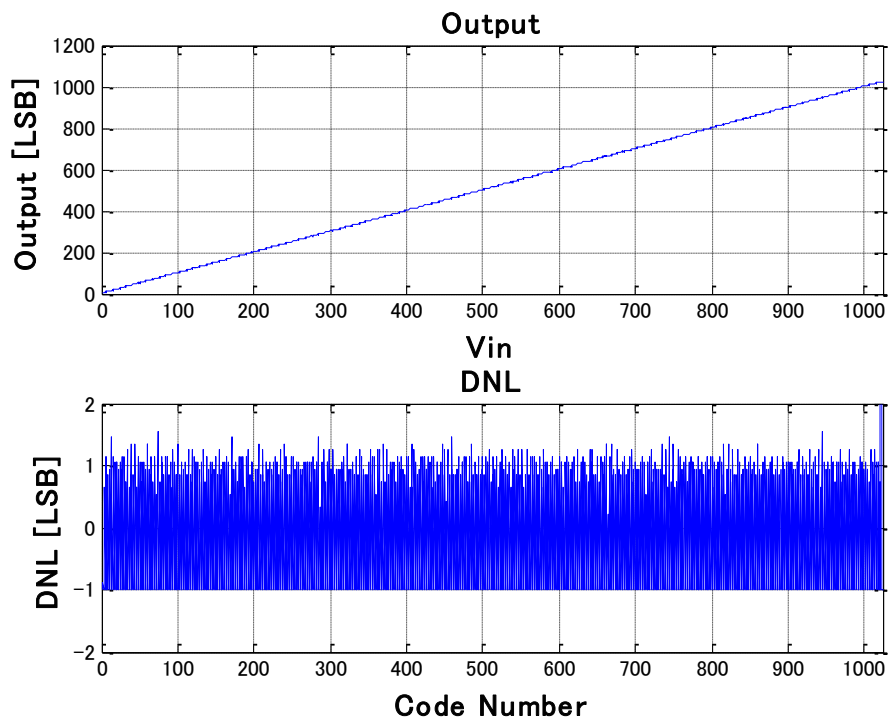
Comp1(低電力) オフセット: +4.0 LSB、ノイズ: 1.0 LSB

Comp2(高電力) オフセット: -2.0 LSB、ノイズ: 0.2 LSB

コンパレータのアナログ・キャリブレーションなしの場合

IMEC方式

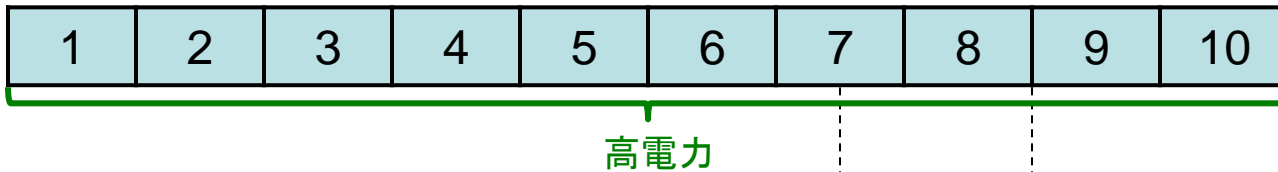
提案方式



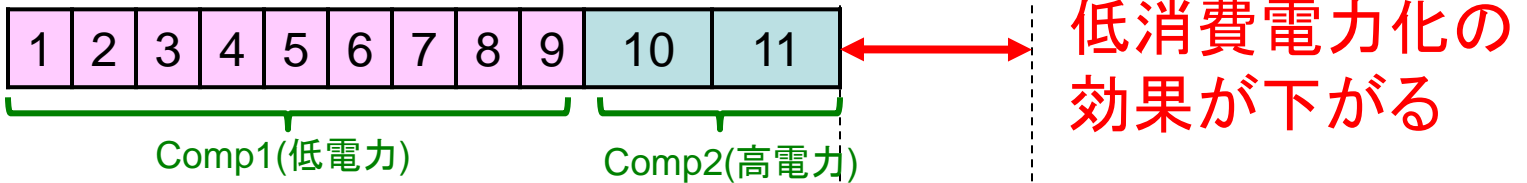
消費電力とコンパレータミスマッチ許容のトレードオフ

低消費電力化 \longleftrightarrow コンパレータのミスマッチ許容

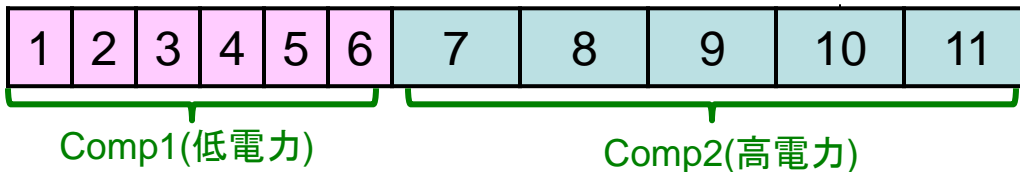
通常 1-コンパレータ



IMEC方式 2-コンパレータ(コンパレータミスマッチ許容:小)



提案 2-コンパレータ(コンパレータミスマッチ許容:大)



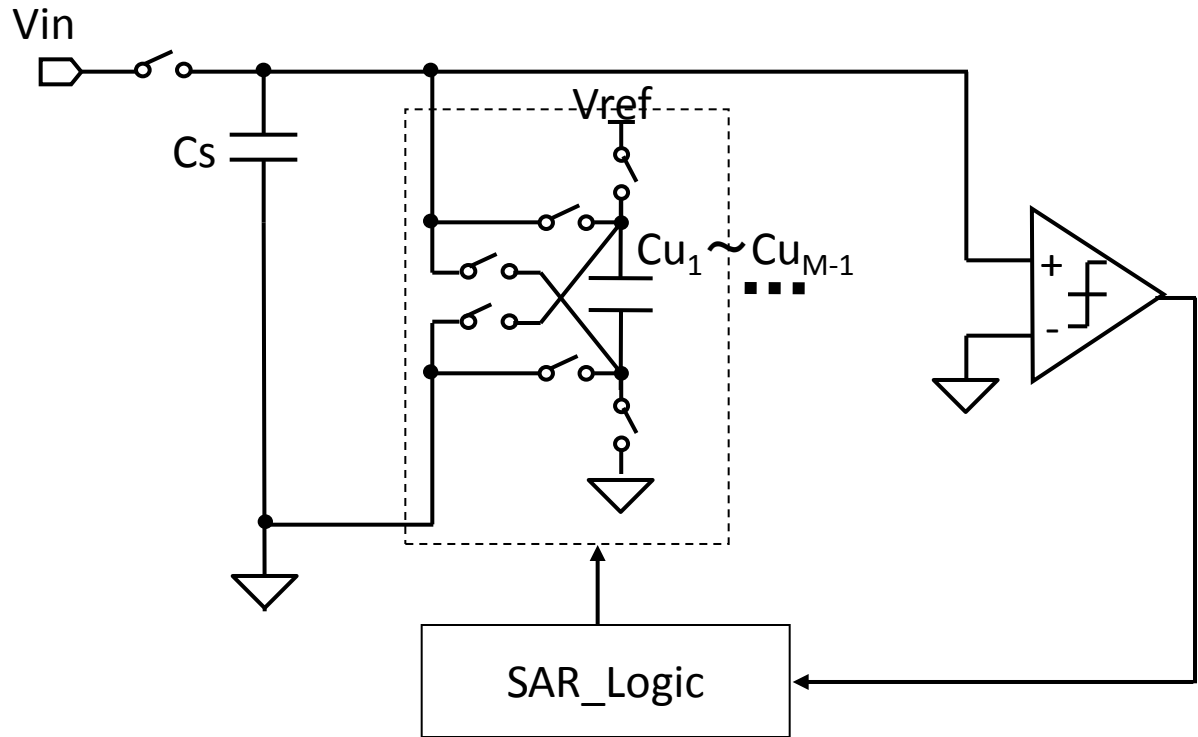
コンパレータ
トータル消費電力

発表内容

- ・ 研究背景
- ・ SAR ADCの構成と動作
- ・ SAR ADCの低消費電力化の検討
 1. 2つのコンパレータを用いたSAR ADC
 - 2. 電荷共有SAR ADC**
 3. 2つのコンパレータを用いた電荷共有SAR ADC
- ・ まとめ

電荷共有SAR ADC回路

IMEC提案 超低消費電力 SAR ADC



文献

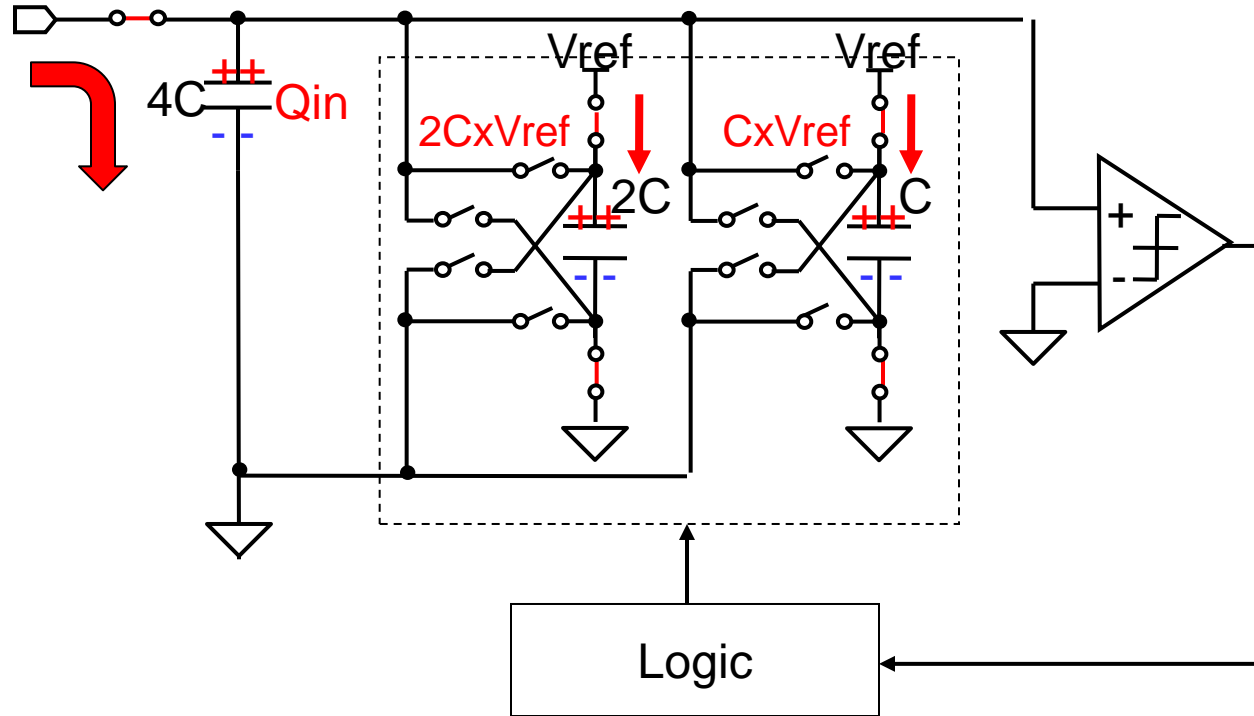
J. Craninckx and G. Van der Plas,
“A 65fJ/Conversion-Step 0-to-50Ms/s 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS ”,
ISSCC Dig. Tech. Papers, pp. 246-247, Feb. 2007.

V.Giannini, P.Nuzzo, V.Chironi, A.Baschiroto, G.V.Plas, J.Craninckx
“ An 820 μ W 9b 40MS/s Noise-Tolerant Dynamic-SARADC in 90nm Digital CMOS ”
ISSCC (Feb.2008).

動作(サンプリング)

$$V_{in} = \frac{9}{16} V_{ref}$$

$V_{in}(+V_{ref} \sim -V_{ref})$



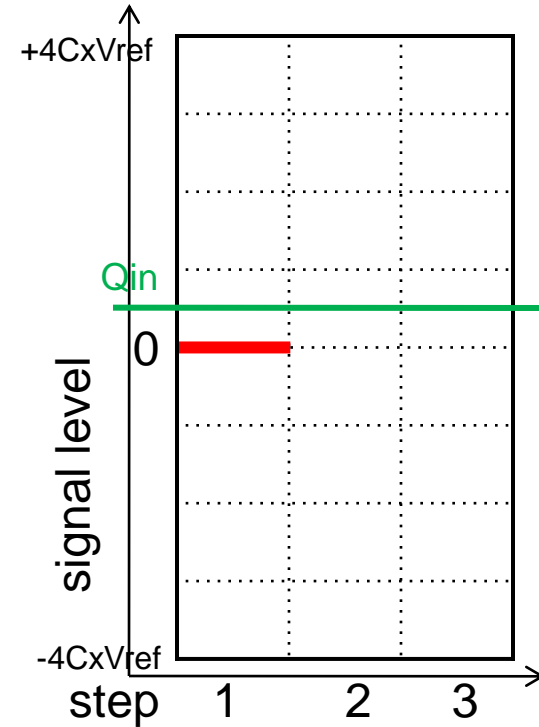
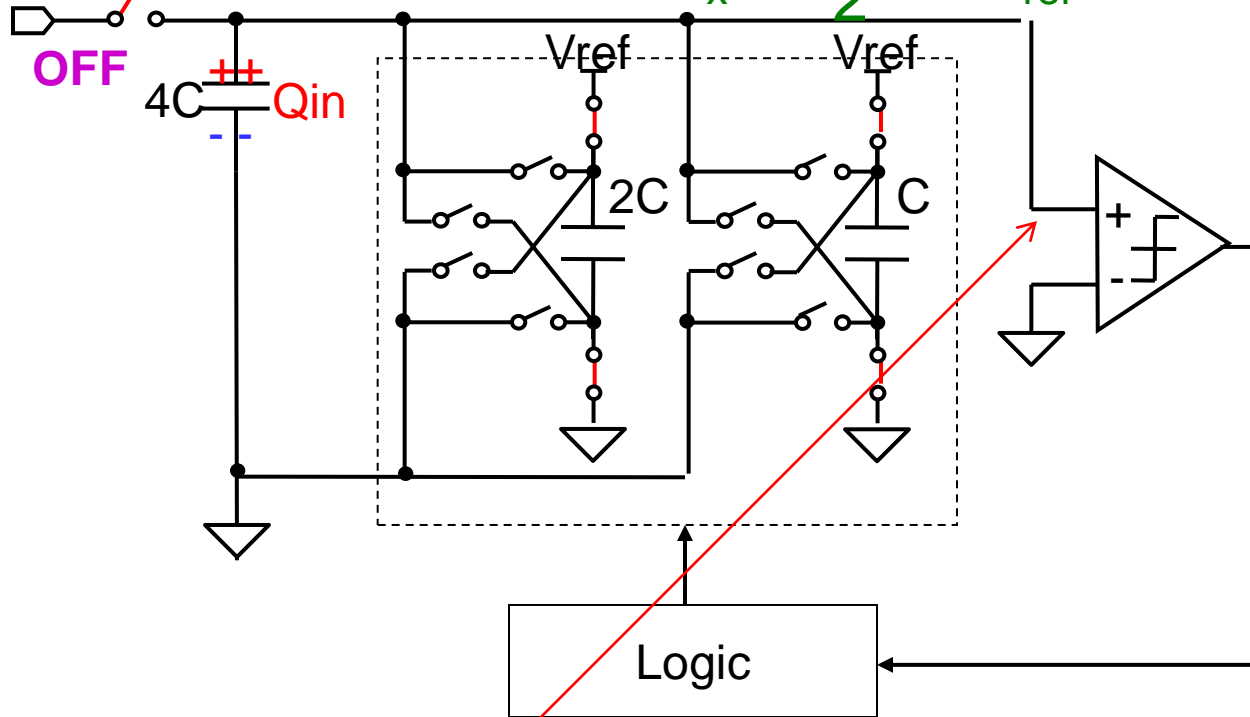
$$Q_{in} = \frac{9}{4} C V_{ref}$$

動作(比較step1)

$$V_{in} = \frac{1}{8} V_{ref}$$

$V_{in}(+V_{ref} \sim -V_{ref})$

$$Q_x = \frac{1}{2} C V_{ref}$$



$$V_x = \frac{Q_x}{4C} = \frac{1}{8} V_{ref} > 0$$

コンパレータ出力 **1**

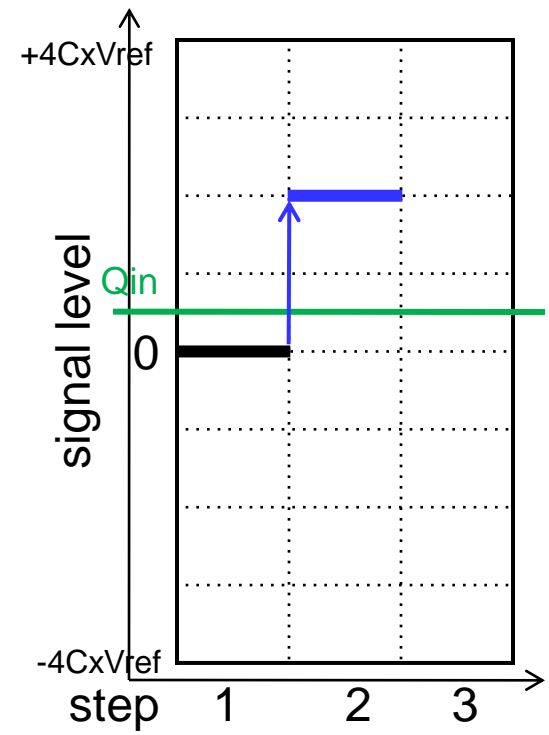
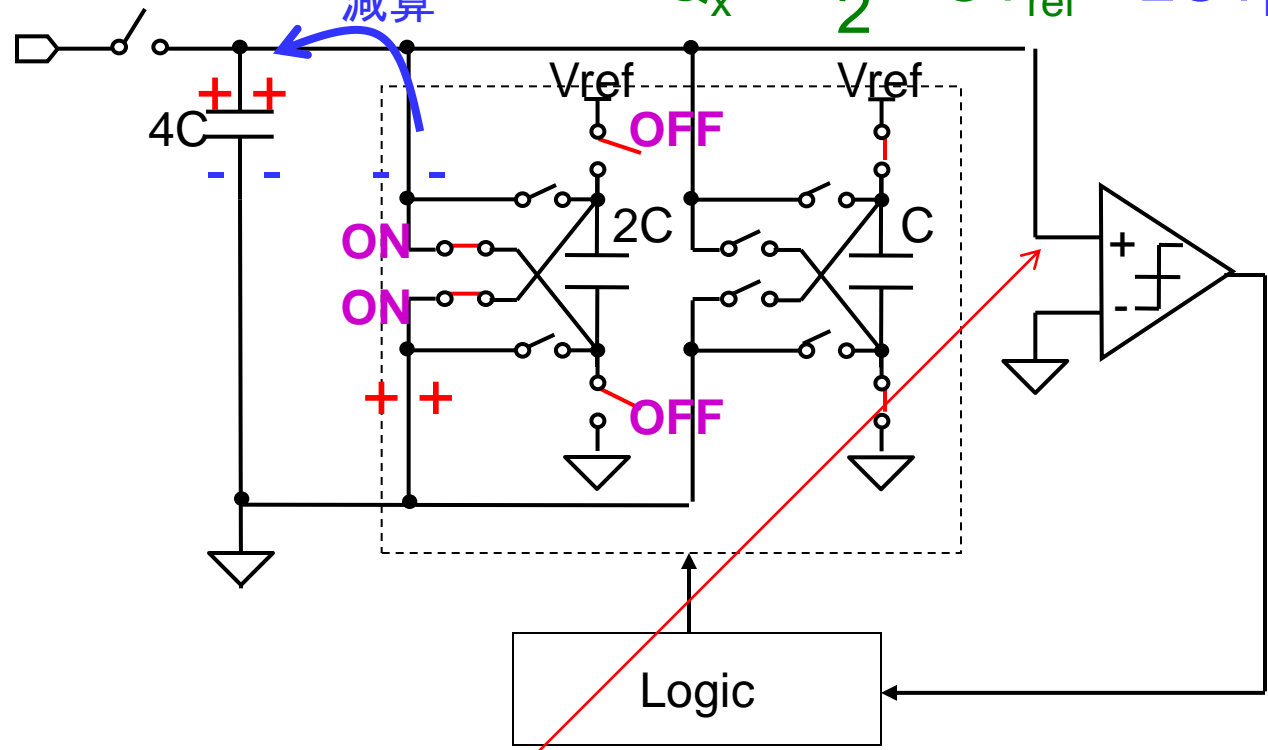
コンパレータ出力:1

動作(比較step2)

$$V_{in} = \frac{1}{8} V_{ref}$$

$$Q_x = \frac{1}{2} CV_{ref} - 2CV_{ref}$$

減算



$$V_X = \frac{Q_X}{6C} = -\frac{3}{12} V_{ref} < 0$$

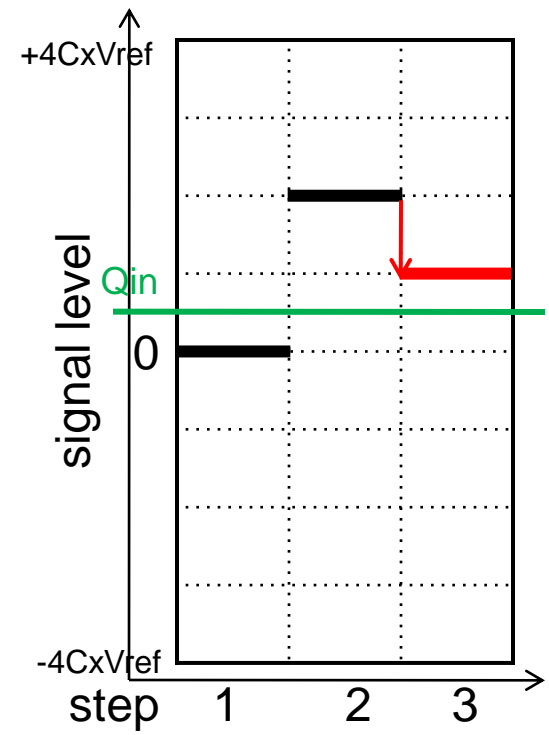
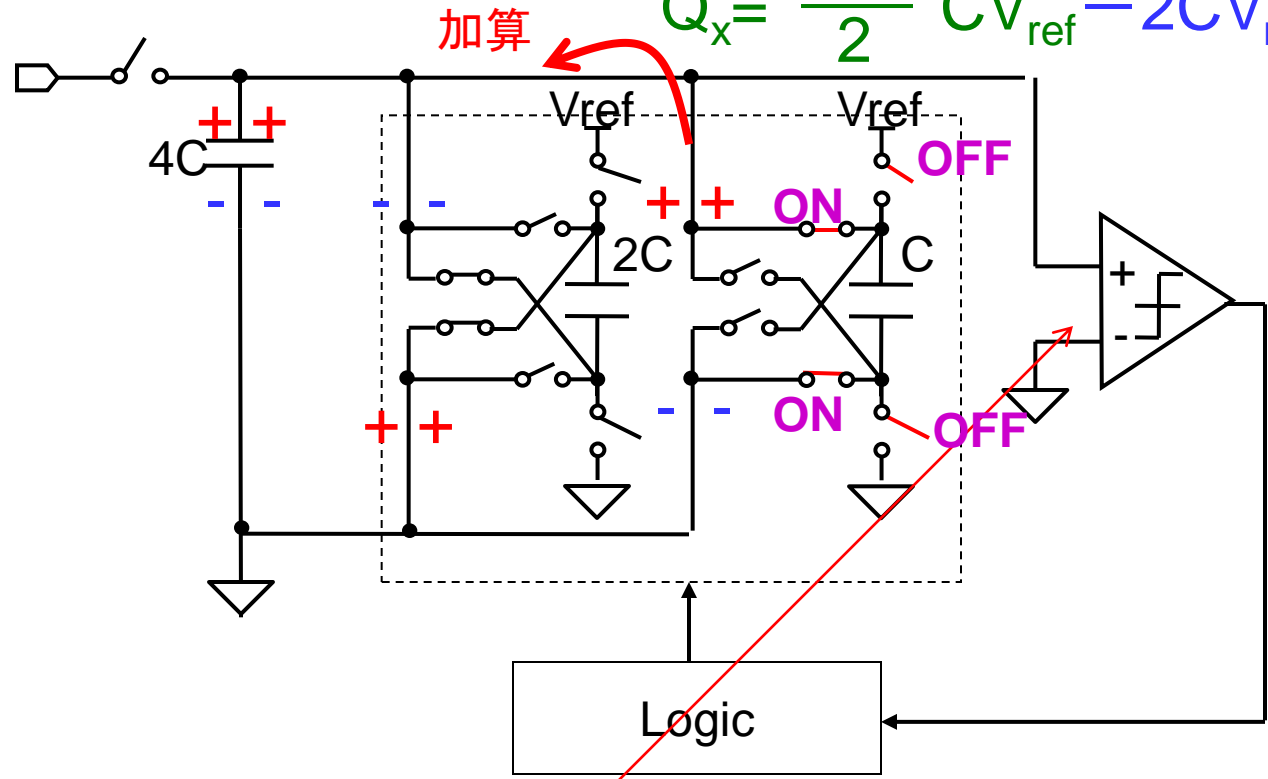
コンパレータ出力 **1** **0**

コンパレータ出力:0

動作(比較step3)

$$V_{in} = \frac{1}{8} V_{ref}$$

$$Q_x = \frac{1}{2} CV_{ref} - 2CV_{ref} + CV_{ref}$$



$$V_X = \frac{Q_X}{7C} = -\frac{1}{14} V_{ref} < 0$$

コンパレータ出力 **1 0 0**
 デジタル出力: 4

コンパレータ出力: 0

電荷共有SAR ADC特有のオフセット変化

コンパレータでの比較

$$\frac{4C \times V_{in}}{4C} + V_{os} > 0 \quad (<)$$

$$Q_{os} (1) = 4C \times V_{os}$$

$$\frac{4C \times V_{in} + 2C \times V_{ref}}{4C + 2C} + V_{os} > 0 \quad (<)$$

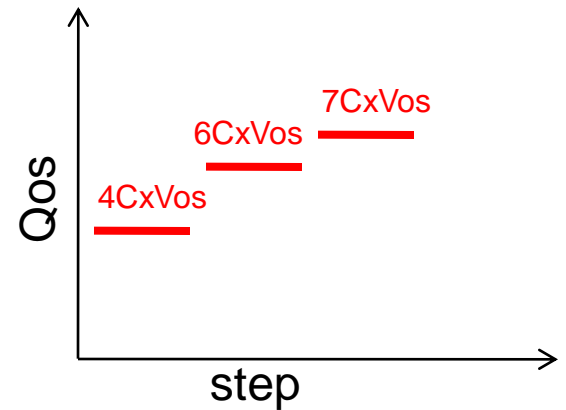
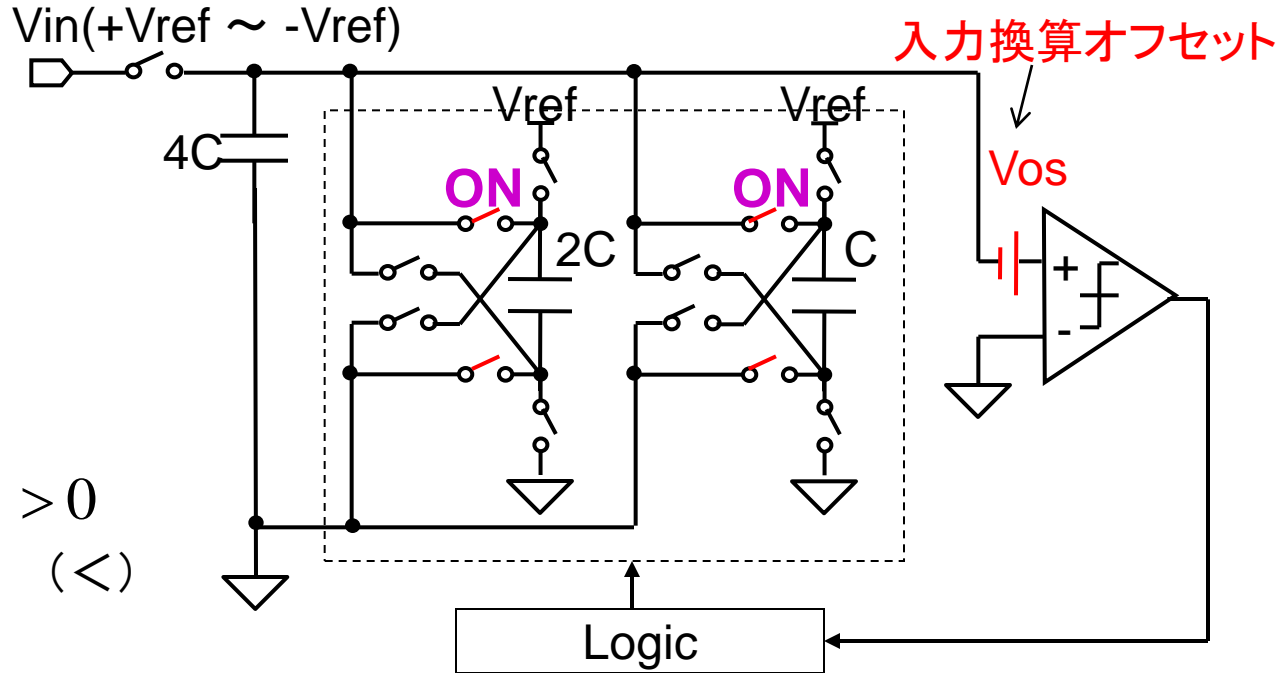
$$Q_{os} (2) = 6C \times V_{os}$$

$$\frac{4C \times V_{in} + 2C \times V_{ref} + C \times V_{ref}}{4C + 2C + C} + V_{os} > 0 \quad (<)$$

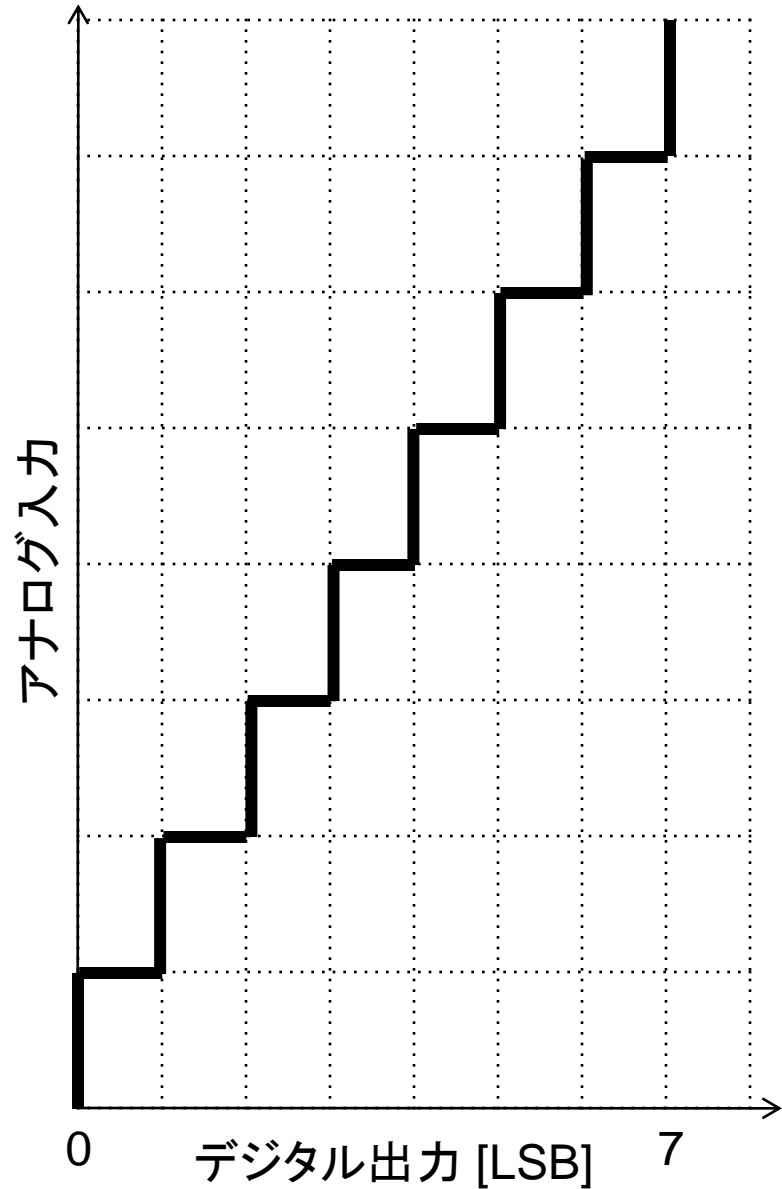
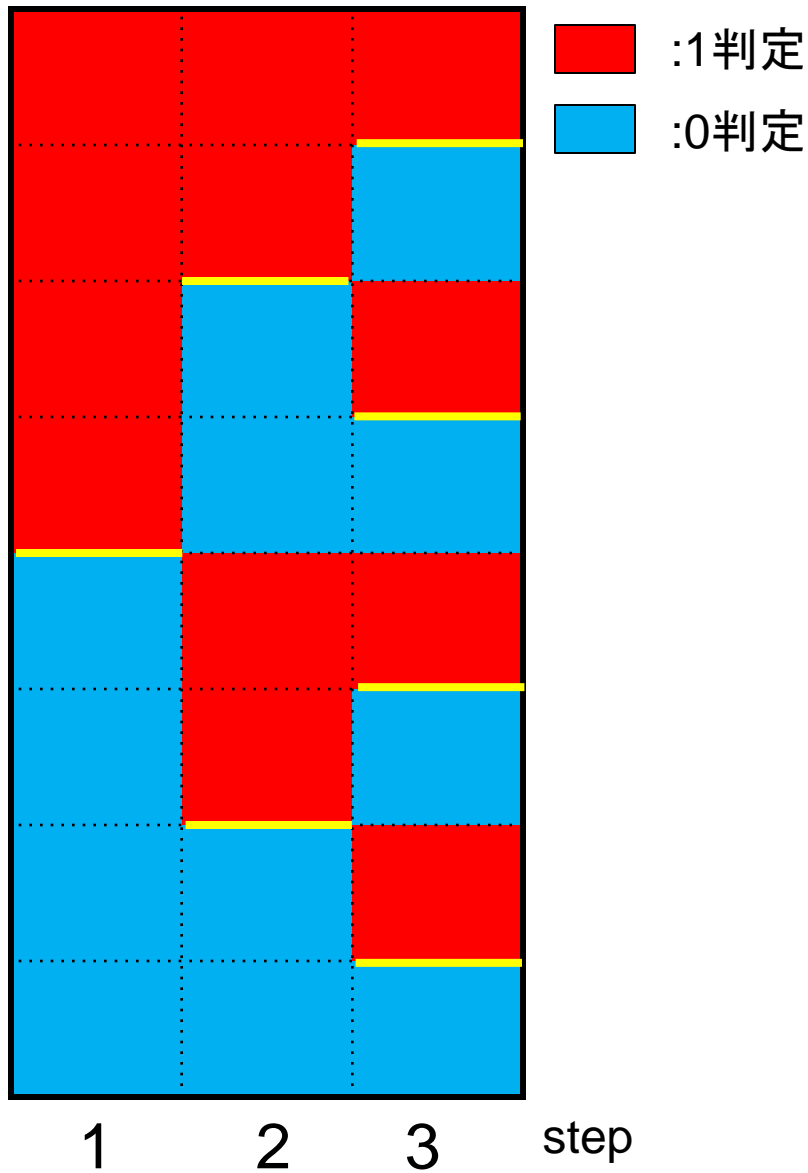
$$Q_{os} (2) = 7C \times V_{os}$$

d(k): kステップ目の比較で
 { 判定1の時: +1
 判定0の時: -1

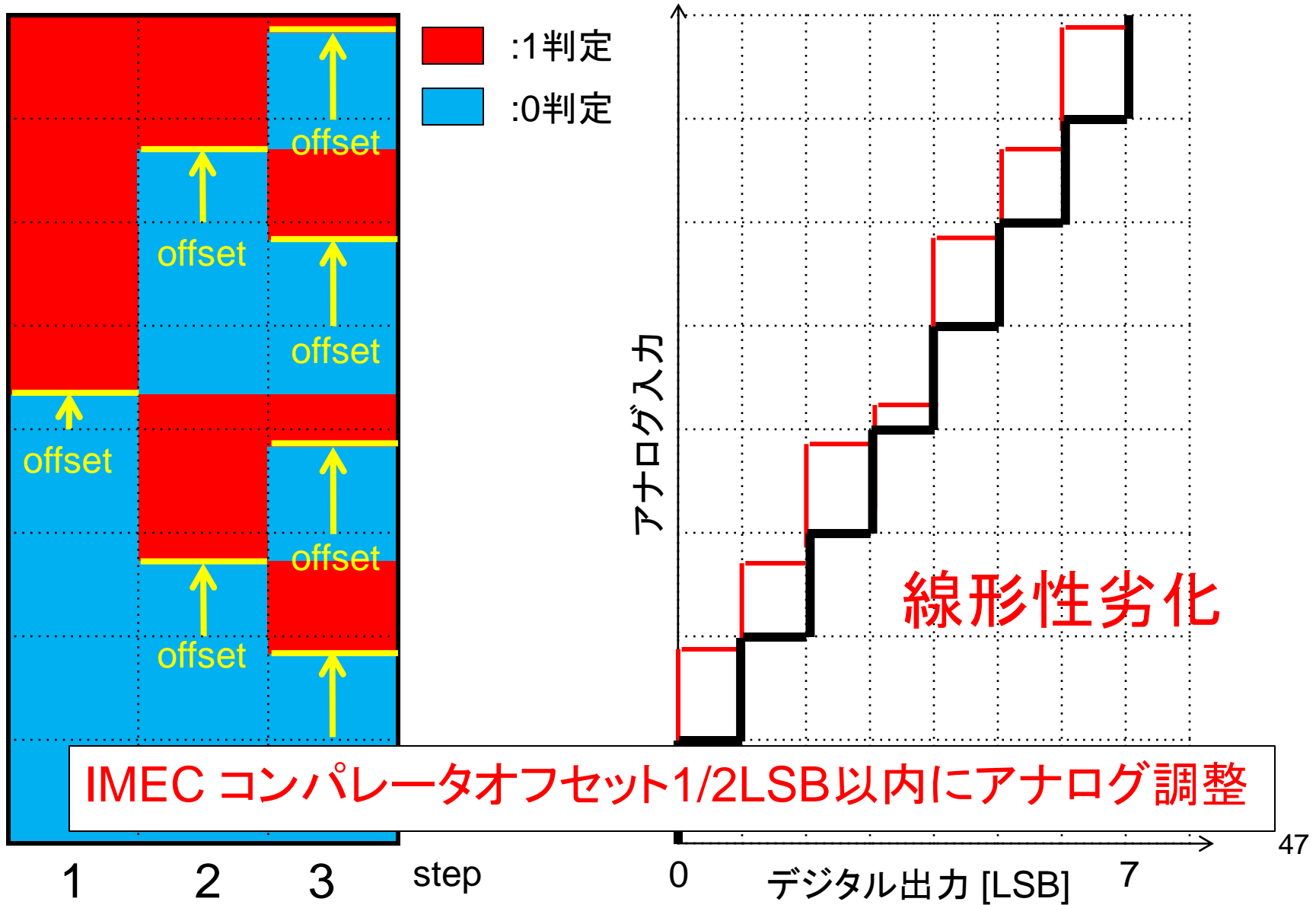
比較stepが進むごとに
 電荷換算オフセットが増加



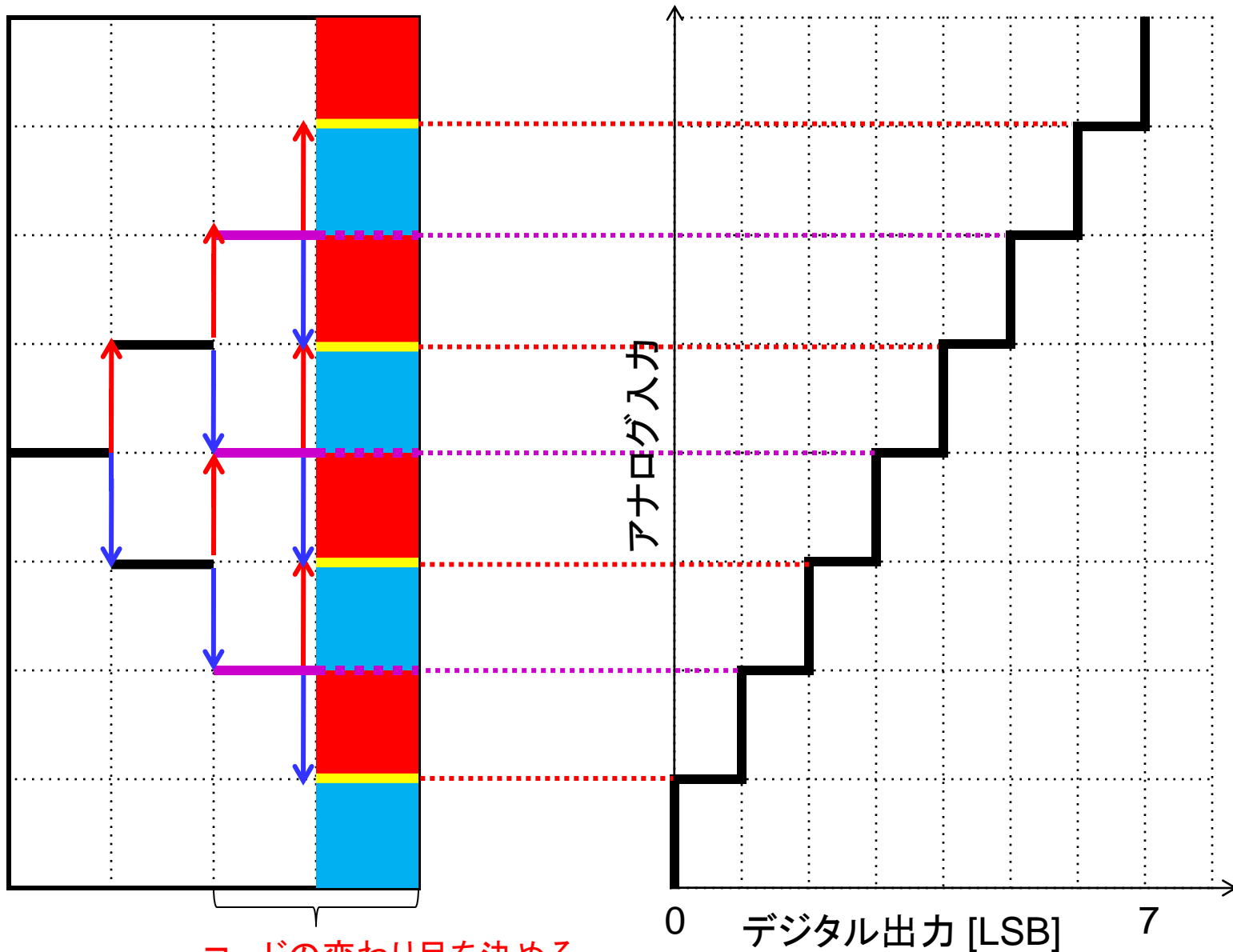
電荷共有SAR ADC コンパレータオフセットの影響



電荷共有SAR ADC コンパレータオフセットの影響



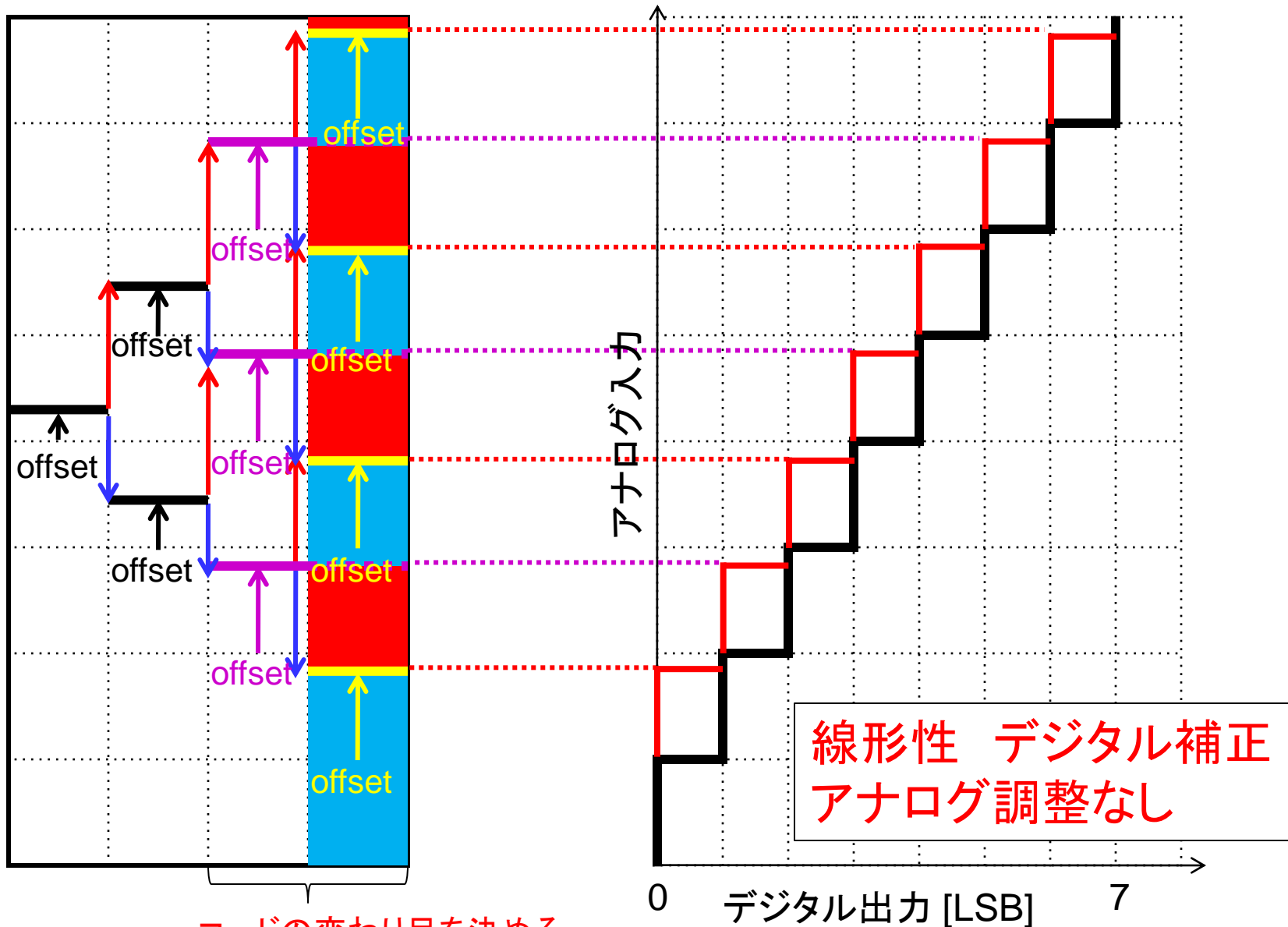
提案方式 冗長アルゴリズムによるデジタル補正



コードの変わり目を決める

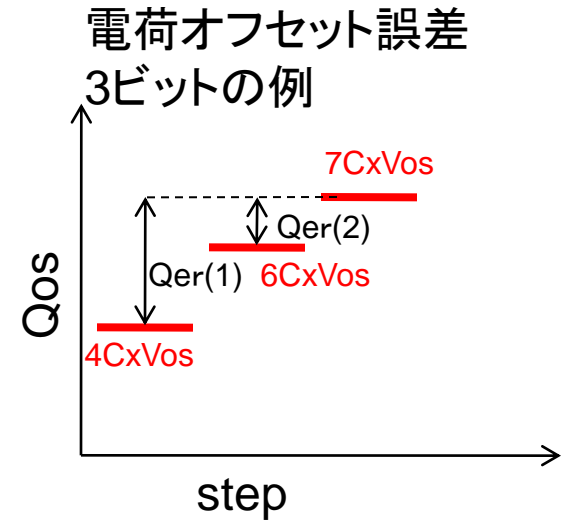
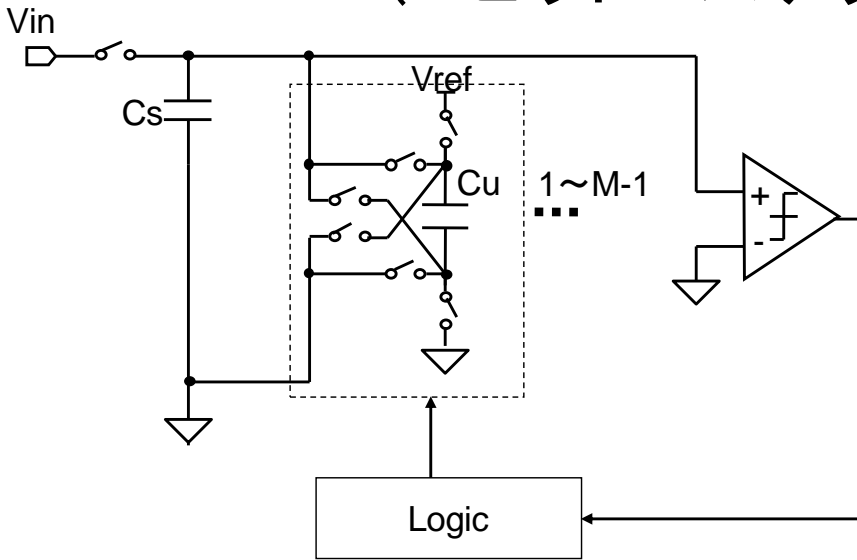
後半のオフセット変化:微小

提案方式 冗長アルゴリズムによるデジタル補正



コードの変わり目を決める
後半のオフセット変化:微小

非2進アルゴリズム設計のための誤差の計算 (NビットMステップ冗長アルゴリズム)



各比較ステップでの電荷オフセット誤差

$$Q_{er}(k) = V_{os} \times \sum_{i=k}^{M-1} C_u(i)$$

各比較ステップでのLSB換算誤差

$$er(k) = \frac{Q_{er}(k)}{Q_{FS}} \quad [\text{LSB}]$$

$C_u(k)$: k 番目に接続する容量
 Q_{FS} : 入力電荷フルスケール

この誤差を許容する
非2進アルゴリズムを設計する。

例: 10ビット 電荷共有SAR ADC

$V_{in}: -1 \sim +1$, $V_{ref}=1V$, $C_s=512C$

$V_{os}=55mV$

コンパレータのアナログ・キャリブレーションなしの場合

従来方式 2進アルゴリズム

step:k	$C_u(k)$	誤差 $er(k)[LSB]$	許容値 [LSB]
1	256	28.1	0
2	128	14.0	0
3	64	7.0	0
4	32	3.5	0
5	16	1.7	0
6	8	0.8	0
7	4	0.4	0
8	2	0.2	0
9	1	0.1	0
10	x	0.0	0

提案方式 非2進アルゴリズム

step:k	$C_u(k)$	誤差 $er(k)[LSB]$	許容値 [LSB]
1	237	31.4	32
2	127	16.6	18
3	69	8.7	10
4	37	4.6	5
5	20	2.4	3
6	11	1.3	2
7	6	0.7	1
8	3	0.3	1
9	2	0.2	0
10	1	0.1	0
11	x	0.0	0

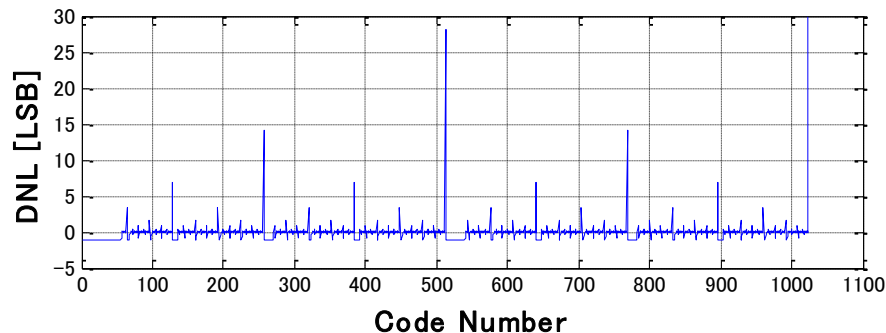
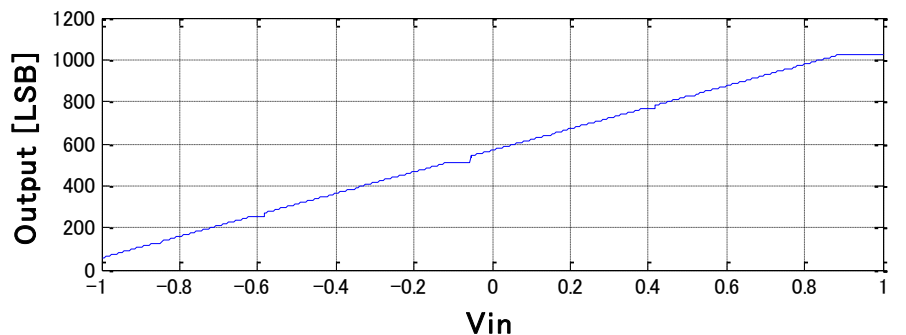
MATLABシミュレーション(ランプ波)

V_{in} : $-1 \sim +1$, $V_{ref}=1V$, $C_s=512C$

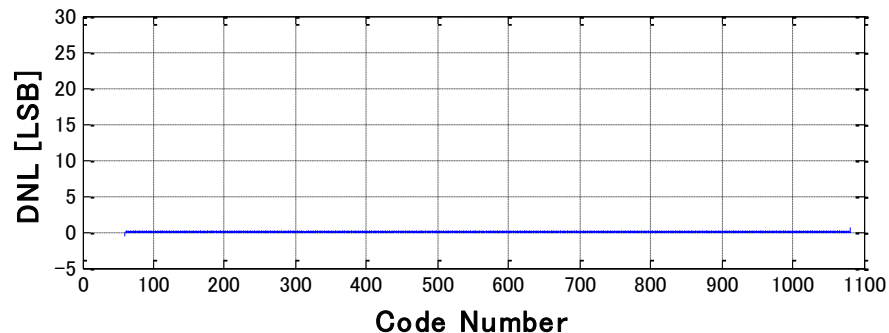
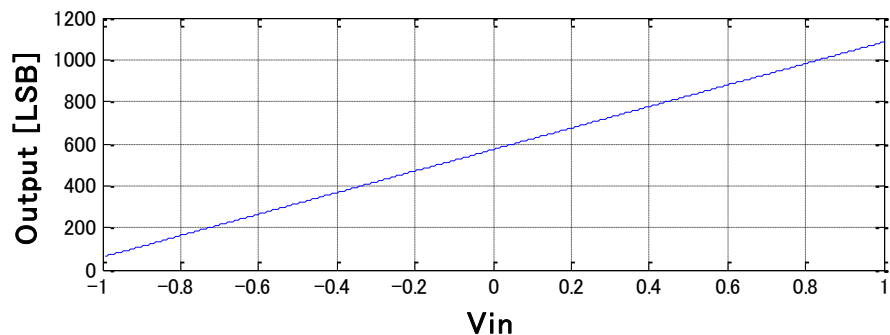
$V_{os}=55mV$

コンパレータのアナログ・キャリブレーションなしの場合

従来方式 2進アルゴリズム



提案方式 非2進アルゴリズム

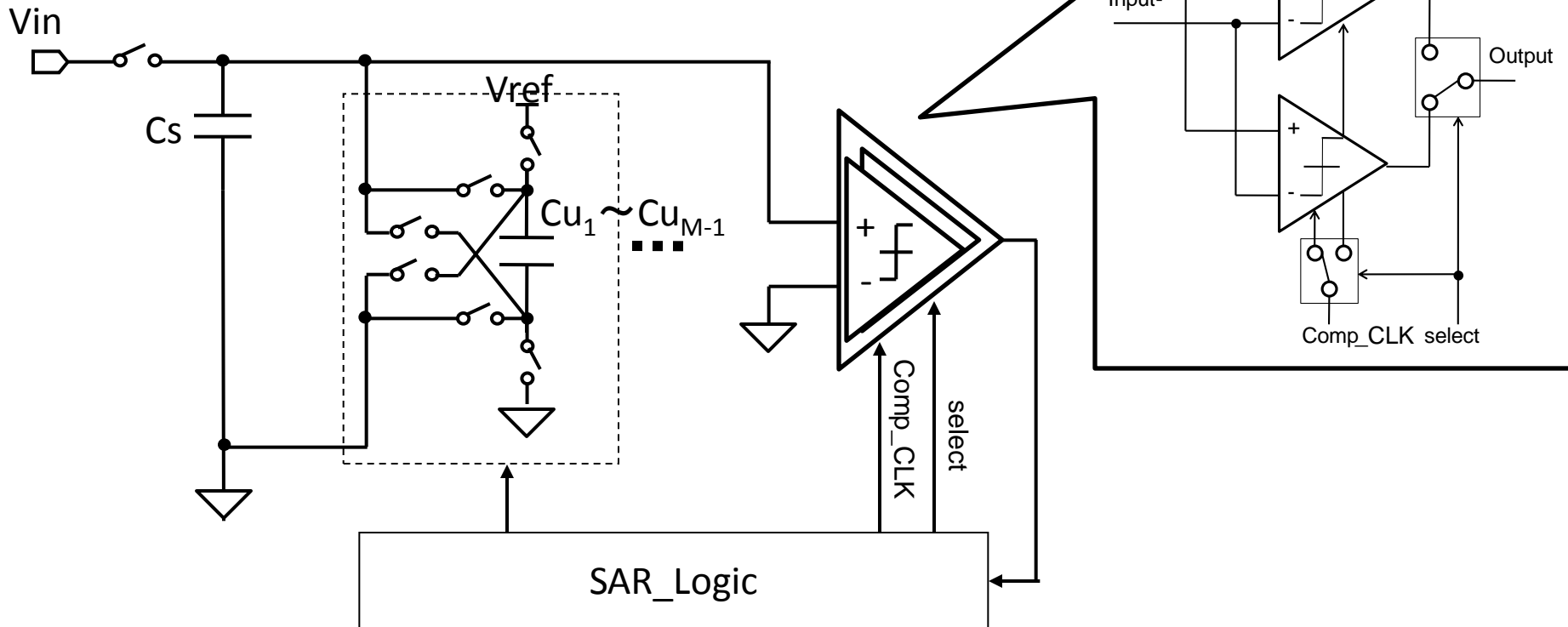


発表内容

- ・ 研究背景
- ・ SAR ADCの構成と動作
- ・ SAR ADCの低消費電力化の検討
 1. 2つのコンパレータを用いたSAR ADC
 2. 電荷共有SAR ADC
 3. 2つのコンパレータを用いた電荷共有SAR ADC
- ・ まとめ

2つのコンパレータを用いた 電荷共有SAR ADC

IMECから提案



文献

V.Giannini, P.Nuzzo, V.Chironi, A.Baschiroto, G.V.Plas, J.Craninckx
“ An 820 μ W 9b 40MS/s Noise-Tolerant Dynamic-SARADC in 90nm Digital CMOS ”
ISSCC (Feb.2008).

非2進アルゴリズム設計のための誤差の計算 (NビットMステップ冗長アルゴリズム)

前半のコンパレータでの電荷換算オフセット誤差

$$Q_{er}(k) = C_{sum}(k) \times (V_{os1} + V_{no}) - C_{sum}(M) \times V_{os2}$$

V_{os1} :前半のコンパレータのオフセット

V_{os2} :後半のコンパレータのオフセット

V_{no} :前半のコンパレータのノイズ

- ・前半のコンパレータのオフセット:aV以内
- ・後半のコンパレータのオフセット:bV以内
- ・前半のコンパレータのノイズ:cV以内

のとき

$$|Q_{er}(k)| < C_{sum}(M) \times (V_{os1} - V_{os2} + V_{no})$$

この誤差を許容するように非2進アルゴリズム
を設計する.

例: 10ビット11ステップ SAR ADC

V_{in} : $-1 \sim +1$, $V_{ref}=1V$, $C_s=512C$, オフセットミスマッチ: 15mV以内

Comp1(低電力) オフセット: $\pm 8mV$ 以内 ノイズ: 1.0 mV以内

Comp2(高電力) オフセット: $\pm 7mV$ 以内 ノイズ: 0.2 mV以内

コンパレータのアナログ・キャリブレーションなしの場合の設計例

IMEC方式

提案方式

step:k	Cu(k)	誤差 er(k)[LSB]	許容値 [LSB]
1	256	11.3	1
2	128	13.3	1
3	64	14.3	1
4	32	14.8	1
5	16	15.1	1
6	8	15.2	1
7	4	15.3	1
8	2	15.3	1
9	1	15.3	1
10	1	0.2	0
11	x	0.2	0

step:k	Cu(k)	誤差 er(k)[LSB]	許容値 [LSB]
1	256	11.4	16
2	128	13.4	16
3	64	14.4	16
4	32	15.0	16
5	16	15.2	16
6	16	0.4	0
7	8	0.3	0
8	4	0.3	0
9	2	0.2	0
10	1	0.2	0
11	x	0.2	0

MATLABシミュレーション(ランプ波)

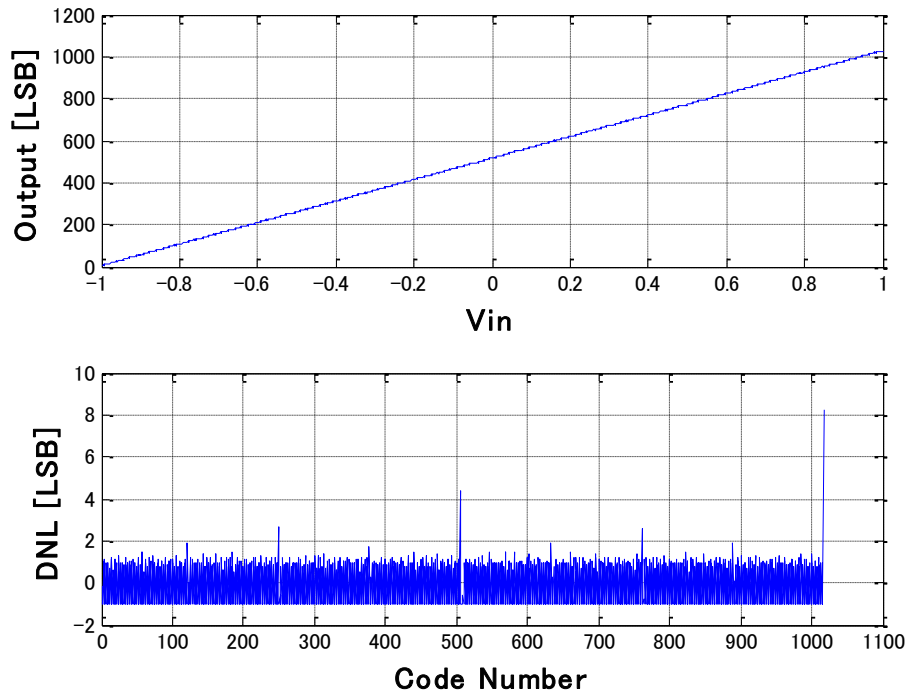
$V_{in}: -1 \sim +1$, $V_{ref}=1V$, $C_s=512C$

Comp1(低電力) オフセット: $+8.0\text{ mV}$, ノイズ: 1.0 mV

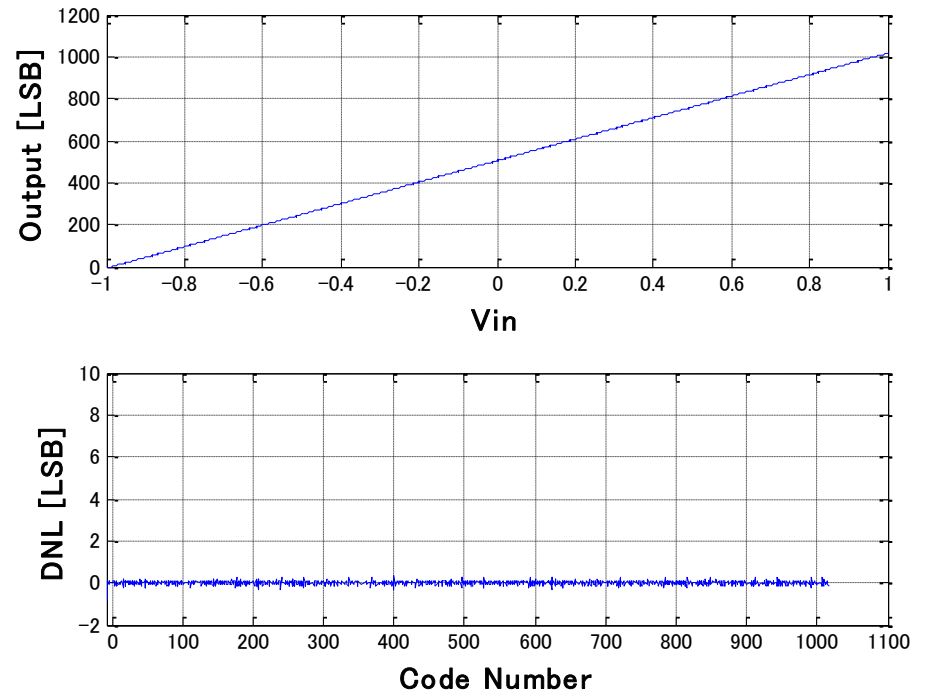
Comp2(高電力) オフセット: -7.0 mV , ノイズ: 0.2 mV

コンパレータのアナログ・キャリブレーションなしの場合

IMEC方式



提案方式



発表内容

- ・ 研究背景
- ・ SAR ADCの構成と動作
- ・ SAR ADCの低消費電力化の検討
 1. 2つのコンパレータを用いたSAR ADC
 2. 電荷共有SAR ADC
 3. 2つのコンパレータを用いた電荷共有SAR ADC
- ・ **まとめ**

まとめ

低消費電力SAR ADC

低消費電力化技術

- ・2つのコンパレータを用いた技術
- ・電荷共有SAR ADC
- ・2つのコンパレータを用いた電荷共有SAR ADC

非2進アルゴリズム

→ コンパレータオフセットによる誤差を補正

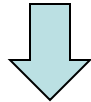


オフセットばらつきを許容

- ・コンパレータのオフセット調整不要
- ・量産時の歩留まり改善

結論

2進SAR ADC (IMEC: 西洋哲学)
構成, 動作 無駄なし → 効率的



冗長性(無駄)を入れる。
さらに効率が良くなる。

- ・スピード(DAC不完全整定)
- ・低消費電力化

冗長性により誤動作を許容
→各構成要素, 動作への要求緩和

(「無用の用」老子: 東洋哲学)