

2009年6月22日

高エネルギー加速器研究機構
素粒子原子核研究所 セミナー

ナノCMOS時代のAD変換器 高性能化技術

群馬大学大学院 工学研究科 電気電子工学専攻
小林春夫

連絡先: 〒376-8515 群馬県桐生市天神町1丁目5番1号
群馬大学工学部電気電子工学科
電話 0277 (30) 1788 FAX: 0277 (30)1707
e-mail: k_haruo@el.gunma-u.ac.jp



発表内容

- テーマ1 「工学」とは何かを考える
- テーマ2 AD変換器の高性能化技術
- テーマ3 時間分解能アナログ回路

テーマ 1

「工学」とは何かを考える



テーマ1 工学とは何かを考える

発表内容

- 「工学」とは何か
- 群馬大学での産学連携への取り組み
ー アナログ集積回路分野 ー



内容

- 「工学」とは何か
- 群馬大学での産学連携への取り組み
— アナログ集積回路分野 —



「科学」と「技術」は似て非なるもの

- 「科学（理学、Science）」と「技術（工学、Technology）」は似ているが異なる。
- 「理学」が真理を追究するのを目的
- 「工学」は役に立つこと（「ものづくり」だけでなく「環境問題」等も含めて）を目的とした実学。
- 「工学」は社会性をもった学問。

工学は トレードオフの考え方が重要

Trade-Off ↔ 妥協

「時間が足りない、マンパワーが足りない、
予算が足りない、情報が足りない、.....」

全てが満ち足りているわけではない環境下で
(100%でなくても)かなりのことをやってしまう、
かなりのものを開発してしまうのが
エンジニアリング、工学的センス



技術者は総合力で勝負

- 技術力、基礎学力
- 問題発見能力、問題解決能力
- 語学力
- 雑学
- コミュニケーション能力
プレゼンテーション能力
- 人脈
- 体力



市場に対して敏感であれ

半導体メーカーのマネージャー

「良いものが売れるのではない。

売れるものが良いものである」


「製品ではなく商品を開発せよ」

半導体試験装置メーカーのマーケティング

「我々のお客さん(半導体メーカー)の

お客さん(セットメーカー、最終製品メーカー)

を見て次世代半導体試験装置を開発せよ」



どのように(How)作るかだけでなく
何(What)を作るかが重要

半導体メーカー マネージャー

「企画に経験ある優秀な人をもってくる」

中堅メーカー 経営者

「プロの製品企画者は

お客さんへのアンケート結果だけに基づいて
次の製品を企画するわけではない。

お客さんのまだ気が付いていない

新しいコンセプトのものを企画することが重要」



「スピード」と「コスト」も重要

- 「先んずれば人を制す」
（史記、漢楚の戦い）
- 台湾のエレクトロニクス分野の大学教授
「技術が面白いだけでなく
安く(cheaply) 作れることが重要」



「技術」を最重要視する

マサチューセツ工科大学(MIT)

➡ 理工系で世界でトップ

(米 ボストンにはMITとHarvard大学)

「研究資金は比較的容易に集まる。

最も重要なのは新しい技術、アイデア。

教授達はノーベル賞級研究成果を上げるため

これらを求めて世界中を飛びまわっている。」

「工学部」「製造業」は 地方が向いている 側面あり

大都市、都会 → 第3次業（サービス業）

地方 → 第2次産業（製造業）
第1次産業（農林水産業）

都会では

工学部は貴族化（第3次産業化）する。

群馬は板東武者のふるさと



新しいアイデアを育てる

メーカーの特許関係者

「千三つの法則あり。

千個アイデアをだしてモノになるのは三つ。

どんどん新しいアイデアをだそう。」

ある大学教授

「大学で学生が新しいアイデアをだしたら、

従来法に比べての利点を厳しく問うな

欠点を厳しく指摘するな

新規性を厳しく問うな

スケジュールを厳しく管理するな」

(ただし、企業では「厳しく...」されること多い)¹⁴

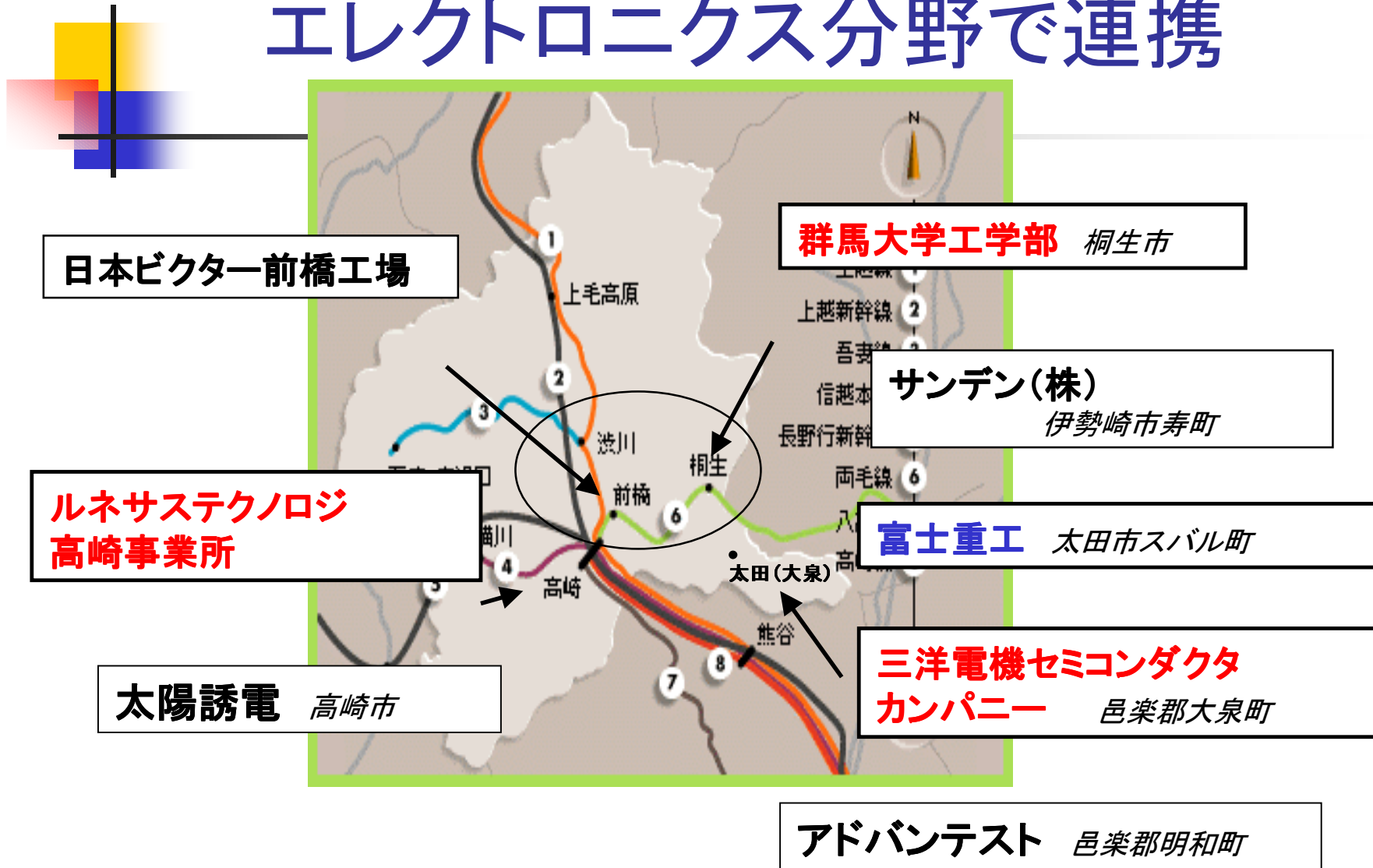


テーマ1 工学とは何かを考える

発表内容

- 「工学」とは何か
- 群馬大学での産学連携への取り組み
— アナログ集積回路分野 —

群馬大工学部を核に エレクトロニクス分野で連携



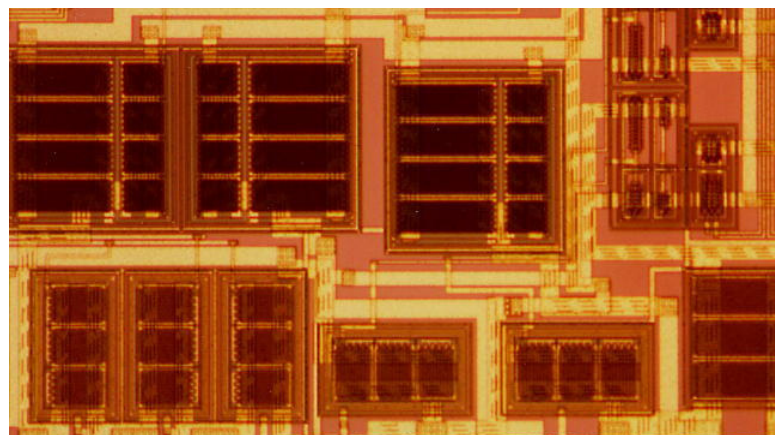
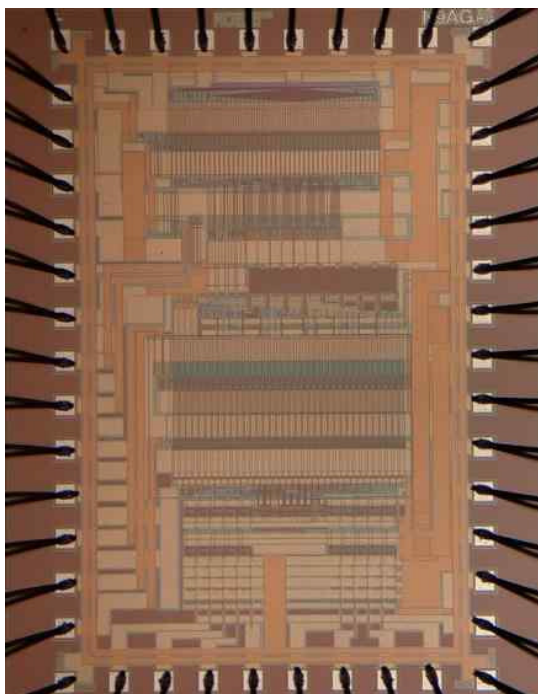
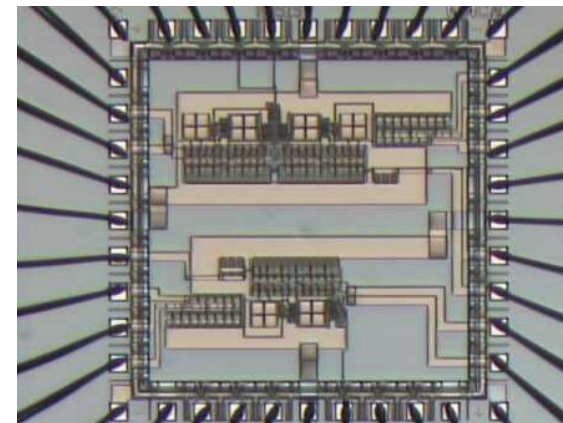
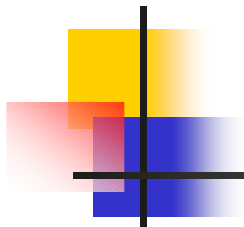


群馬大学大学院 電気電子工学専攻

小林・高井研究室

- 半導体・エレクトロニクスメーカーと連携し
アナログ集積回路分野の研究・教育を推進。
- 国内、海外の学会での論文発表
- 夏休みは企業で2－3週間の
インターンシップ
- 群馬県にとどまらず、
関東、関西、東北地方の
一流企業、一流研究者・技術者との交流

開発したアナログ集積回路 ギャラリー





なぜ回路・システム設計技術か

- **プロセス、デバイス技術**

技術者・研究者の能力のみならず、
莫大な設備投資が必要。

コスト競争、装置産業の側面あり。

台湾、韓国、中国に移りつつある。

- **回路・システム設計技術**

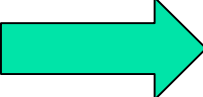
技術者・研究者の能力のみで勝負できる。

現在の日本のエレクトロニクス産業界の要請が強い。

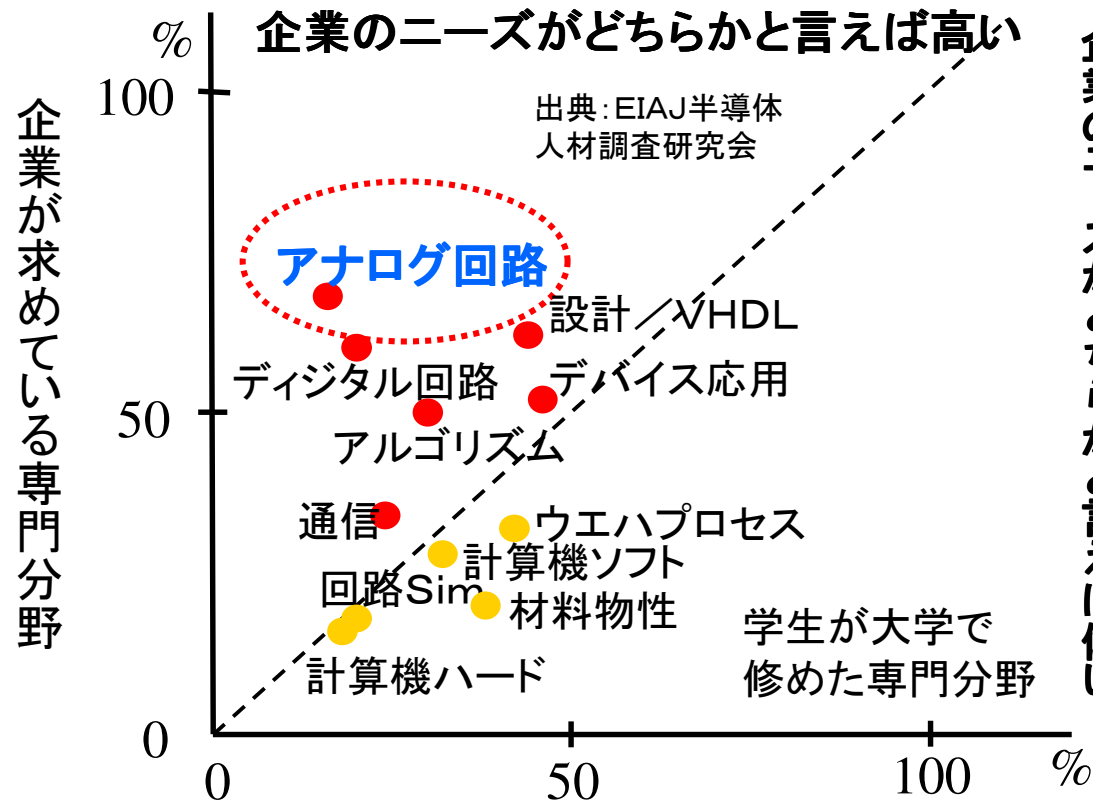
「高い教育レベルが日本の発展の原動力」



なぜアナログ技術か

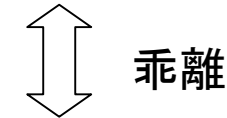
- デジタルはメインの技術、
アナログはキーの技術
 - 製品を差別化するのはアナログ技術
 - 携帯電話の電波の送信・受信部
 - デジタルのマイクロ・プロセッサの
クロック周波数がGHz オーダー
-  動作させるためにはアナログ技術が必須
- 高効率電源回路

産業界が求める人材と 大学が排出する人材の乖離



**アナログ分野は
人材供給不足**

企業が求める人材



乖離

大学が輩出する人材

アナログ技術者育成には10年近い
年月が必要。(デジタル技術者に
比べて数倍の時間を要する)



なぜ群馬大学がアナログか

- 群馬県の地域性 -

- 製造業が盛ん(全国10位程度)
- アナログ集積回路設計(半導体メーカー)、
およびそれを用いたエレクトロニクス製品
(エレクトロニクス・メーカー)の分野で
技術力の強い企業が数多くある。



気がついてみると 産業界から大学への暖かい風

電気電子をとりまく状況

- 少子化現象
- 若者の理工系離れ、電気電子離れ
- 熾烈な国際競争
- 電気電子工学科への求人は突出して多い



大学の電気電子分野の研究室
産業界から様々なご支援

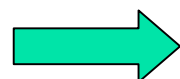
電気電子の研究室、学生を大事にする風潮が生じつつある

海外インターンシップ

米国ユタ州ソルトレーク市に修士1年2名が4週間

Cirque社（アルプス電気） 経済面を含めた全面支援

タッチパネル センサ インターフェース



アナログ回路が重要

CMOSオペアンプ設計のインターン

2008年10月6日-10月31日





10年前はインターンシップ 受け入れ企業は限られていた

- 現在、大学院進学予定4年生、修士1年生は全員
3週間前後のインターンシップ
- **これまでお世話になった会社：**
三洋電機、シャープ、住友電工、セイコーインスツル
ルネサステクノロジ、東芝、ソニー、東光、ヤマハ
アドバンテスト、ザインエレクトロニクス、NECエレ
富士電機システムズ、フリースケール、日本TI
アナログデバイスズ、ナショナルセミコンダクタ
Cirque社(アルプス電気)
- **STARC教育推進室**からも様々な教育支援



ルネサステクノロジ社からの アナログ回路分野の寄附講座

2008年3月までの4年間

同社からの1億数千万円の寄附により
群馬大学に

2名の一流客員教授を招聘

小堀康功先生 (パワエレ)

石原昇先生 (高周波)

ルネサステクノロジ社との 連携大学院

恩田謙一 客員教授 **パワエレ、電源回路**
堀口真志 客員教授 **マイコン内アナログ回路**
群馬大学にて大学院の講義担当してもらう。



恩田謙一客員教授
(ルネサス、日立製作所)と
電源回路研究のメッカ
バージニア工科大学
Prof. F. Lee 研究室訪問



三洋電機・三洋半導体との 連携大学院

マイクロエレクトロニクス講座

山田節 客員教授

システムLSI

太田豊 客員教授

半導体デバイス

黒川敦 客員准教授

SOC物理設計

群馬大学にて大学院の講義担当してもらおう。



産業界からの客員教授招聘

ソニー（萩原良昭氏 ISSCC2008 Program chair）

日本ビクター（近藤光氏）

アジレント・テクノロジー（小室貴紀氏）

シャープ（飯塚邦彦氏）

東光（松田順一氏）

アナログ技術ネットワーク（マイオ健二氏）

アドバンテスト研究所（山口隆弘氏）

等から一流の研究者を招聘

アナログ集積回路研究会講演会（110回を超える）

産業界との共同研究で 研究室のレベル向上

これまでの共同研究先

STARC, 三洋電機、ルネサステクノロジ
シャープ、住友電工、アジレント・テクノロジー
東光、東芝マイクロエレクトロニクス
東京測器研究所、ヤマハ、ニチコン、ギガテック

連名で学会発表。聴衆の友人の一人：

「大手エレクトロニクス・メーカーが地方大学と
共同研究・学会発表することなどほとんどなかった」



時代はかわりつつある



まとめ

- 「工学」にも独自のアイデンティティがある。
- 大学の工学部での研究教育には
産学連携が有効である。

テーマ 2

AD変換器の高性能化技術

テーマ2 AD変換器の高性能化技術

発表内容

- アナログ信号、デジタル信号、AD変換器
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
- まとめ

テーマ2 AD変換器の高性能化技術

発表内容

- アナログ信号、デジタル信号、AD変換器
- AD変換器
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
- まとめ



アナログ信号とデジタル信号

アナログ信号

連続的な信号

例：自然界の信号（音声、電波）、アナログ時計

「坂道」

デジタル信号

離散的・数値で表現された信号

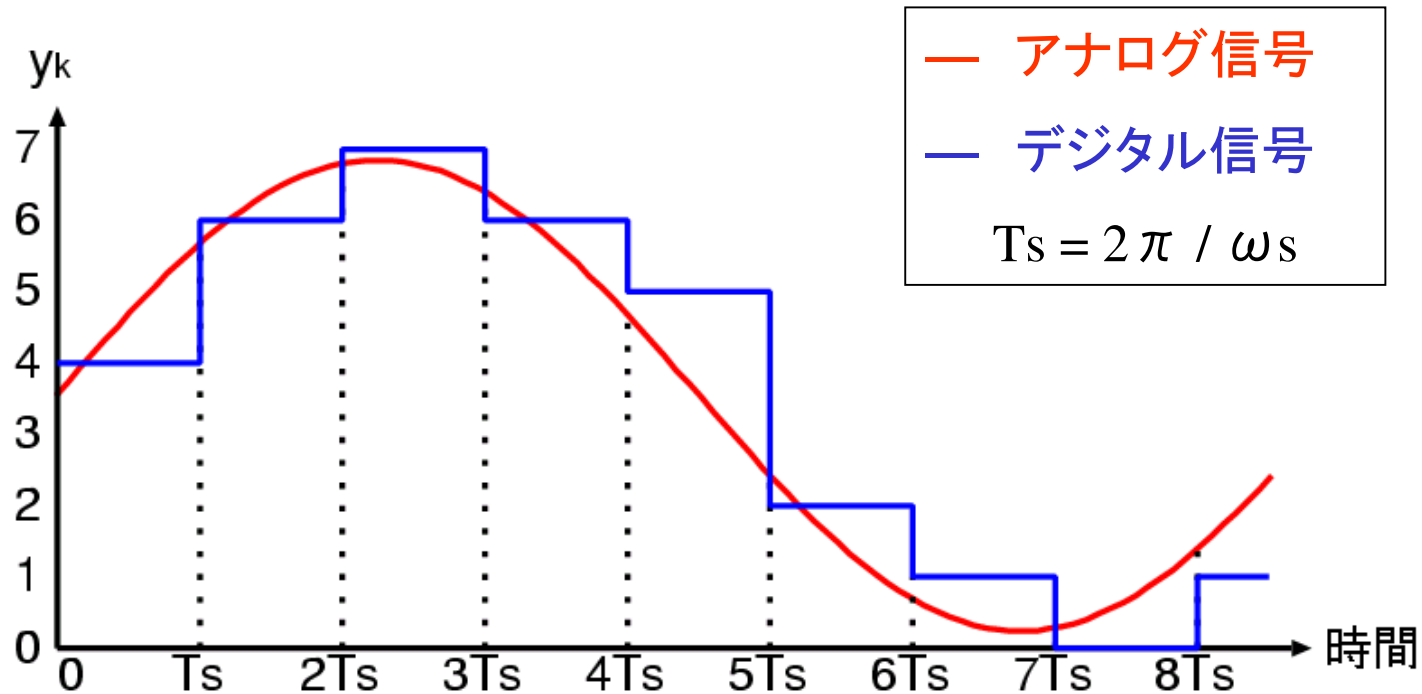
例：コンピュータ内での2進数で表現された信号

デジタル時計

「階段」

デジタル信号の特徴(1)

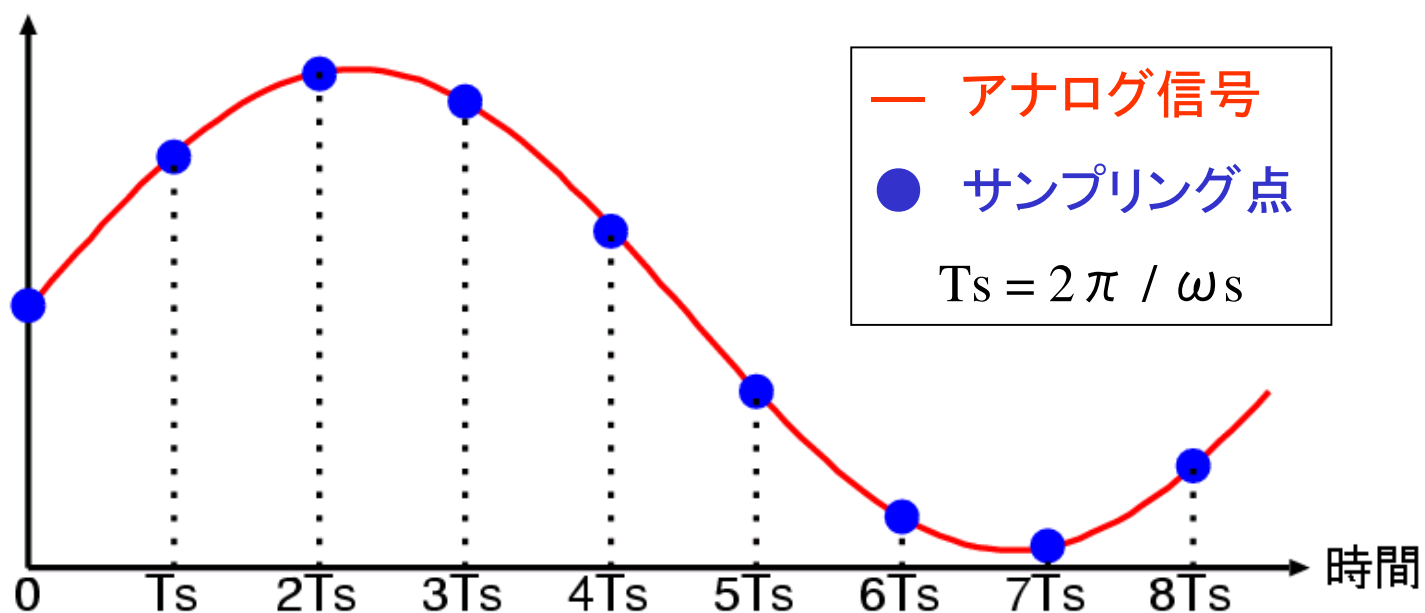
空間の量子化 (信号レベルの数値化)



デジタル信号はアナログ信号レベルを
四捨五入(または切り捨て)

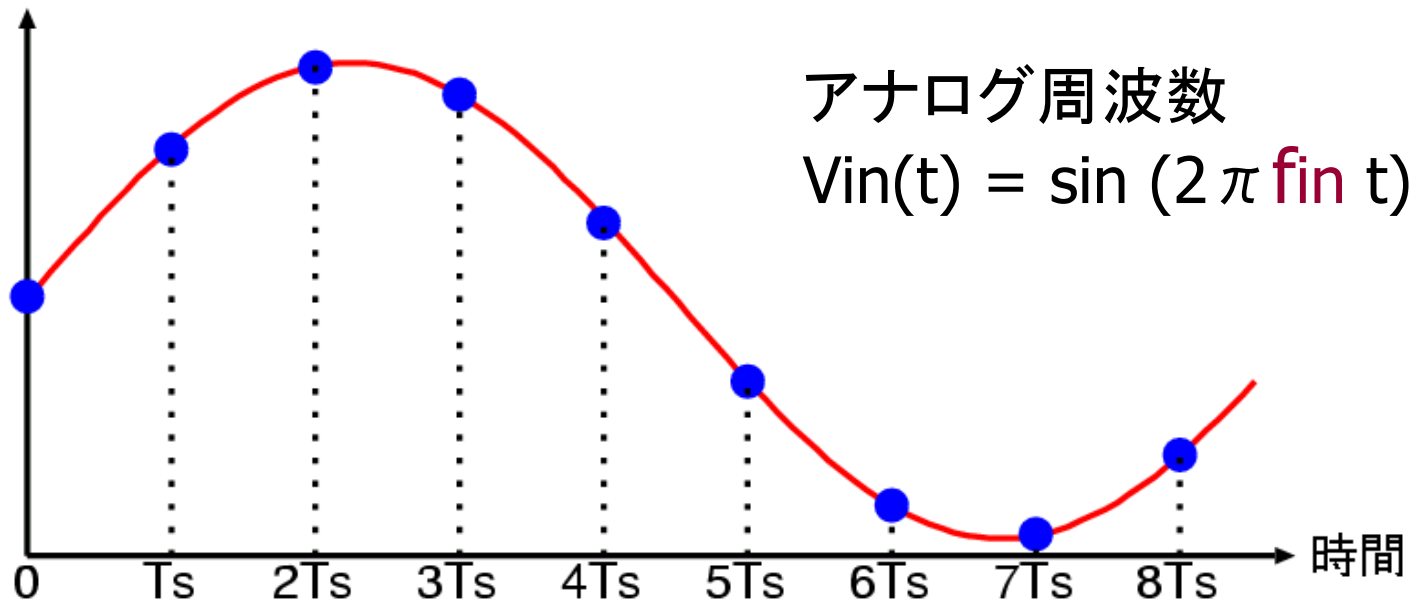
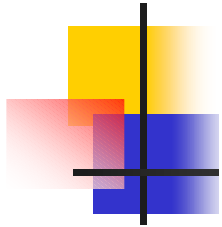
デジタル信号の特徴(2)

時間の量子化 (サンプリング)



一定時間間隔のデータを取り、間のデータは捨ててしまう。

サンプリング定理



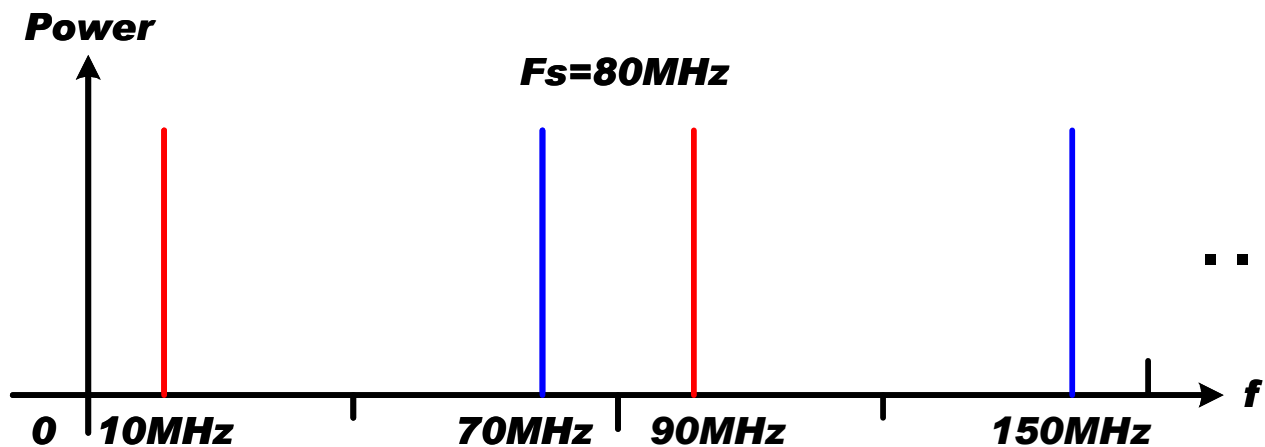
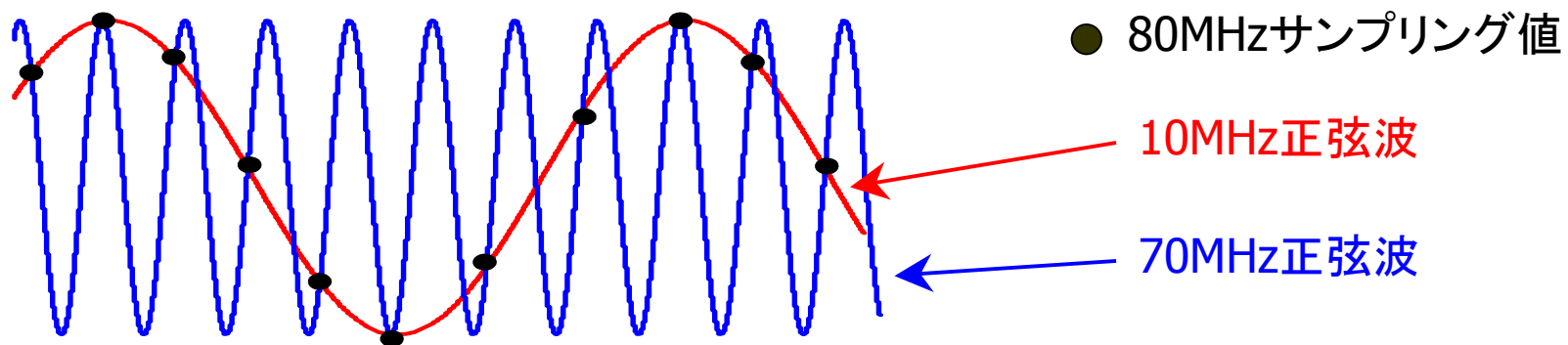
サンプリング周波数 $f_s = 1/T_s$

$f_s > 2 f_{in}$ ならば サンプリングされたデータ(●)から
アナログデータ(—)が復元できる。

信号に含まれる最大周波数 f_{in} の2倍より大きな周波数 f_s
でサンプリングする。

サンプリングと折り返し(aliasing)

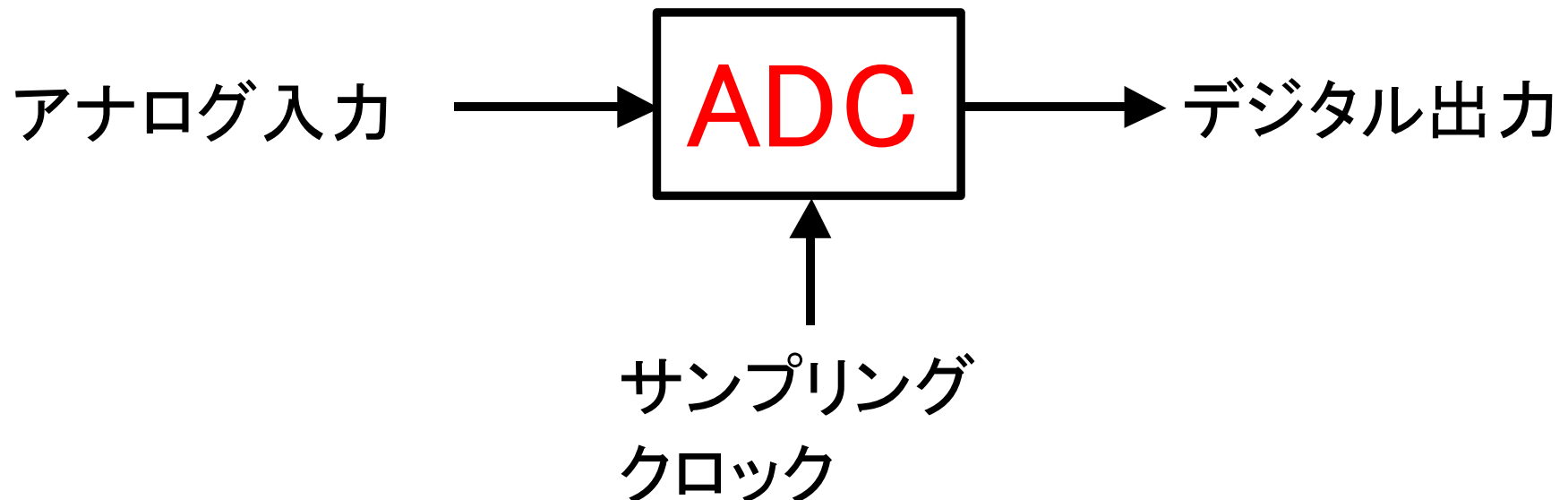
80MHzでサンプリングを行うと10MHzと70MHzは区別できない



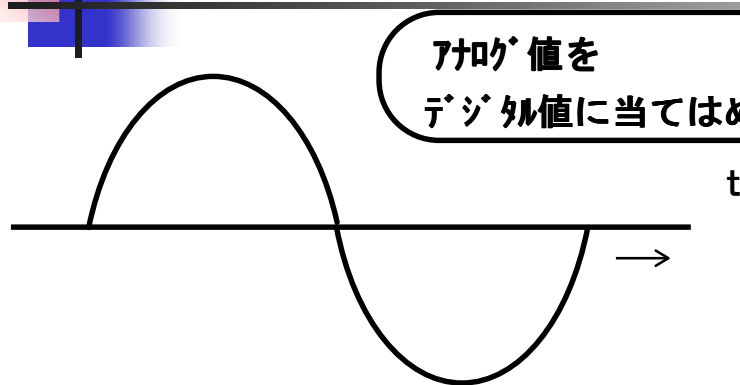


A D 変換器

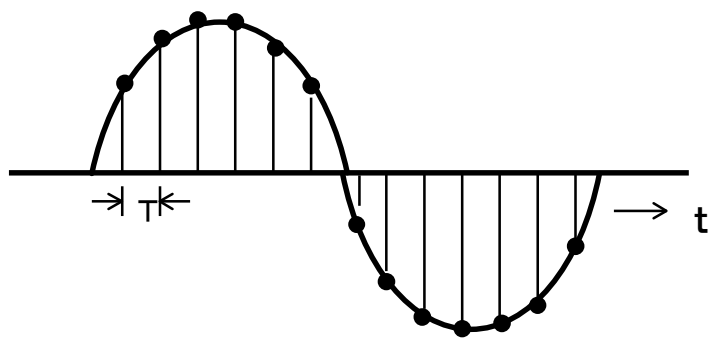
アナログ信号（電波、音声、電圧、電流等を
デジタル信号（0, 1, 1, 0, ...）に変換する。



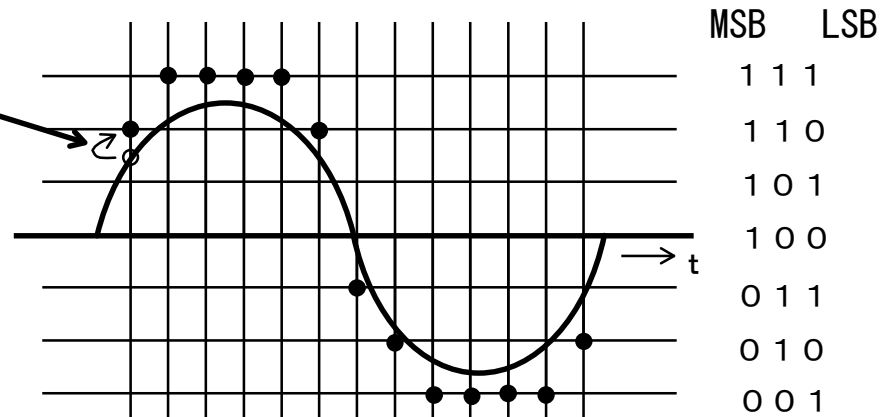
アナログ -> デジタル 変換波形



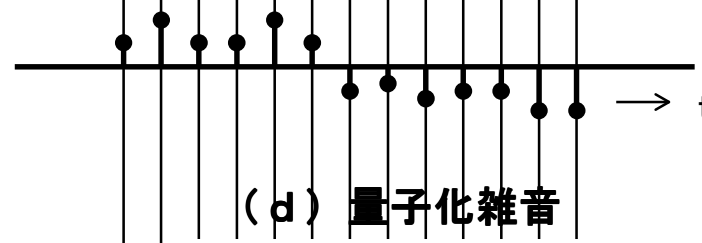
(a) アナログ入力



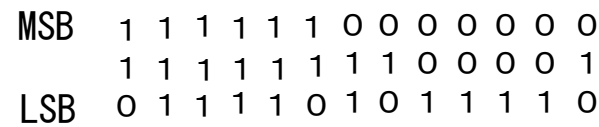
(b) 標本化



(c) 量子化



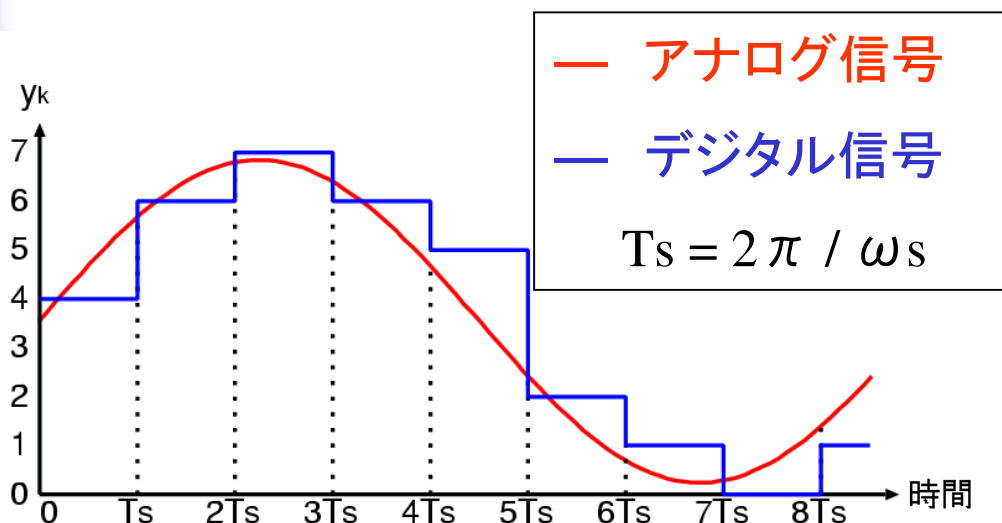
(d) 量子化雑音



(e) 符号化

AD変換器の分解能

信号	2進
レベル	4 2 1
0	0 0 0
1	0 0 1
2	0 1 0
3	0 1 1
4	1 0 0
5	1 0 1
6	1 1 0
7	1 1 1



0 - 7 の8レベル: $2^3 = 8$ → 3ビットの分解能

よく用いられるAD変換器の分解能

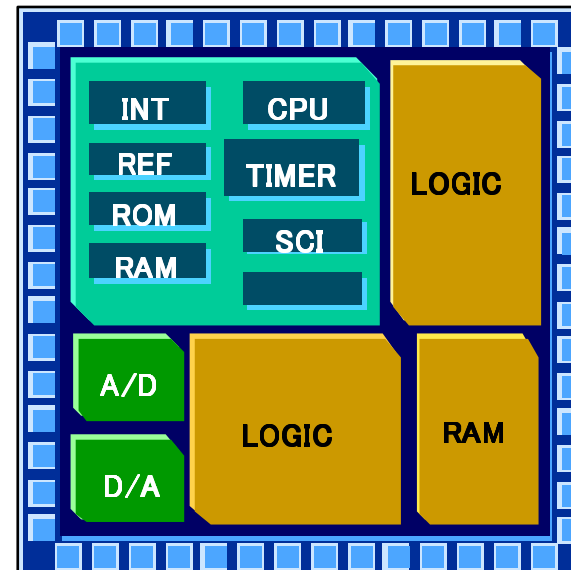
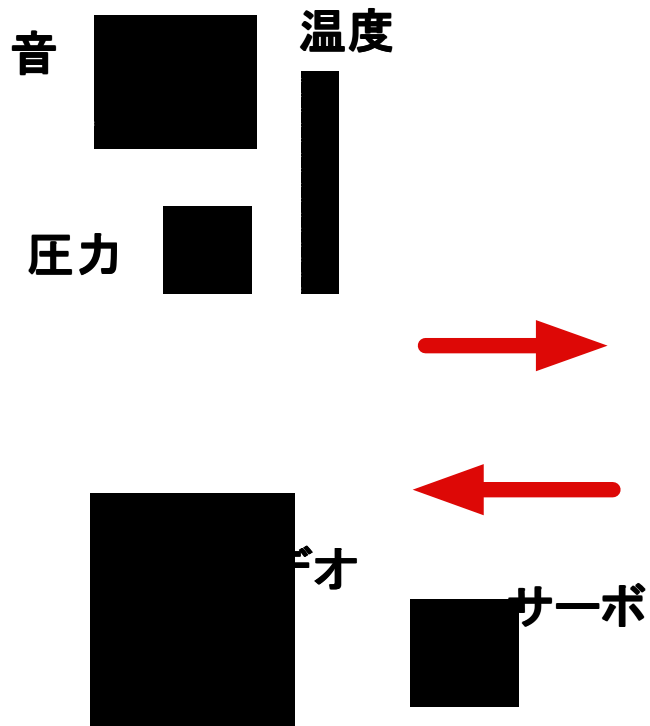
0 - 255 の256レベル: $2^8 = 256$ 8ビットの分解能

0 - 1023 の1024レベル: $2^{10} = 1024$ 10ビットの分解能

デジタル技術をささえる AD/DA変換器

自然界の信号は
アナログ

LSIでの信号処理は
デジタル



計測制御機器とAD変換器

計測器(電子計測器)

制御システム(ファクトリーオートメーション):

➡ アナログ回路は重要

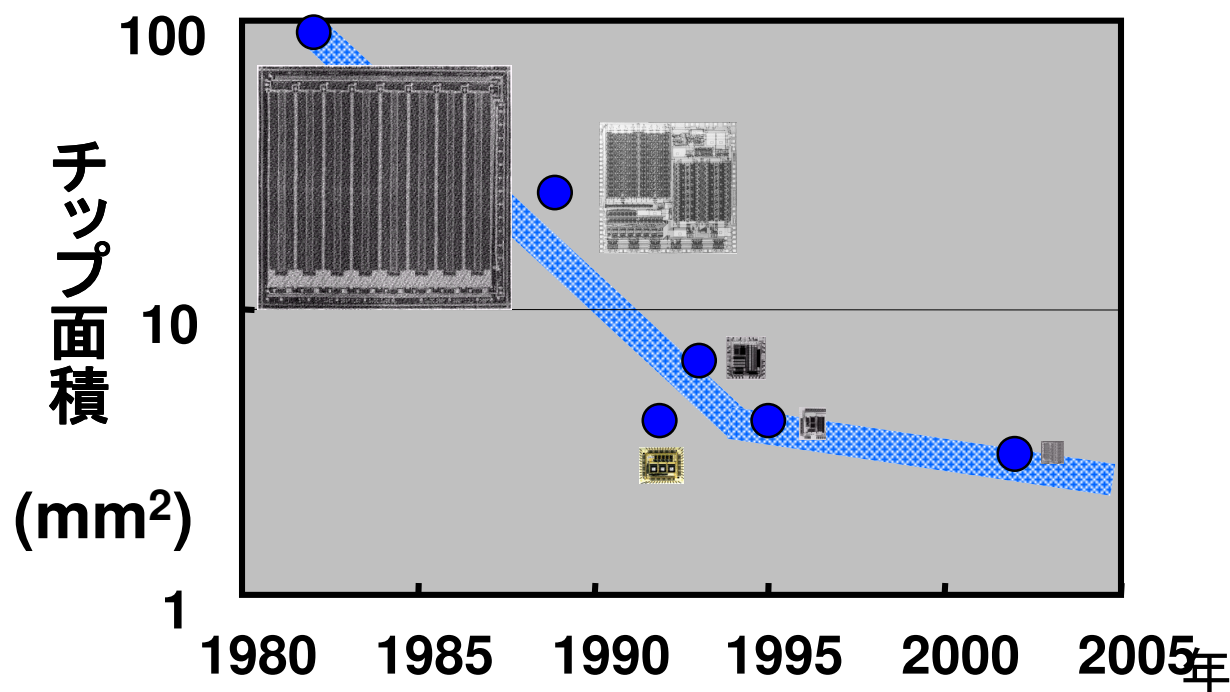
例:



デジタルオシロスコープ内のAD変換器

AD変換器の熾烈な研究開発競争

半導体プロセス、アーキテクチャ、回路構成の進歩により
性能向上スピードがデジタルLSI以上。



武蔵工大
堀田先生
作成資料

10ビットビデオ用AD変換器のチップ面積推移

テーマ2 AD変換器の高性能化技術

発表内容

- アナログ信号、デジタル信号、AD変換器
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
- まとめ

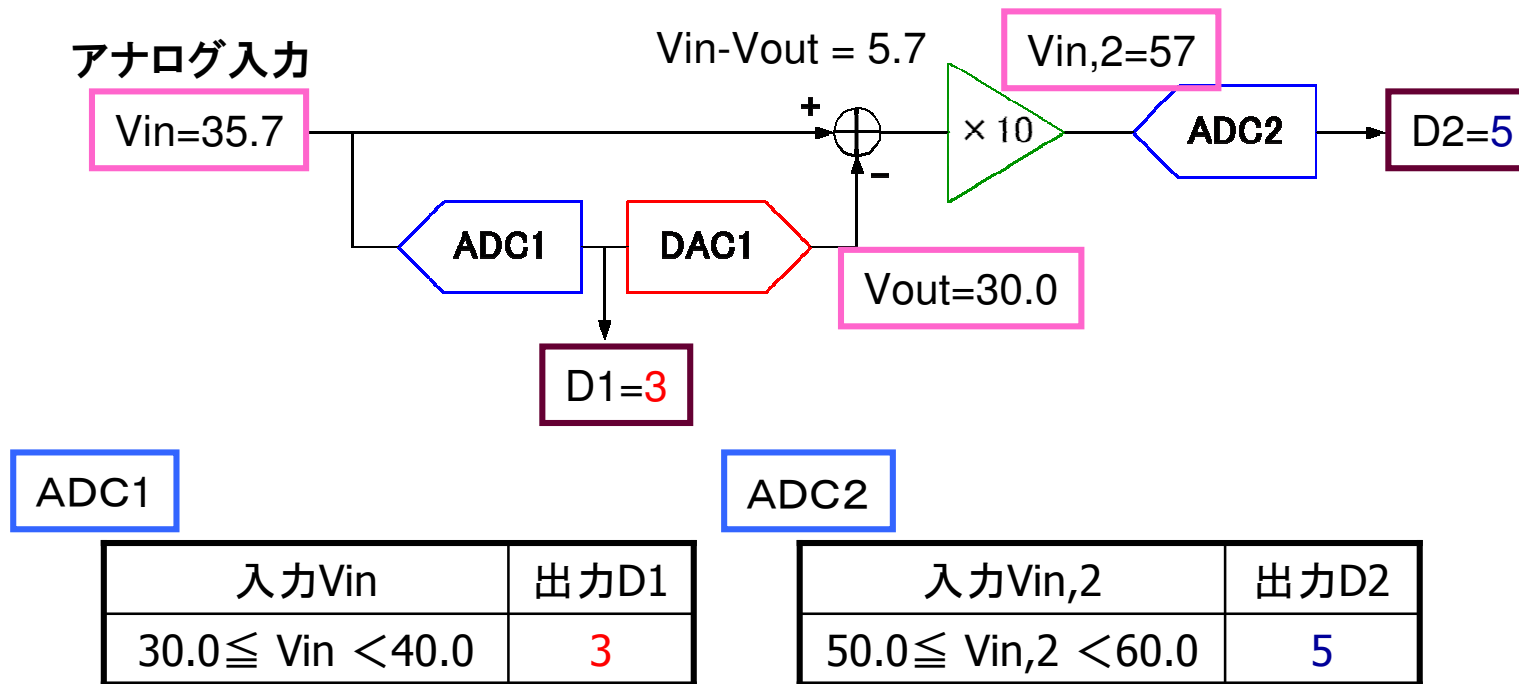
計測制御技術による

パイプラインADCの高性能化

自己校正技術

- 内部回路(DA変換器、利得アンプ)の
不正確さを計測して、
その値をテーブルに記憶。
デジタル演算で補正。
- 誤差計測回路は
パイプラインADC自体を用いる。

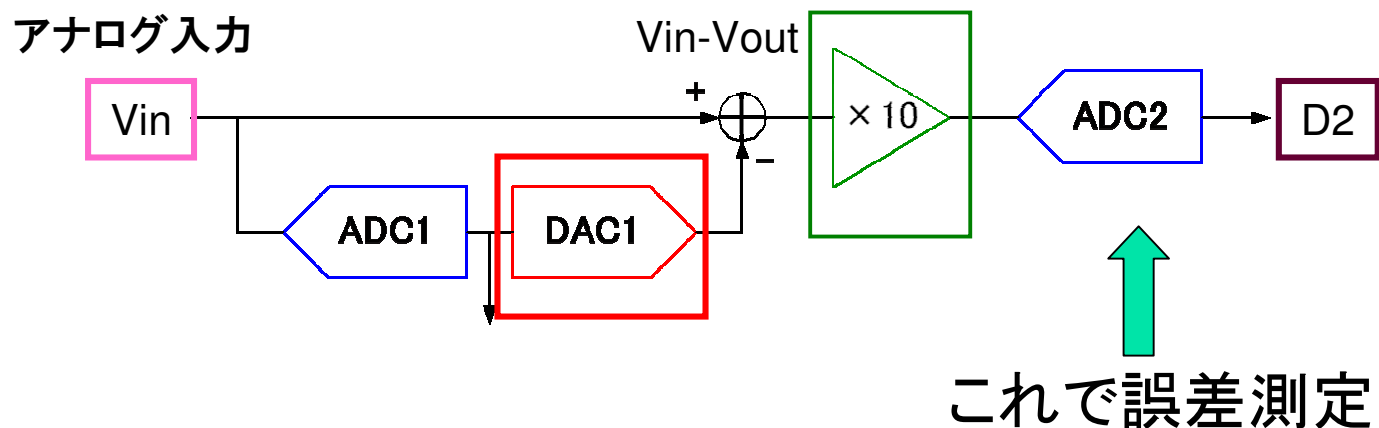
パイプラインADCの構成と動作



出力 $D_{out} = 3 \times 10 + 5 = 35$

パイプラインADC全体の 精度劣化要因

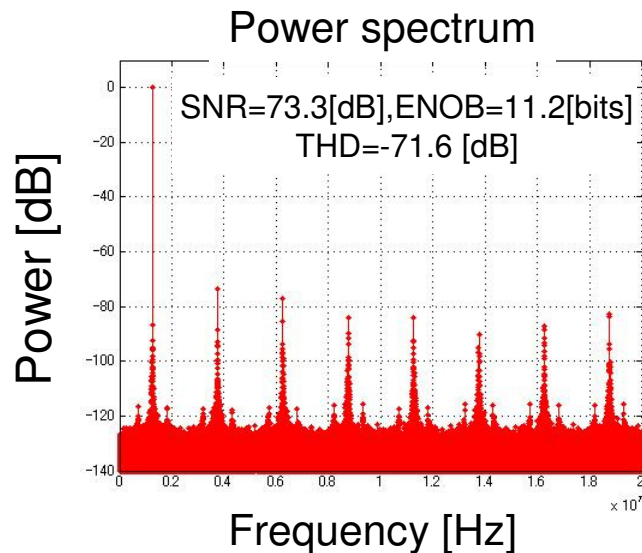
ADC1の非線形性の影響	問題	小
<u>DACの非線形性の影響</u>	問題	大
<u>段間アンプのゲイン誤差の影響</u>	問題	大



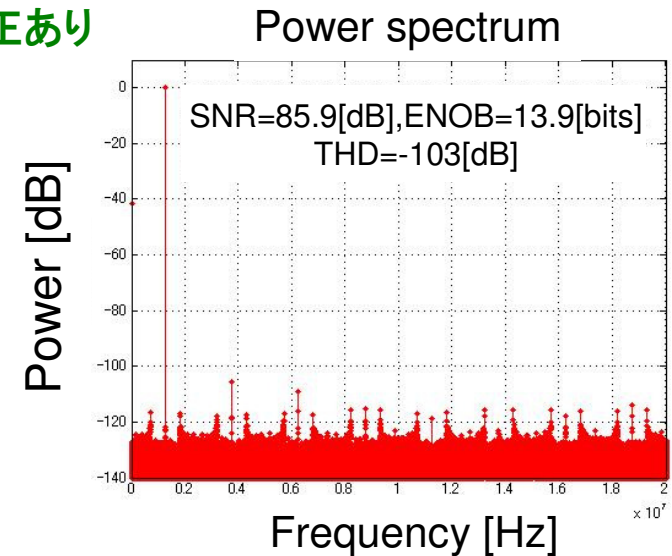
段間アンプのゲイン誤差の自己校正 (シミュレーション)

単一正弦波入力の出カパワースペクトル

自己校正なし

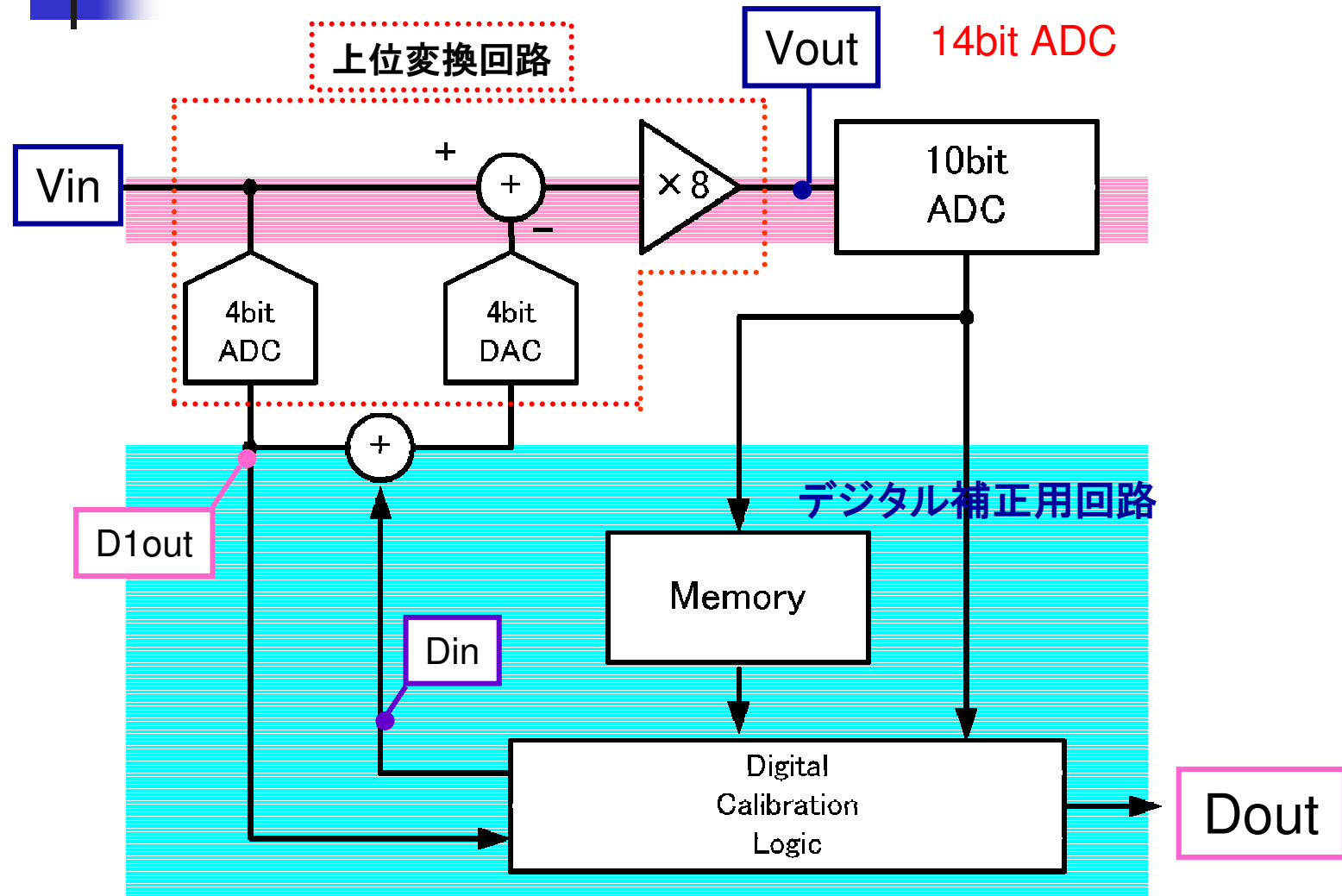


自己校正あり



SNDR 12.7dB (有効ビット2.7bits) 向上

自己校正回路を含んだ パイプラインADC全体回路

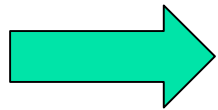




ADC自己校正と計測制御技術

- フォアグラウンド自己校正

通常動作をストップして
自己校正のための時間をもつ



計測技術

- バックグラウンド自己校正

通常動作はストップしない。
自己校正はユーザからは全く見えない。



適応制御技術

ADC自己校正技術の 理論的基礎は未解決

ADC内部回路の誤差

→ ADC内回路自体を用いて測定

→ 測定自体に誤差
測定内容も制限

どの条件で、なぜ自己校正で精度がでるのか？

結果としてADC精度確保。

個別技術では解決。

一般論では未解決。

Abidi 先生 (UCLA)
指摘

テーマ2 AD変換器の高性能化技術

発表内容

- アナログ信号、デジタル信号、AD変換器
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
- まとめ



逐次比較近似AD変換器の背景

- 高分解能
- 中速
- 低消費電力
- 小型・小チップ面積

産業界で広く使用

- 車載用マイコンに混載
- ペンデジタイザ
- 工業用制御機器

- 大部分がデジタル回路で構成
ナノCMOSでの実現に適す



計測制御技術による

逐次比較近似ADCの高性能化

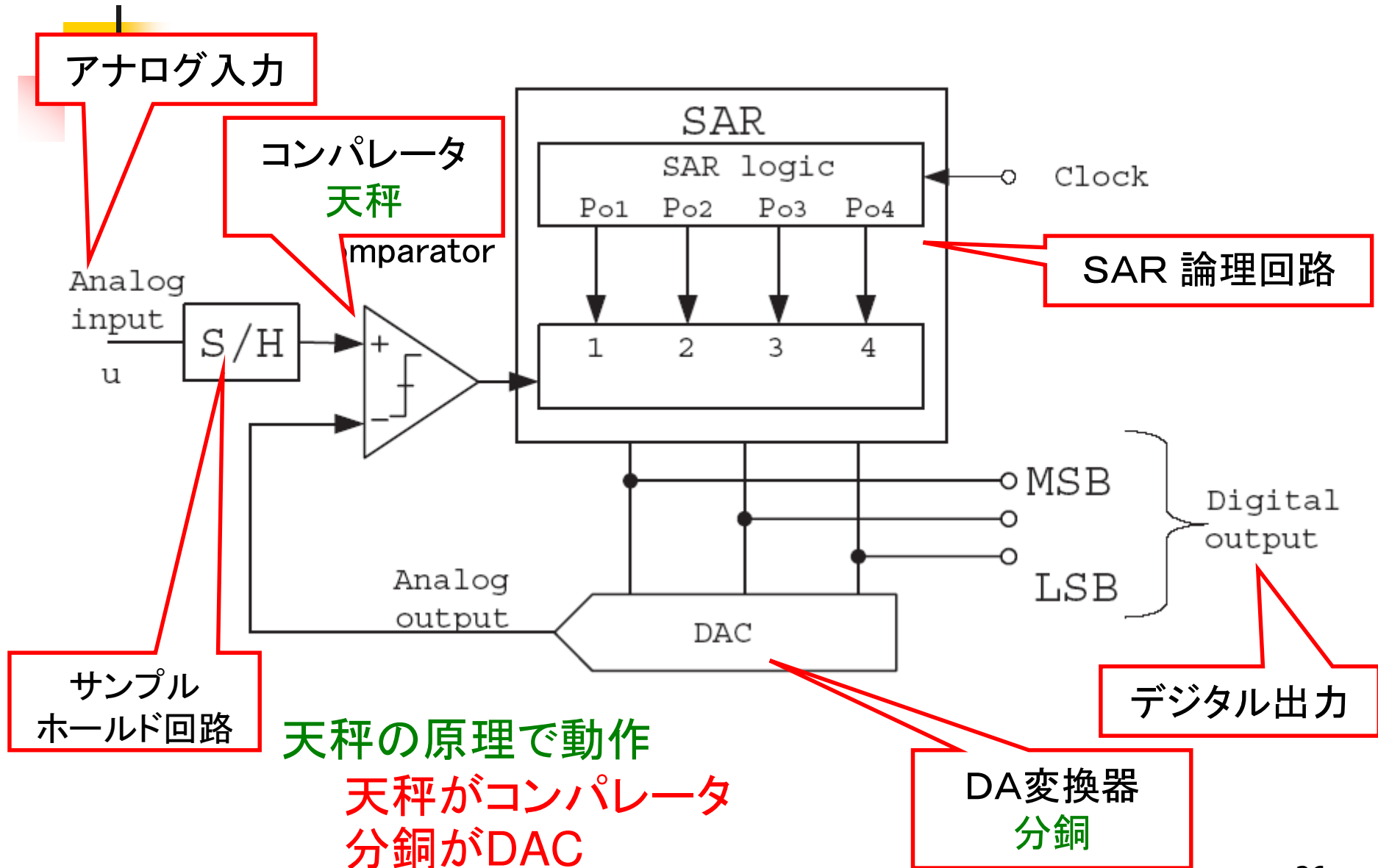
デジタル誤差補正技術により

- 高信頼性化
- 高速化

冗長性をもち、回路の非理想要因を許容して正解を出力。

非理想要因は計測しない。

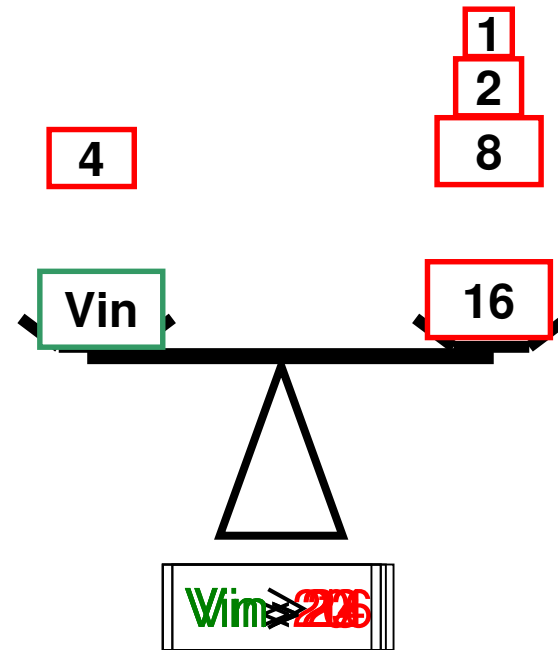
逐次比較近似ADCの構成と動作



	1	2	3	4	5
31					
30					
29					
28					
27					
26					
25					
24					
23					
22					
21					
20					
19					
18					
17					
16					
15					
14					
13					
12					
11					
10					
9					
8					
7					
6					
5					
4					
3					
2					
1					
0					

5ビット 逐次比較近似ADC 2進探索アルゴリズム動作

23.5 動作例: アナログ入力 23.5 のとき



$$\boxed{\text{Vin}} = \begin{matrix} \boxed{1} \\ \boxed{2} \\ \boxed{8} \\ \boxed{16} \end{matrix} - \boxed{4} = \boxed{23}$$

2進探索アルゴリズム コンパレータ誤判定時の動作



$V_{in}=23.5$ 動作例: アナログ入力 23.5 のとき

1ステップ目で誤判定したとき

誤差大

デジタル
出力15

誤判定

$V_{ref}(1)=16$

$V_{ref}(2)=8$

$V_{ref}(3)=12$

$V_{ref}(4)=14$

$V_{ref}(5)=15$

デジタル出力 15

非2進探索 冗長アルゴリズム

kステップ目の判定 $d(k) : +1$ or -1

2進探索アルゴリズム

$$D_{out} = 2^4 + d(1)2^3 + d(2)2^2 + d(3)2^1 + d(4) + d(5)0.5 - 0.5$$

非2進アルゴリズム: 5ビット分解能を6ステップで実現。

従来の非2進探索アルゴリズム

$$D_{out} = 2^4 + d(1)\gamma^4 + d(2)\gamma^3 + d(3)\gamma^2 + d(4)\gamma^1 + d(5) + d(6)0.5 - 0.5$$

$$1 < \gamma < 2$$

アルゴリズムが一意的に決まる。 $\gamma = 2^{\frac{5}{6}}$

非2進探索アルゴリズムの一般化

$$D_{out} = 2^4 + d(1)p(2) + d(2)p(3) + d(3)p(4) + d(4)p(5) + d(5)p(6) + d(6)0.5 - 0.5$$

$p(k)$ を自由に決める。 $p(k)$:分銅の重さ

非2進探索アルゴリズムの デジタル誤差補正原理

入力5のとき

2進探索

判定出力: 101

$$D_{out} = 4 + 2 - 1 + 0.5 - 0.5 = 5$$

非2進探索

2通り

判定出力: 1101

$$D_{out} = 4 + 1 + 1 - 1 + 0.5 - 0.5 = 5$$

判定出力: 0111

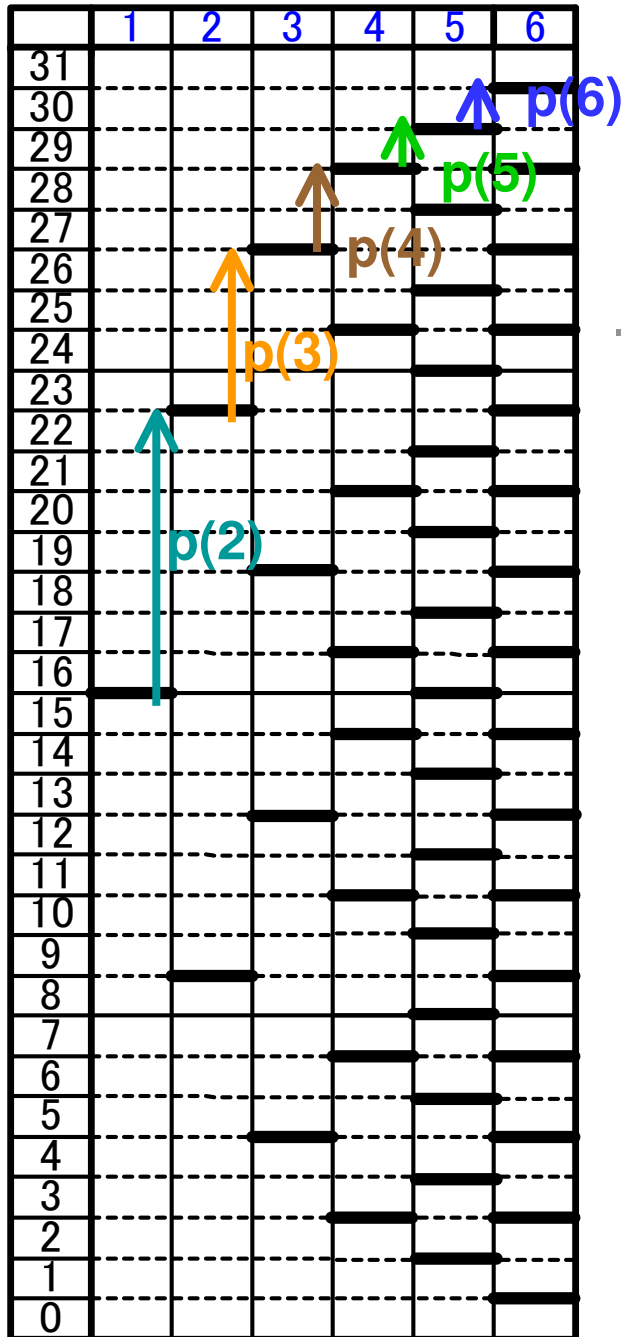
$$D_{out} = 4 - 1 + 1 + 1 + 0.5 - 0.5 = 5$$

1ステップ目で判定誤りをしてしても補正できる

非2進探索アルゴリズム

5ビット分解能(32レベル)

6ステップ (k=1,...,6)の場合



$$p(2)=7$$

$$p(3)=4$$

$$p(4)=2$$

$$p(5)=1$$

$$p(6)=1$$

分銅の重さに対応

と設計する。

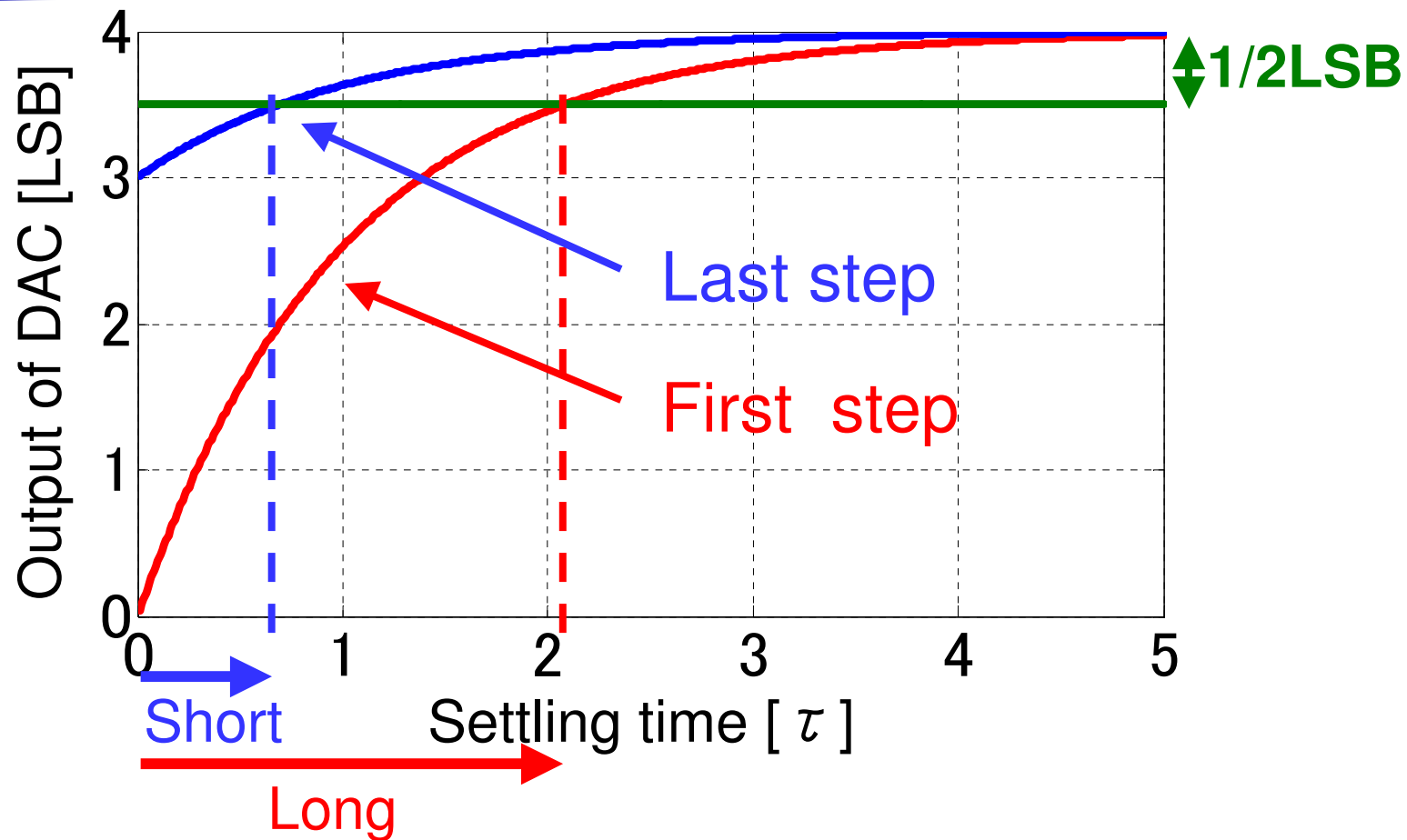
$$2^{5-1} = 1 + p(2) + p(3) + p(4) + p(5) + p(6)$$

$$2^4 = 1 + 7 + 4 + 2 + 1 + 1 = 16$$

$$2^{N-1} = 1 + \sum_{i=2}^M p(i)$$

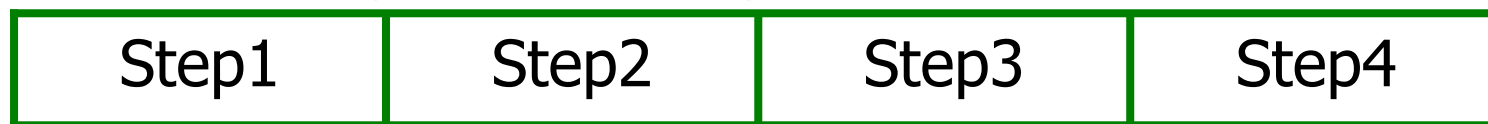
を満たしている

参照電圧発生用の 内部DA変換器の整定時間



非2進探索アルゴリズムによる AD変換 高速化 (原理説明)

Binary search algorithm



Exact DAC settling → Long
time

A/D conversion time

Non-binary search algorithm



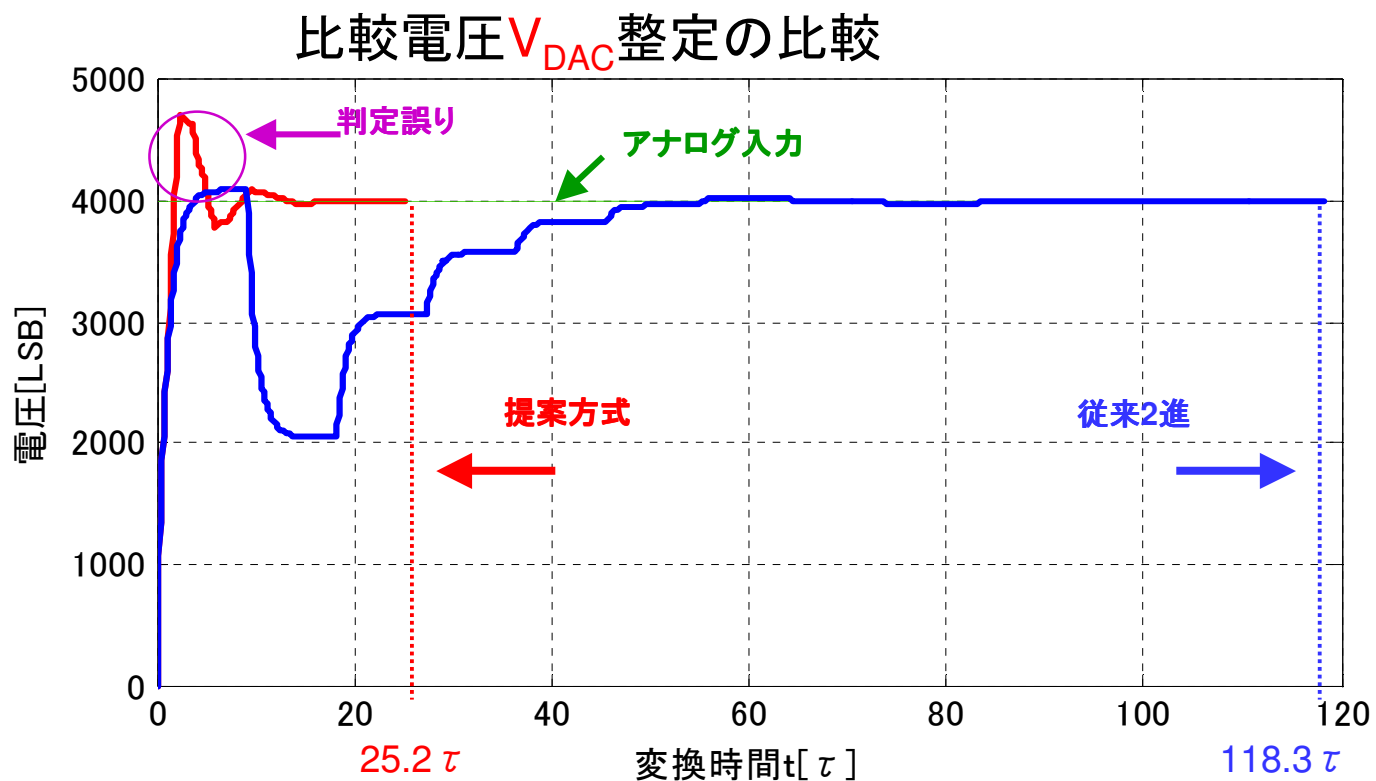
Correct incomplete settling error.

Incomplete DAC settling → Short

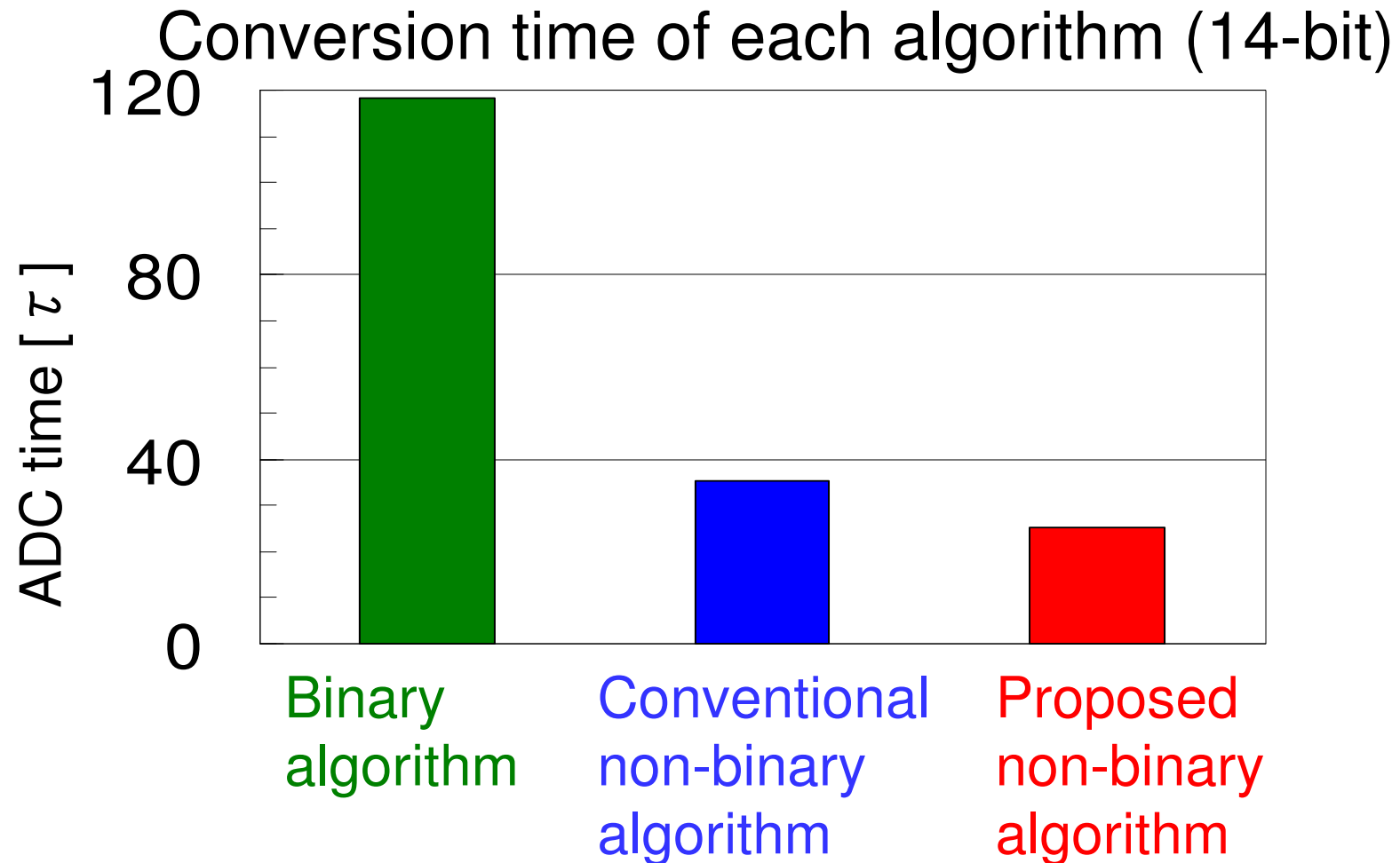
非2進探索アルゴリズムによる AD変換 高速化 (シミュレーション確認)

従来2進: 14ビット14ステップ 1サイクル 9.1τ

提案非2進: 14ビット22ステップ 1サイクル 1.2τ



AD変換スピードの比較





逐次比較ADCへの期待

- 昔からの方式
 - 産業界で広く使用
 - 微細CMOS実現での研究活発
 - 冗長アルゴリズム(信号処理技術)
 - ➡ デジタル回路部だけの設計変更で
 - 高信頼性化
 - 高速化
- が可能。



まとめ

- AD変換器

➡ デジタル技術を支えるアナログ技術

- AD変換器の高性能化の最先端

自己校正（高精度化）

➡ 計測制御技術

誤差補正（高速化）

➡ 信号処理技術

テーマ 3



時間分解能アナログ回路

テーマ3 時間分解能アナログ回路

発表内容

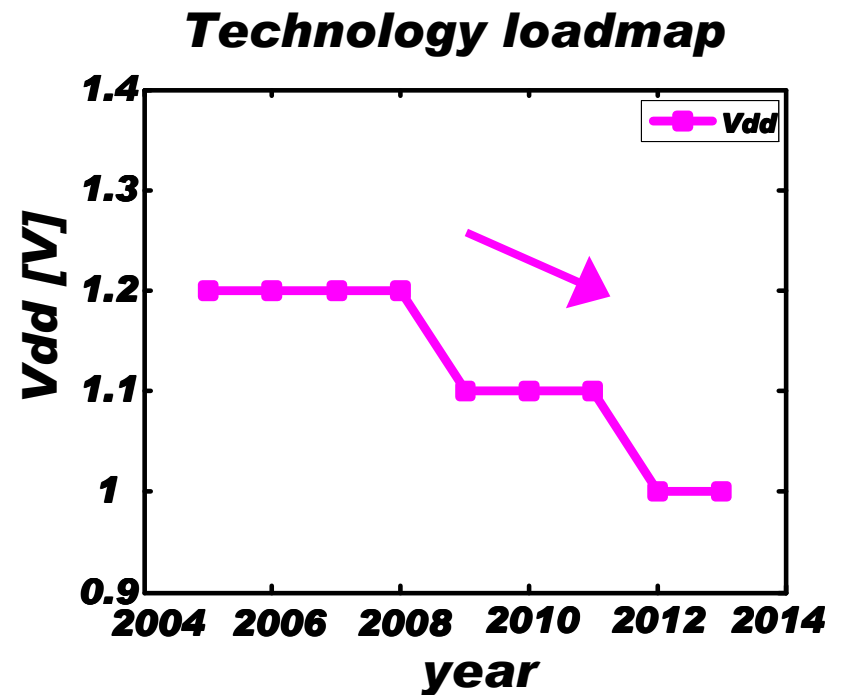
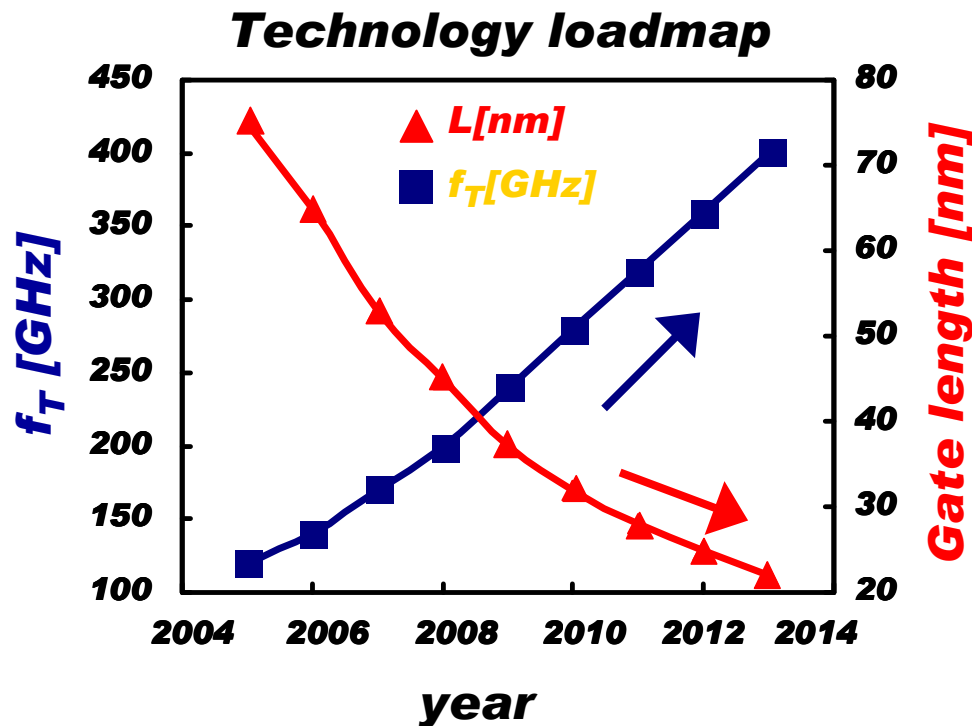
- ナノCMOSでのアナログ回路設計
- 時間分解能アナログ回路

テーマ3 時間分解能アナログ回路

発表内容

- ナノCMOSでのアナログ回路設計
- 時間分解能アナログ回路

半導体はナノの時代へ



□ **CMOS**プロセス微細化 ⇒ 高速動作（時間領域:分解能向上）

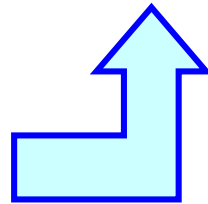
耐圧低下 ($V_{dd} \rightarrow$ 小), ドレイン抵抗 \rightarrow 小

ナノCMOSでのアナログの パラダイムシフトの必要性

■ 近年、LSIの超大規模化・超微細化

■ デジタル回路

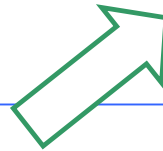
- ・チップ面積縮小
- ・高速動作
- ・低消費電力



必ずしも微細化の恩恵
を受けるわけでない

■ 従来アナログ回路

- ・素子ばらつきが増大
- ・低電圧化によるSNR劣化

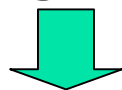


- ・短チャネル効果
- ・狭チャネル効果
- ・スレッショルド電圧ミスマッチ
- ⋮

半導体プロセスと回路

— 目的と手段 —

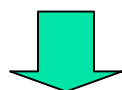
「デジタルは半導体プロセス微細化のトレンドに適合。
アナログは適しているとは限らない。」



半導体ロードマップの呪縛にかかった発想・表現

半導体プロセスの微細化はデジタルの低消費電力・
高速・高集積化・低コスト化のために行う。

デジタルでメリットなければ半導体微細化をする理由なし。



微細化プロセスでもデジタルは必ず動く、高性能・低コスト。



デジタル・アシスト・アナログ技術

CMOS微細化にともない

→ デジタルは大きな恩恵

高集積化、低消費電力化、高速化、低コスト化

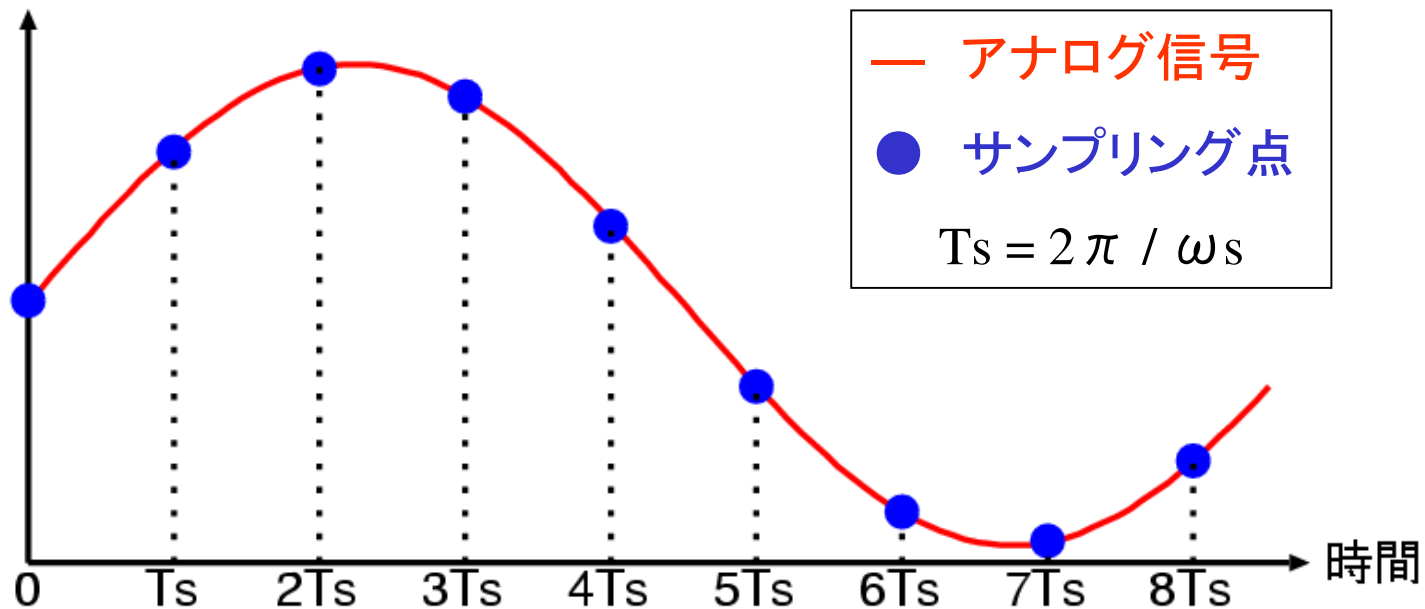
→ アナログは必ずしも恩恵を受けない

電源電圧低下、出力抵抗小、ノイズ増大

- 「デジタル技術を用いてアナログ性能向上する技術」が重要
- 「デジタルリッチ・アナログミニマムな構成」が重要
- SOC内 μ Controller はPAD程度のチップ面積

デジタル信号の特徴(1)

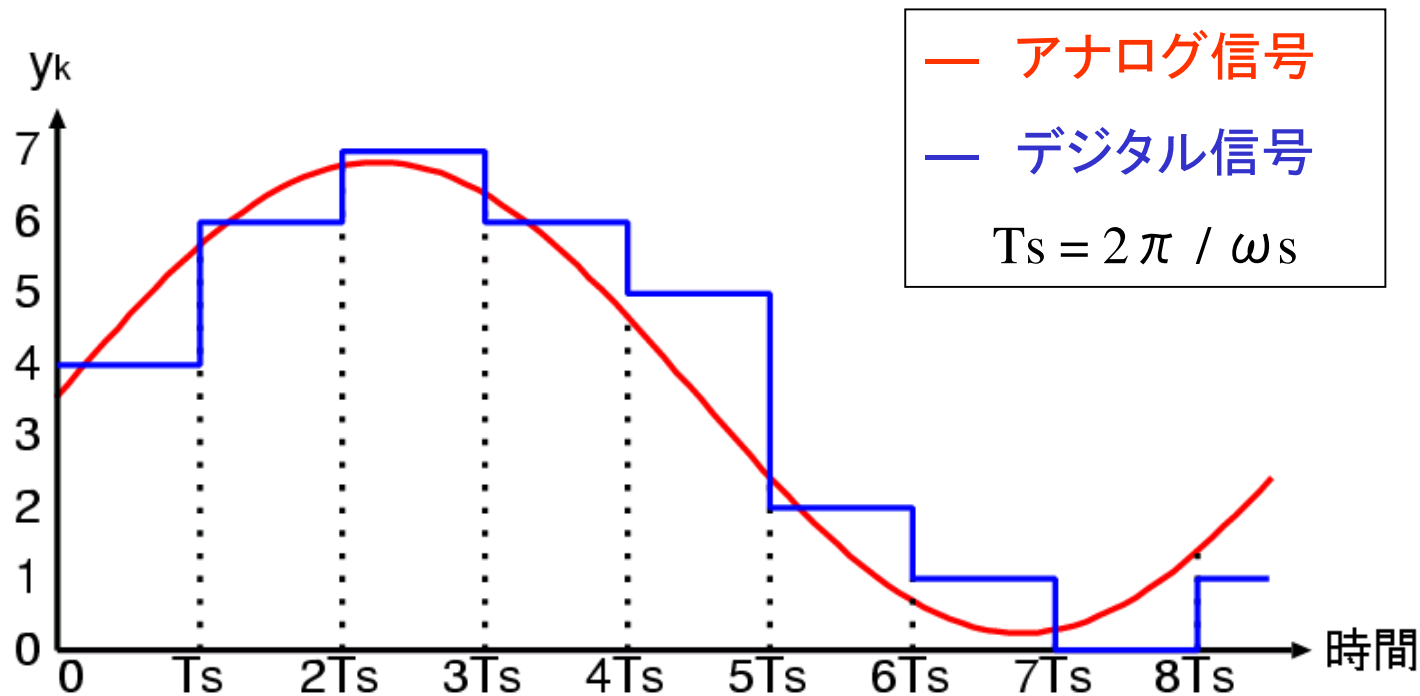
時間の離散化 (サンプリング)



一定時間間隔のデータを取り、間のデータは捨ててしまう。

デジタル信号の特徴(2)

振幅の離散化 (信号レベルの数値化)



デジタル信号はアナログ信号レベルを
四捨五入(または切り捨て)

回路技術の4つの領域

- 小室貴紀氏との議論 -

	振幅 連続	振幅 離散
時間 連続	領域1 アナログ	領域3 TDC、PWM
時間 離散	領域2 スイッチドキャパシタ サンプリング回路	領域4 デジタル

領域1: バイポーラ、化合物が得意

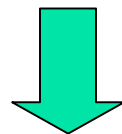
領域2, 3, 4: CMOSが得意

4つの領域 全てを用いるのが ナノCMOSアナログ回路技術

ナノCMOS 時代の新アナログ

微細CMOSでアナログ高性能化

- 微細デジタルCMOS
- 4つの回路領域を全て用いる
- デジタルリッチ、高速サンプリング、時間領域
- 回路、設計手法、検証手法、テストをデジタル的に行う



- 小チップ面積、低消費電力、高性能化
- 設計容易化
- プロセス・ポータビリティ、スケーラビリティ
- 初回の試作で動作

テーマ3 時間分解能アナログ回路

発表内容

- ナノCMOSでのアナログ回路設計
- 時間分解能アナログ回路

時間領分解能アナログ回路

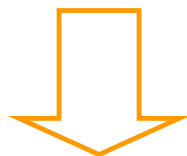
(領域3: 振幅離散、時間連続)

- CMOSの微細化、電源電圧の低下

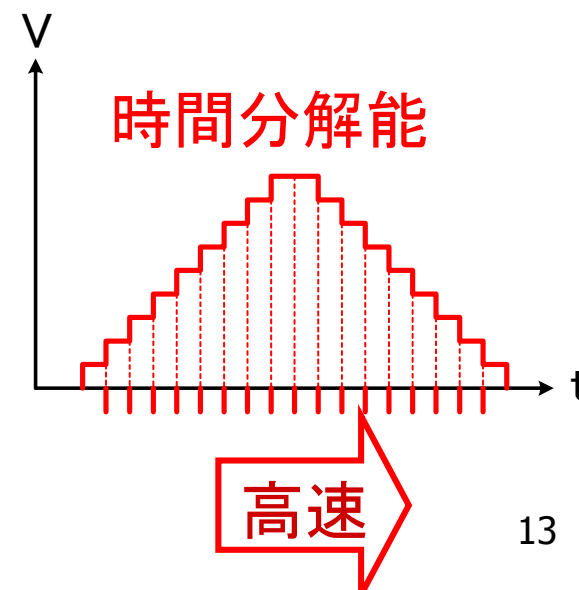
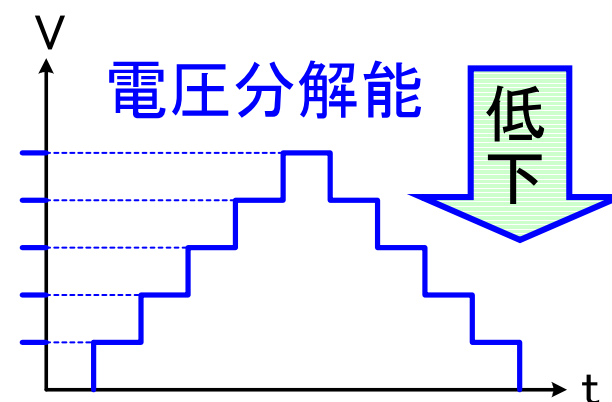
$V_{dd} \rightarrow$ 小 (1V以下)
スイッチング時間 \rightarrow 高速
(数十ピコ秒)

- 微細CMOS高性能化のためには

アナログ信号での電圧分解能



デジタル信号端遷移の時間分解能



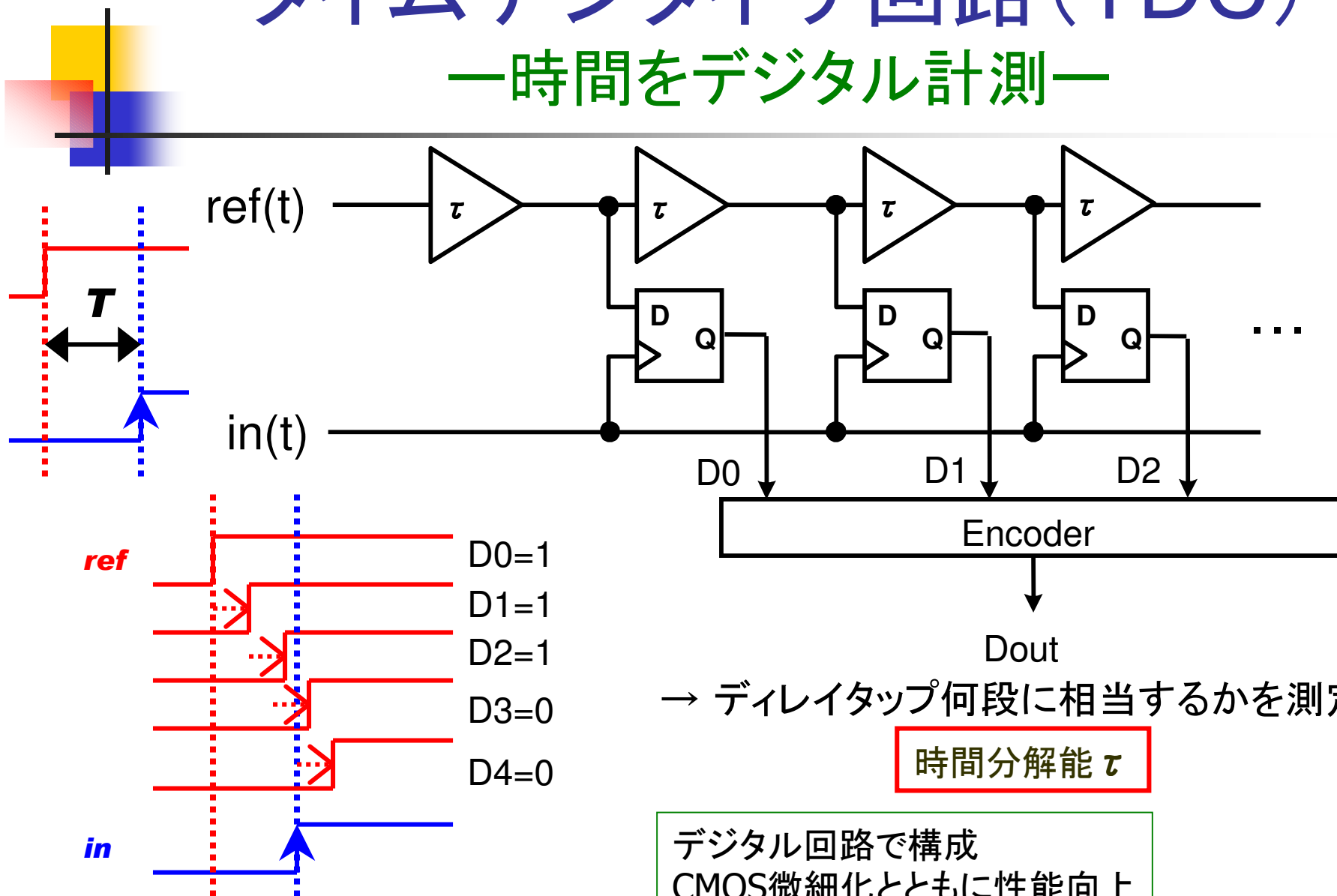


2名のパイオニア、中心人物

- **CMOS TDC 回路**の考案者
日本人の高エネルギー加速器実験の研究者
新井康夫 氏
1988年 VLSI Circuit Symp にて発表
- **All Digital PLL** の考案者
Bogdan Staszewski 氏 (元 TI社)
同社にてDigital Radio Processor のプロジェクト推進
「微細MOSにては、
時間分解能は電圧分解能より優れている。」

タイムデジタイザ回路 (TDC)

— 時間をデジタル計測 —

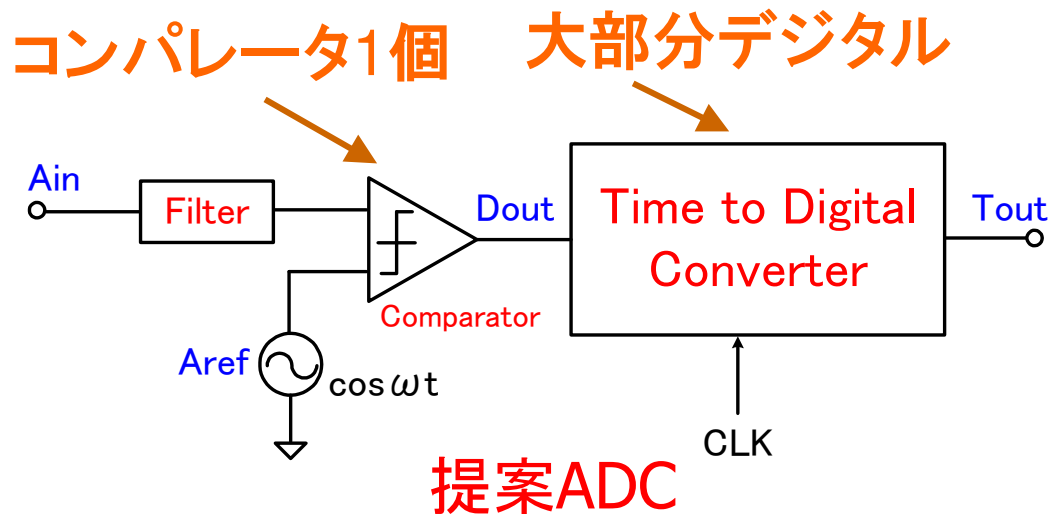


→ デイレイタップ何段に相当するかを測定

時間分解能 τ

デジタル回路で構成
CMOS微細化とともに性能向上

時間領域ADC



群馬大学
社会人博士修了
小室貴紀氏
考案

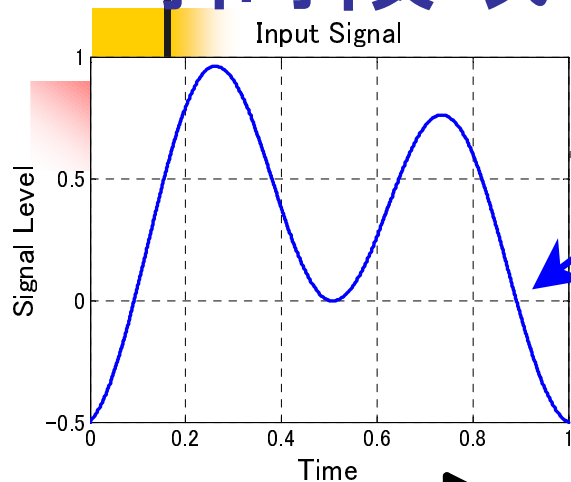
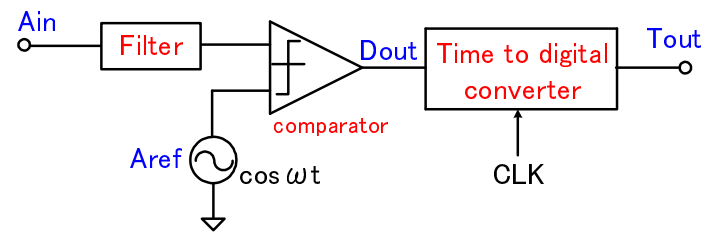
- 高速、高精度なサンプルホールド回路不要
- 非同期サンプリング
- デジタル信号処理が複雑

アナログの問題

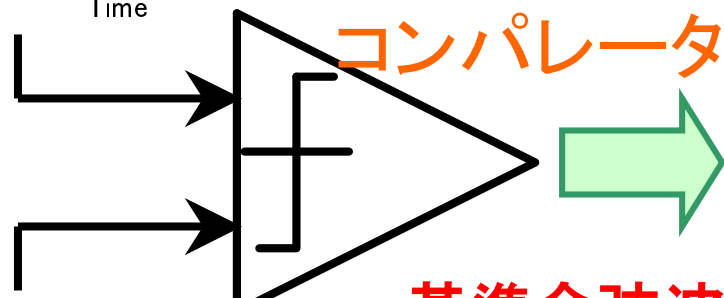


デジタルの問題

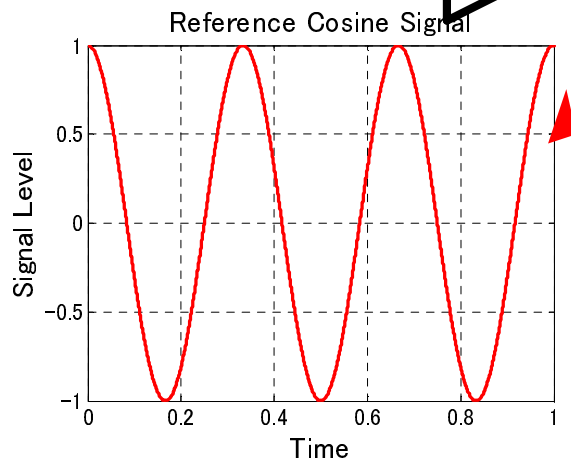
時間領域ADCの動作



入力信号

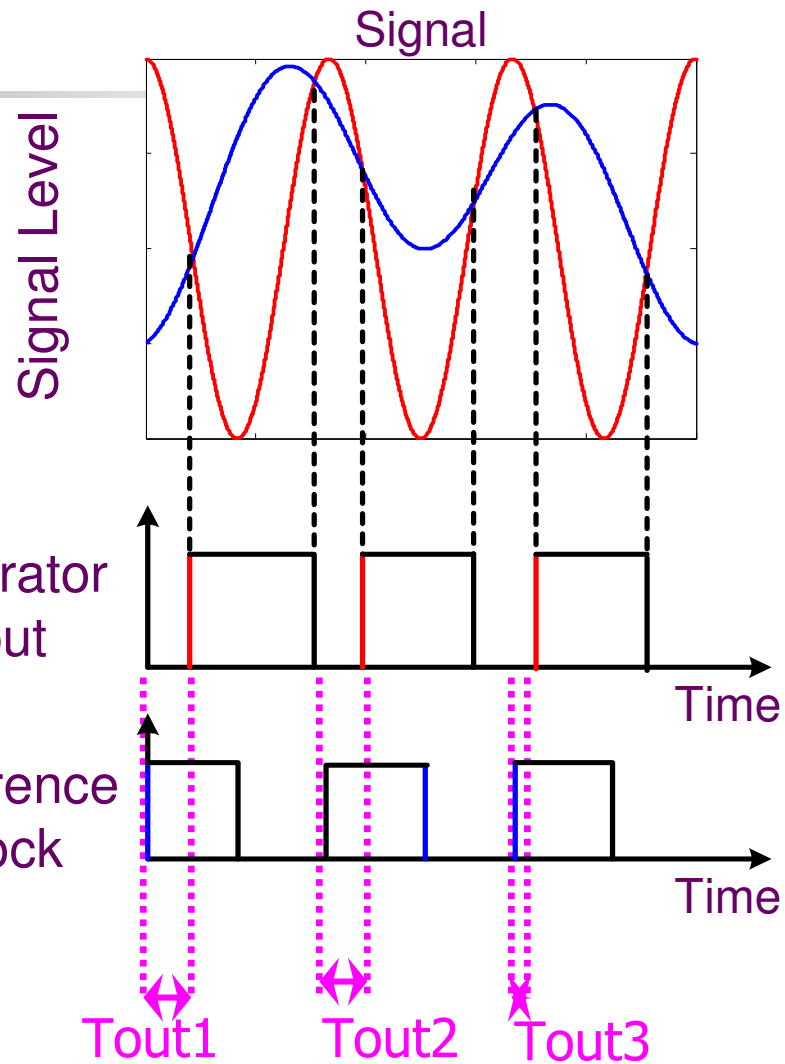


Comparator Output

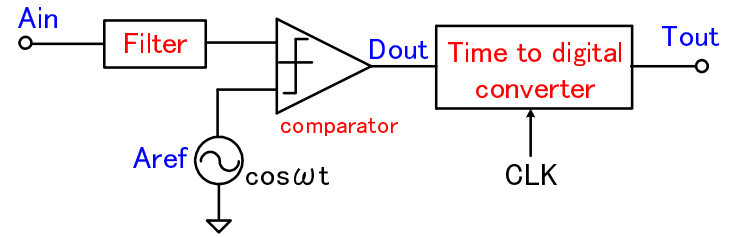


基準余弦波

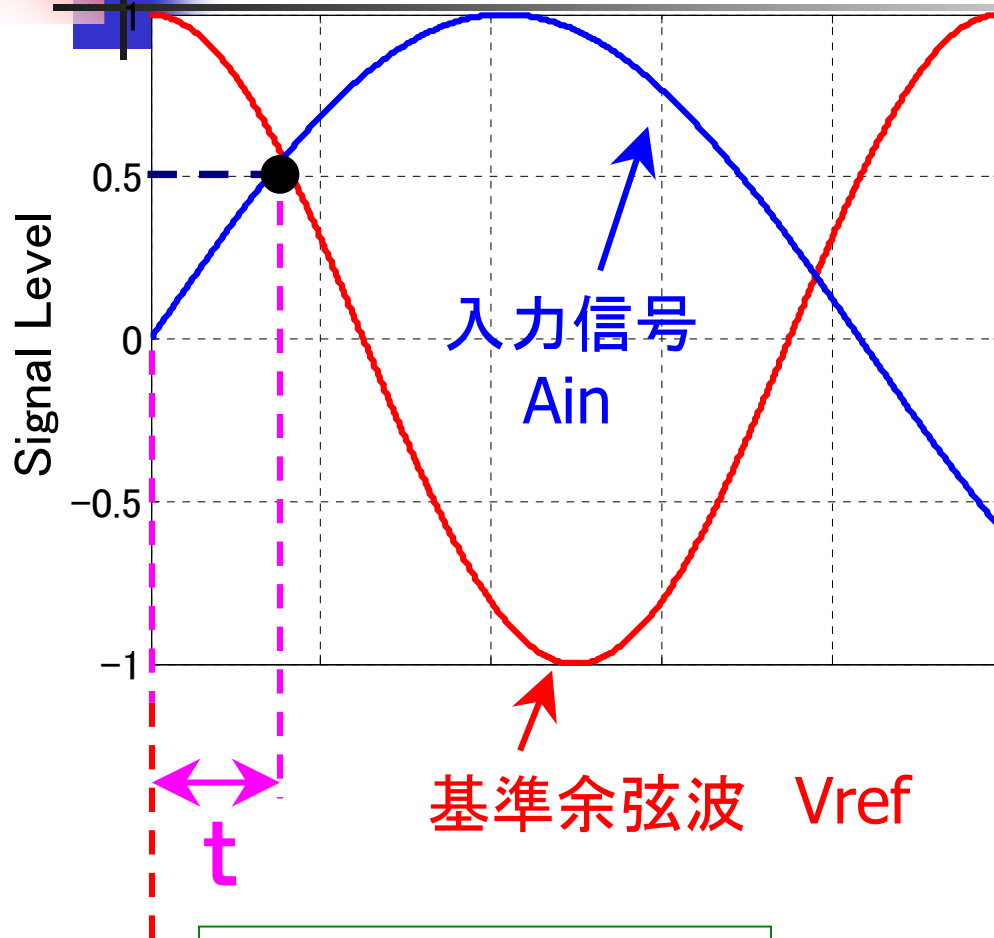
クロック周期 = 基準余弦波周期



時間領域ADCの原理

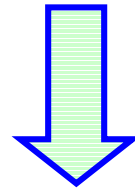


Sampling Principle



非同期サンプリング

時間tを測定



基準余弦波から振幅

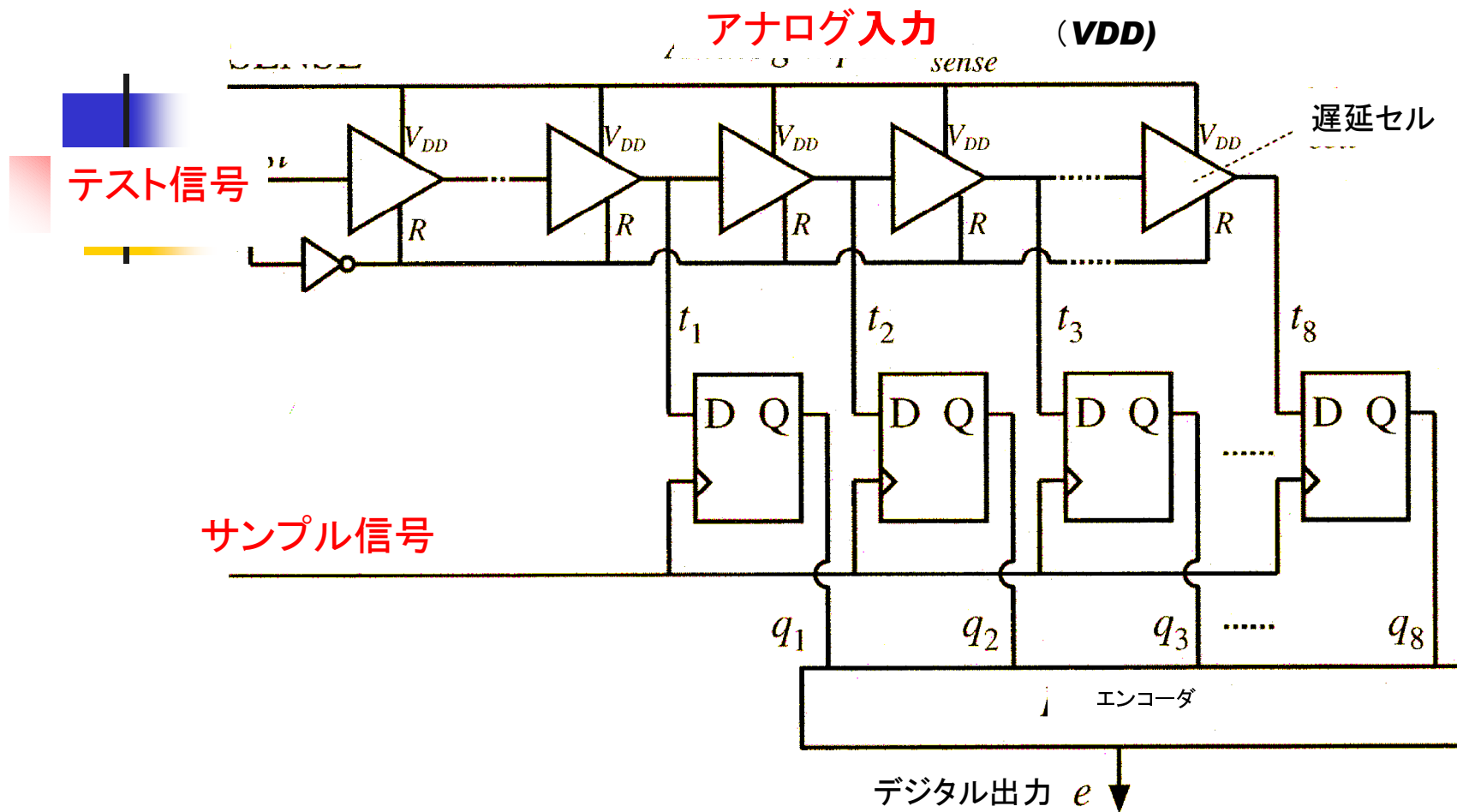
基準余弦波: $V_{ref}(t) = A \cos\left(2\pi \frac{t}{T}\right)$

$$A \cos\left(2\pi \frac{t}{T}\right) = A_{in}(t)$$

$$\therefore t_n = T \arccos\left(\frac{A_{in}(t)}{A}\right)$$

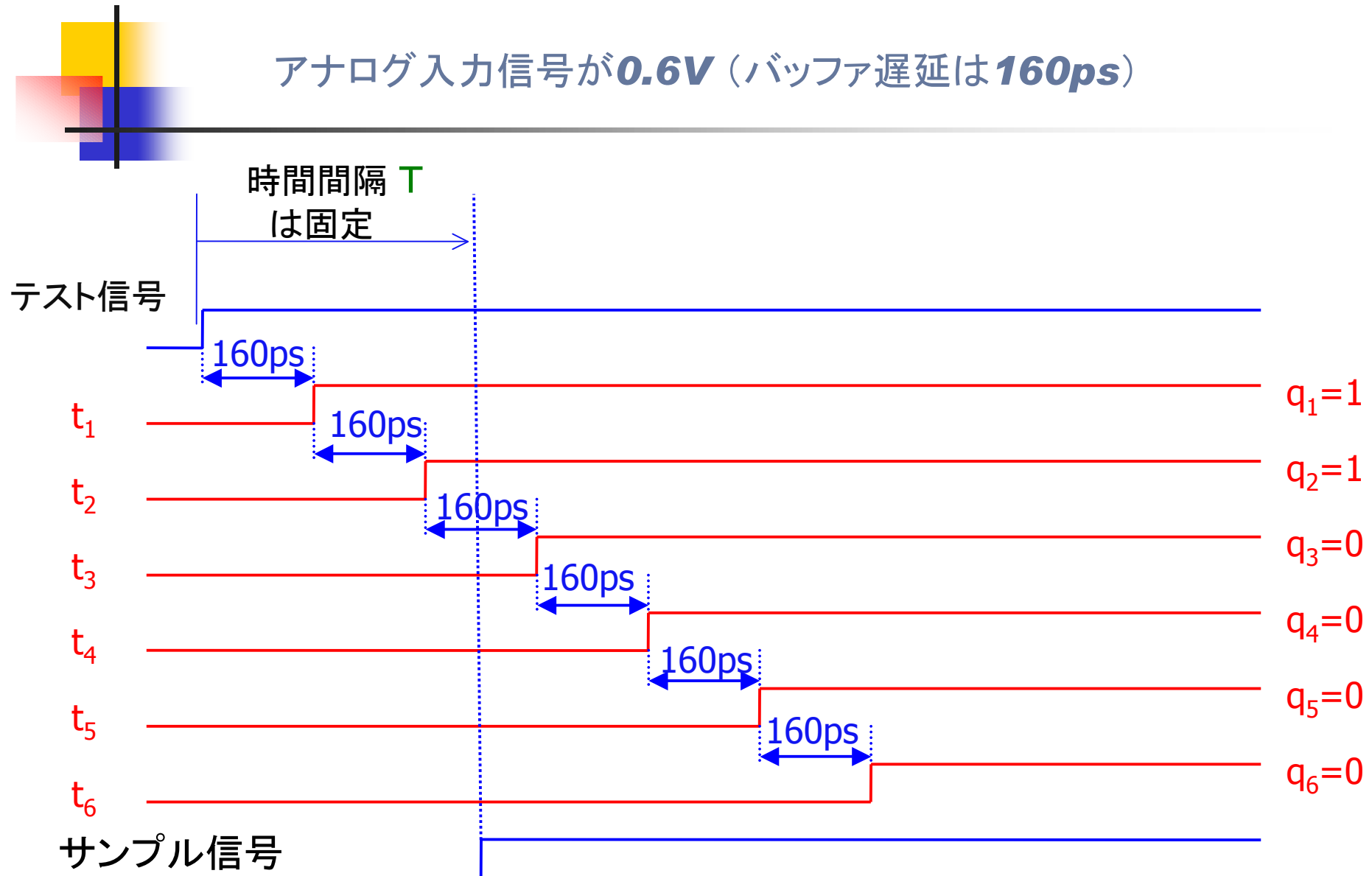
TDCを用いたデジタル制御電源用AD変換器

コロラド大学(米)

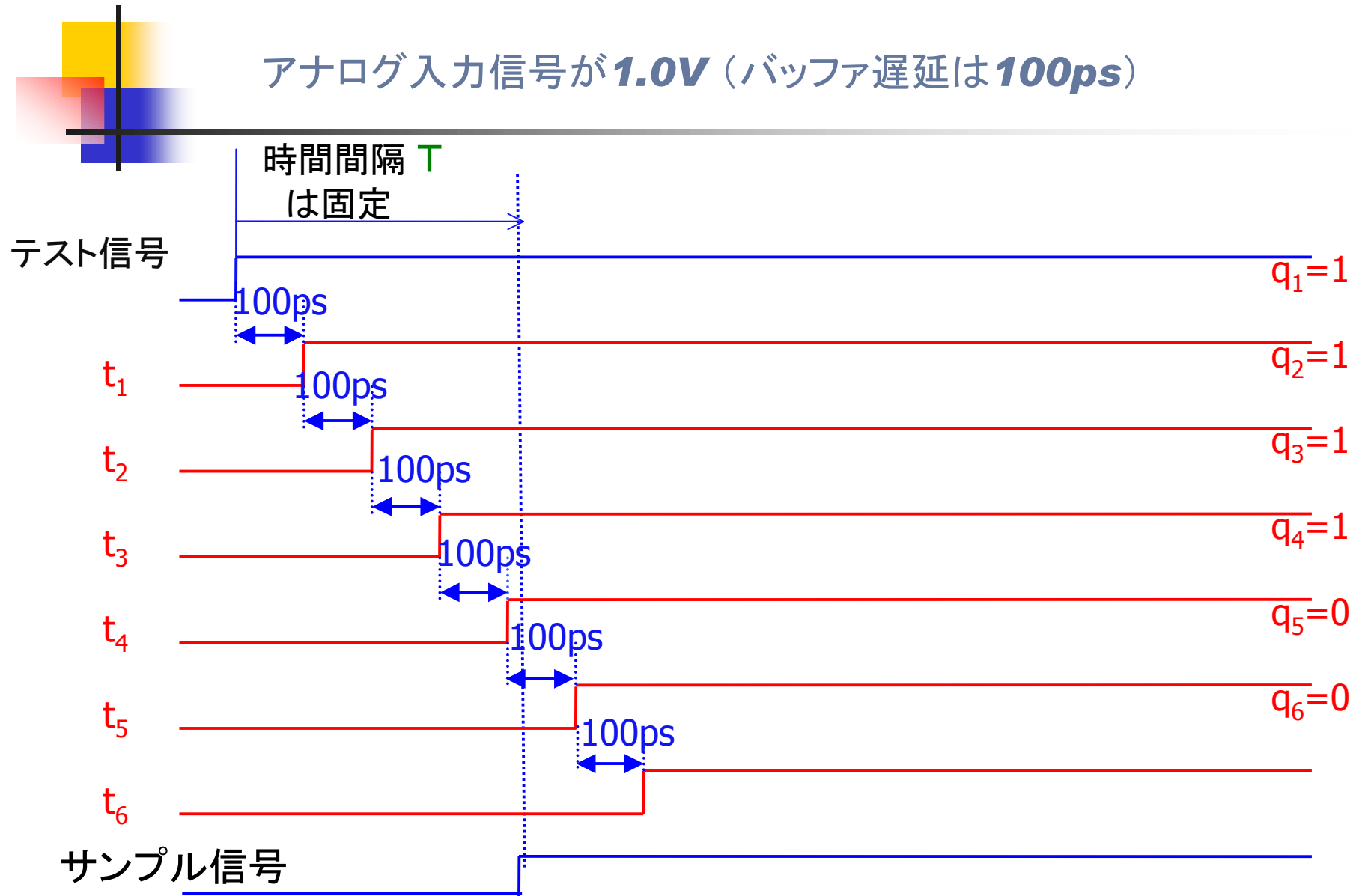


TDCを用いたデジタル制御電源用AD変換器の動作

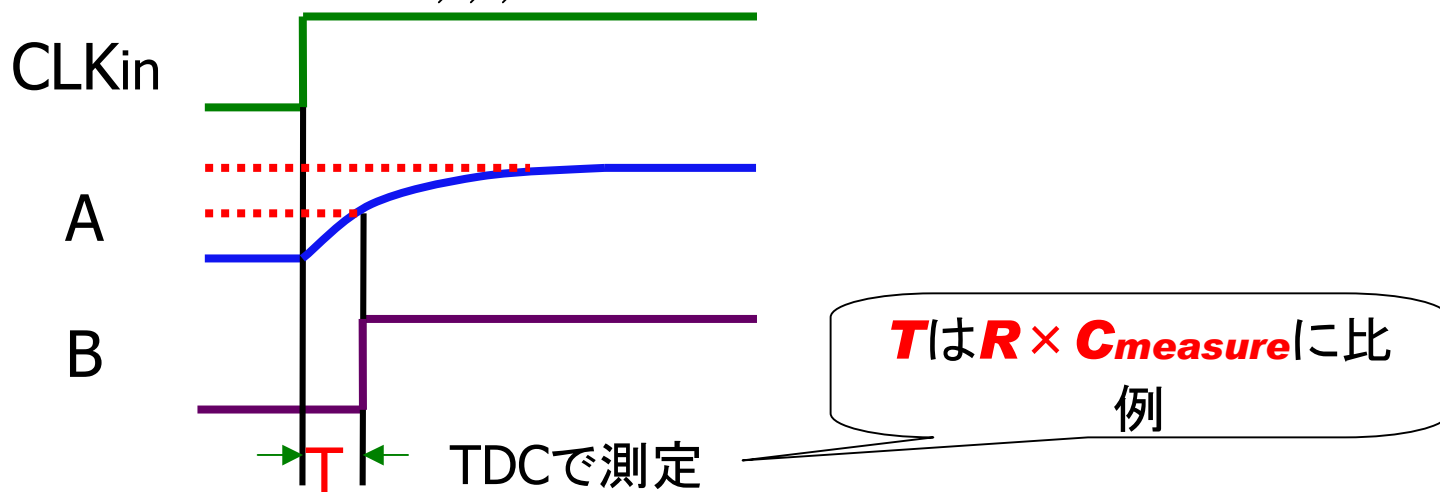
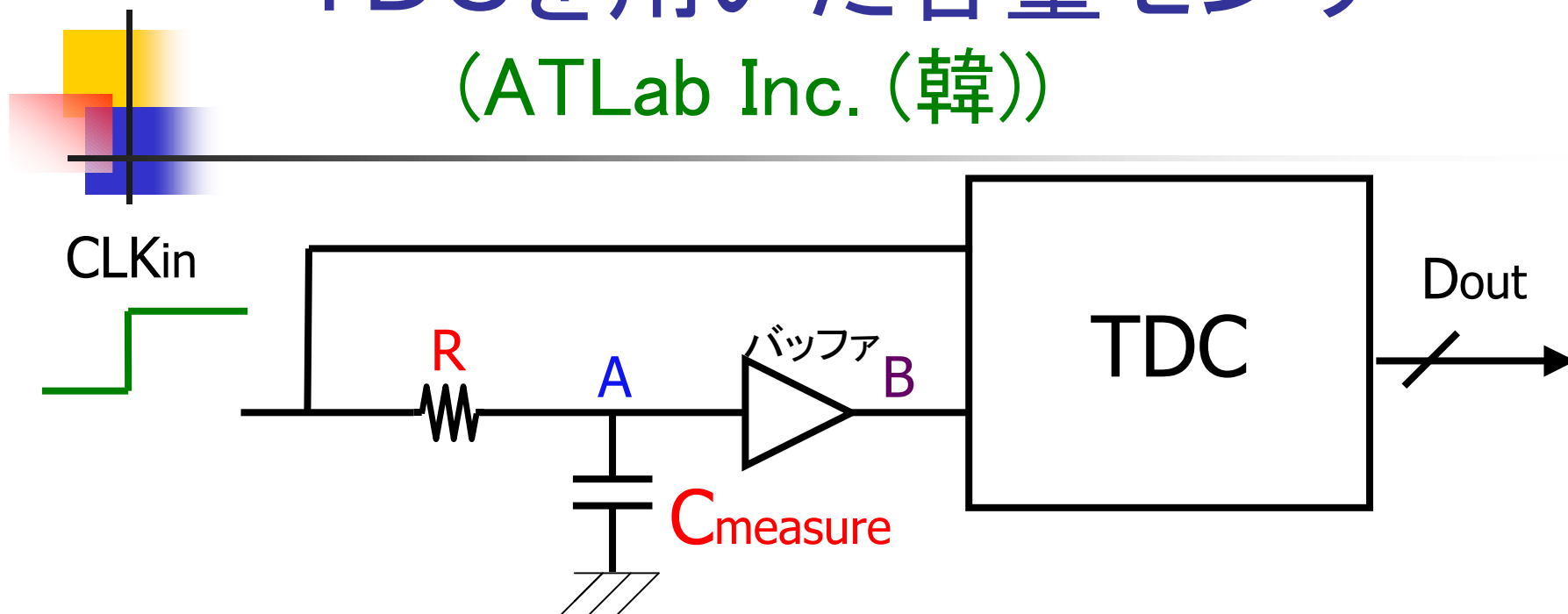
アナログ入力信号が**0.6V** (バッファ遅延は**160ps**)



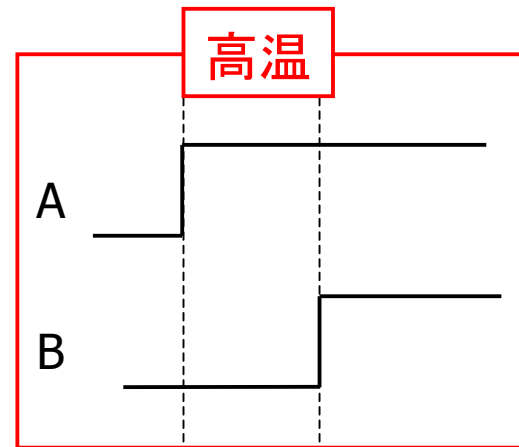
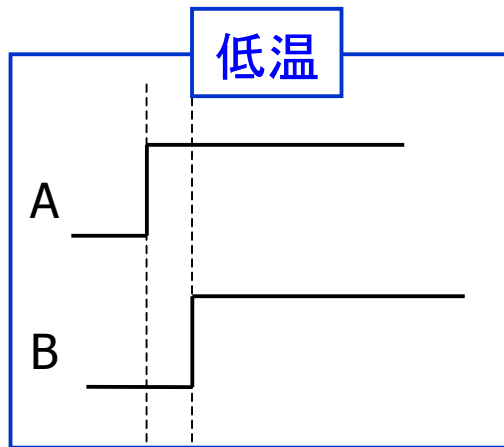
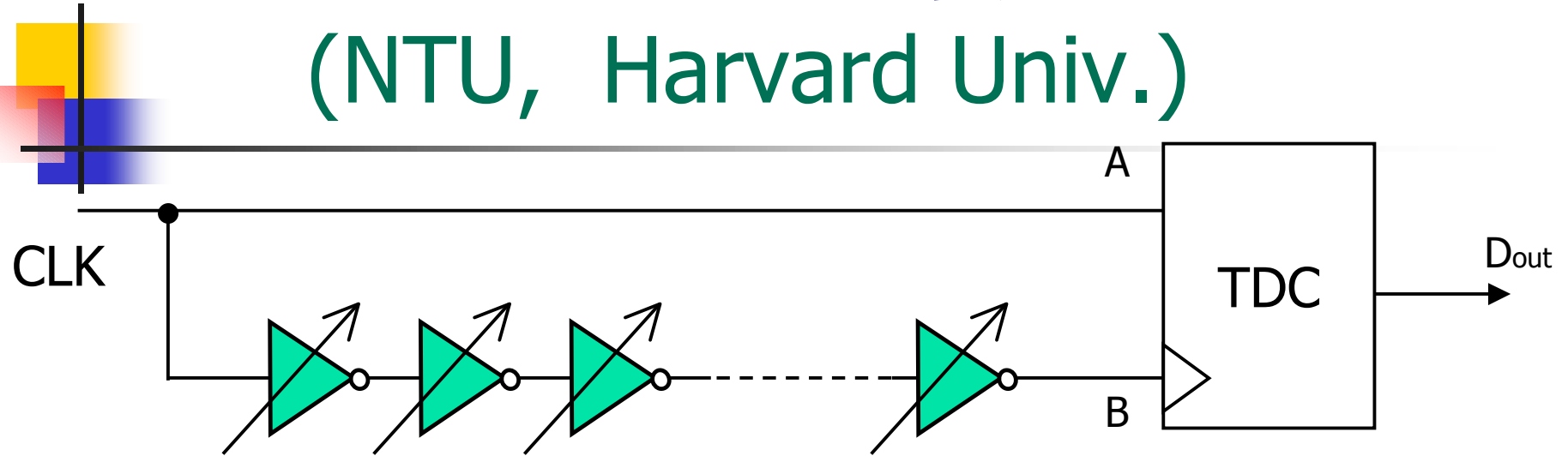
TDCを用いたデジタル制御電源用AD変換器の動作



TDCを用いた容量センサ (ATLab Inc. (韓))

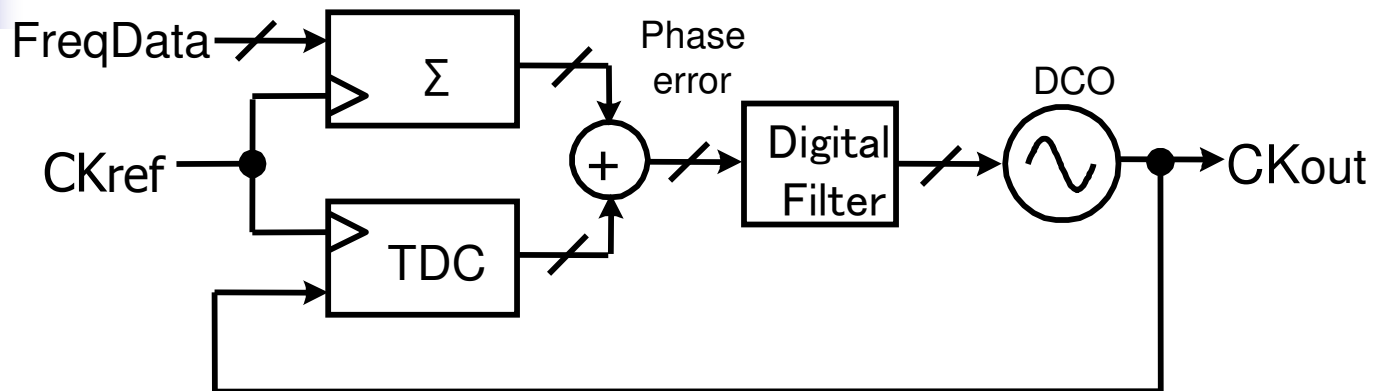


TDCを用いた温度センサ (NTU, Harvard Univ.)



温度 → 遅延 → TDCで測定

All Digital PLL



- 回路がデジタル
- デジタル手法で設計・検証・テスト可能
- プロセス・ポータビリティ
- 小チップ面積化（デジタルフィルタ）
- ループ伝達関数をPVTによらず一定に自己校正
- 高性能化（フィルタ特性可変、低位相雑音）



まとめ

- ナノCMOSでのアナログ性能向上、設計容易性、プロセスポータビリティ、スケーラビリティのため
 - 4つの回路領域を全て使用
 - デジタル化を進める、アナログは最小
 - 誤差補正・自己校正技術
- アナログ回路技術に加えて
信号処理、計測・制御技術の知識・センスが必要