

最新RFアナログ・デジタル融合技術

ワークショップ01-1

完全デジタルPLL技術の動向

Review of All Digital PLL (ADPLL)

小林 春夫 (群馬大)

内藤 智洋 高橋 伸夫 壇 徹 (三洋半導体)

発表内容

1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

発表内容

1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

ADPLL技術の背景

- 完全デジタルPLL回路
(All Digital Phase Locked Loop: ADPLL)
- すべてをデジタル回路で構成したPLL回路
- 微細デジタルCMOS SOC に適した技術
- デルフト工科大学(蘭) Bogdan Staszewski教授
(元Texas Instruments社)によって提案
- 各国の大学や企業で活発に研究
- PLL回路技術に加え、DSPの知識が不可欠
- ADPLLの設計思想は、微細CMOS SOC内部の
他のアナログRF回路の設計方針にも示唆を与える

発表内容

1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

RF通信機での周波数シンセサイザ

周波数シンセサイザ:

外部から安定した基準周波数信号(F_{ref})を受け取り、
FCW (Frequency Command Word) に従った周波数信号
を生成する回路

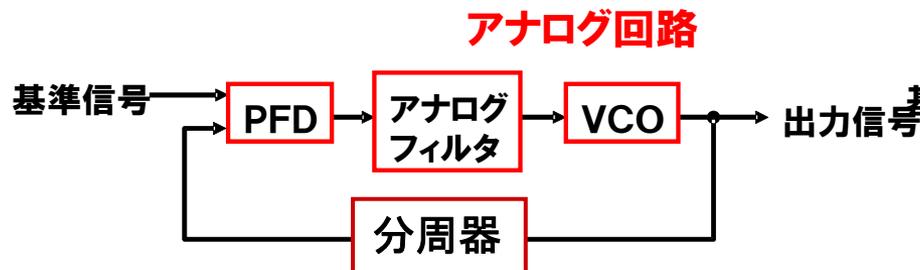
RF通信機器に要求される周波数シンセサイザ性能

- 低位相ノイズ
- 低スプリアス成分
- 高速スイッチング
- 広いチューニング周波数帯域
- 低消費電力
- 低コスト (小チップ面積、アナログオプション不要)
- 移植性(プロセス・ポータビリティ)

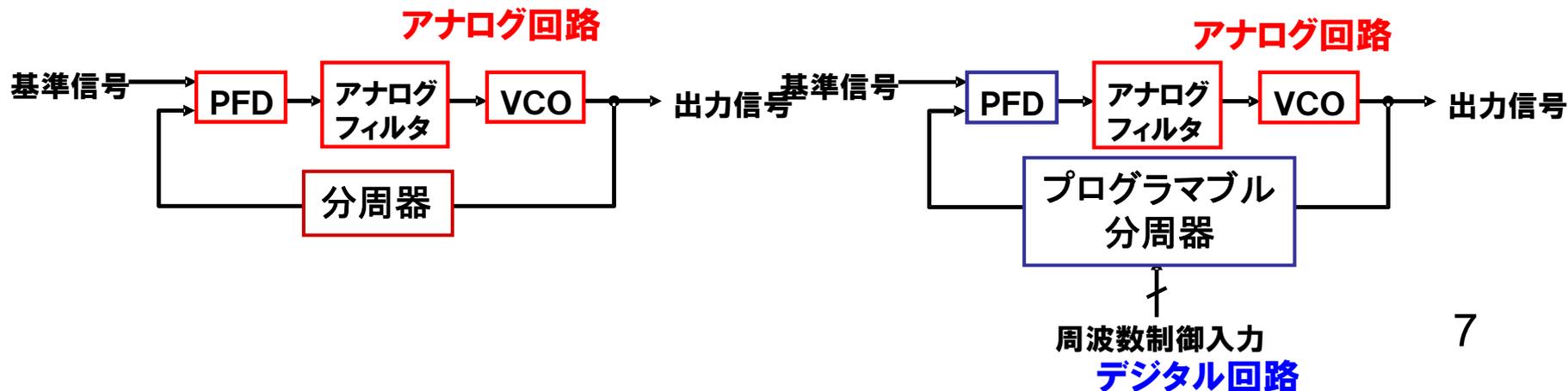
従来のPLL回路

- 周波数シンセサイザ
- 従来のアナログPLL、アナログ・デジタル混載PLL
 - ➡️ アナログ回路要素が残っている
 - アナログフィルタのチップ面積 大
 - プロセス変更による再設計 要
 - 微細化に伴う低電圧動作 難

アナログPLL

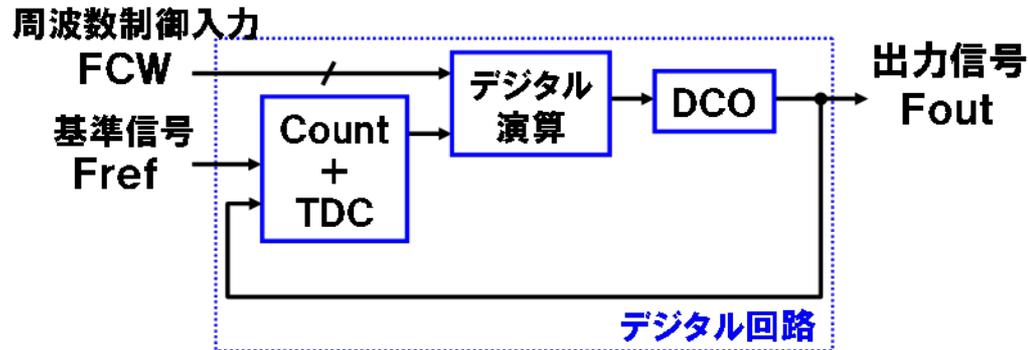


アナログ・デジタル混載PLL

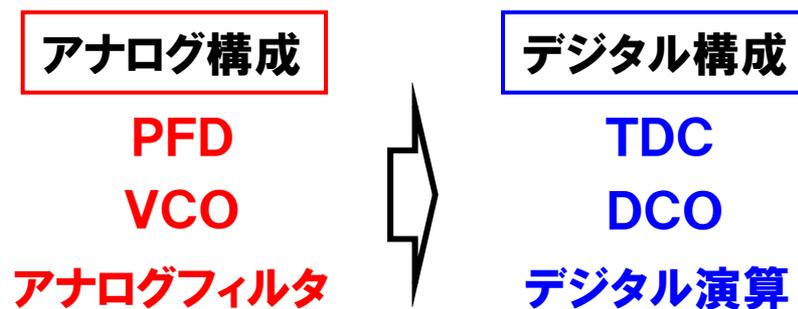


完全デジタルPLL 回路

All Digital PLL (ADPLL)



$$F_{out} = FCW \times F_{ref}$$



PLL回路全ての構成をデジタル回路で実現

発表内容

1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

微細CMOSとADPLL

- 微細デジタルCMOS SOC 内での実現に適す
- CMOSプロセス微細化による性能向上
- 低電源電圧動作可
- 小チップ面積実現
- 初回試作での完全動作が期待
- プロセス開発と並行して回路設計
- プロセス・ポータビリティ
プロセス・スケールラビリティ

ADPLLの内部の特長 (1)

- デジタルでの手法適用可
回路構成、回路設計、検証、テスト
- アナログフィルタ(抵抗、キャパシタ多用)を
デジタルフィルタに置き換え  チップ面積縮小
- チャージ・ポンプ回路不要
低電源電圧動作可
低位相雑音化(チャージ・ポンプのスイッチ動作なし)
- 発振出力の位相雑音の要因 3つに特定できる
 - ① TDC時間分解能
 - ② DCO周波数分解能
 - ③ DCO位相雑音

ADPLLの内部の特長 (2)

● プログラム制御

高速整定と位相雑音のトレードオフ問題を解決

– 設定周波数を変化させた過渡状態:

制御ループ(デジタルフィルタ)の時定数を小

 高速応答

– 動作の収束後:

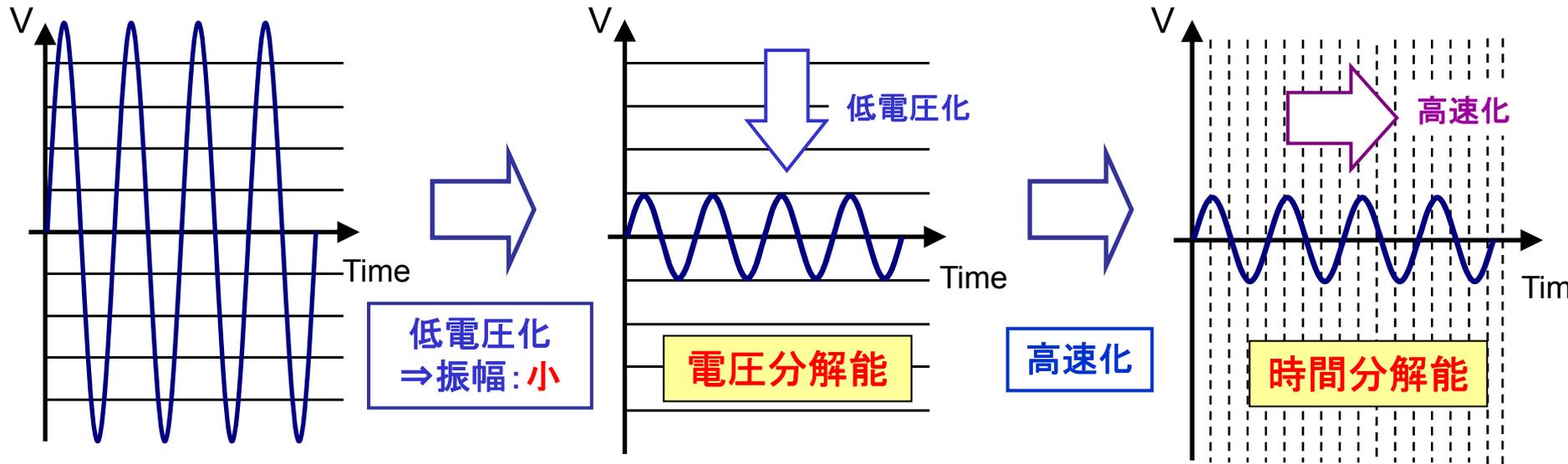
低位相雑音になるようにループ伝達関数を設定

● デジタル自己校正の適用

製造プロセス・電源電圧・温度変動の

ループ伝達関数への影響を自動的にキャンセル可

時間領域アナログ回路とADPLL



ADPLLを提唱したBogdan Staszewski教授

次の考えに基づいて設計

「ディープ・サブミクロンのCMOS 製造プロセスにおいて
デジタル信号の時間分解能は
アナログ信号の電圧分解能よりも優れている」

デジタルCMOS回路とADPLL

- デジタルCMOS回路

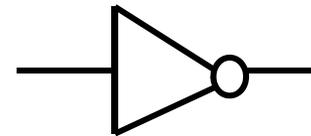


スピードや消費電力の
観点から極めて優れている。

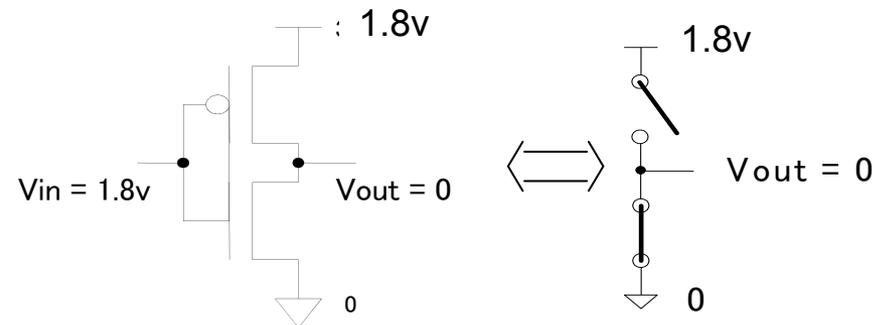
- CMOSプロセスがLSIで
主流になった理由。

- この考え方に基づく
ADPLLは、
微細CMOSの良さを
最大限に利用した方式。

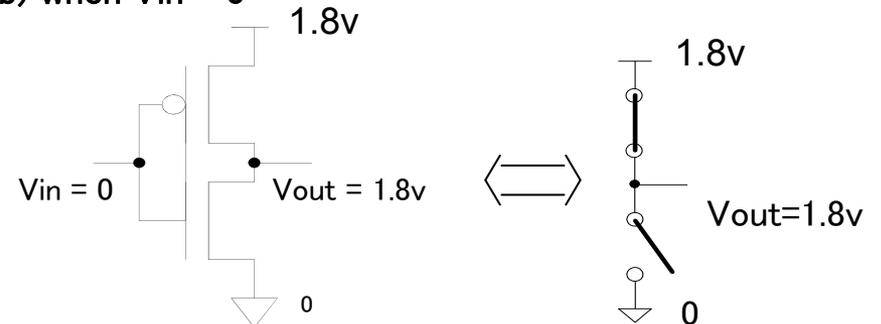
CMOSインバータ回路



a) when $V_{in} = 1$ (1.8v)



b) when $V_{in} = 0$



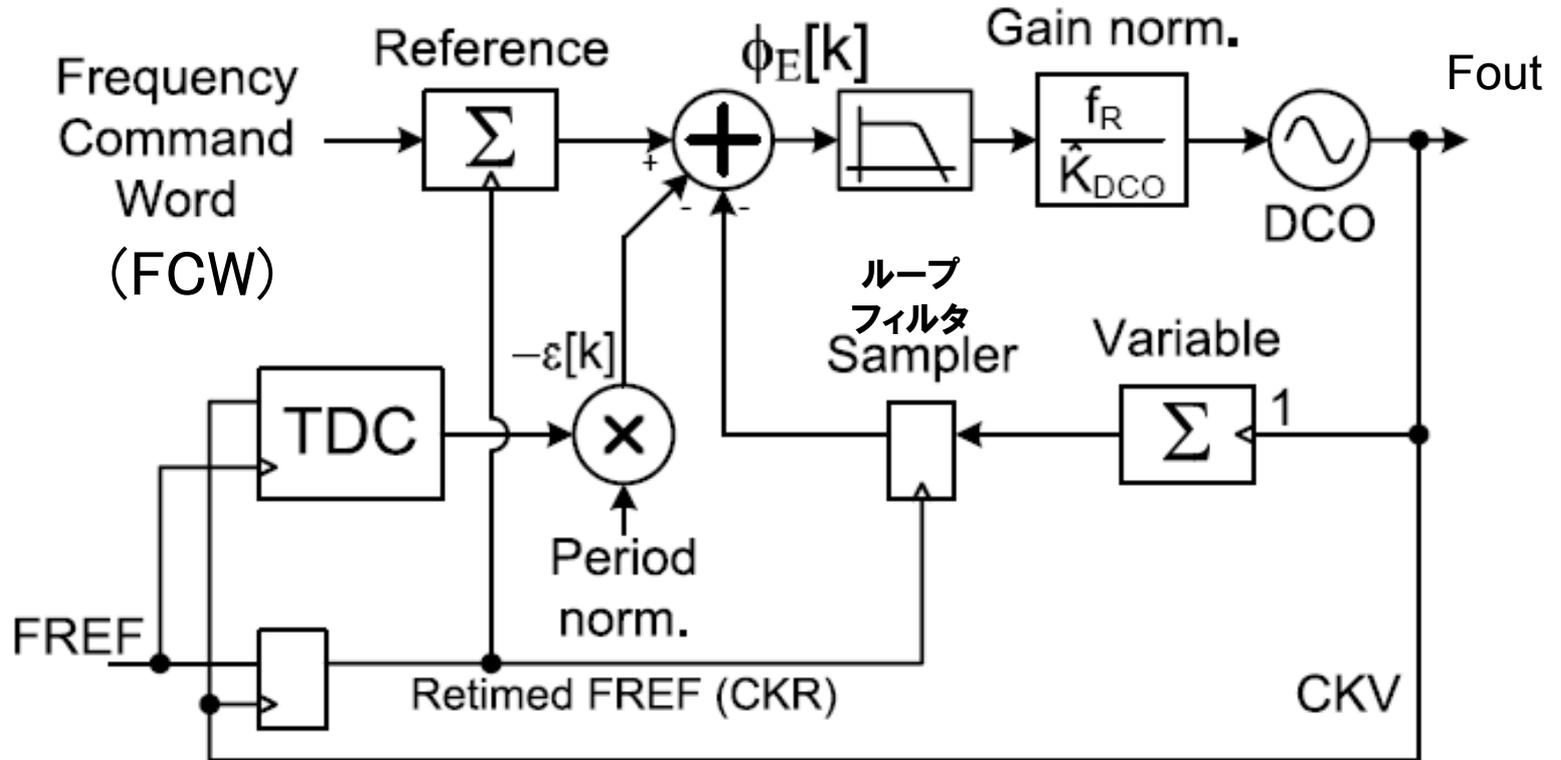
発表内容

1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
 - ADPLL全体構成
 - DCO回路
 - TDC回路
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

発表内容

1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
 - ADPLL全体構成
 - DCO回路
 - TDC回路
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

ADPLLの全体構成



$$F_{out} = FCW \times FREF$$

アナログ構成

PFD

VCO

アナログフィルタ

デジタル構成

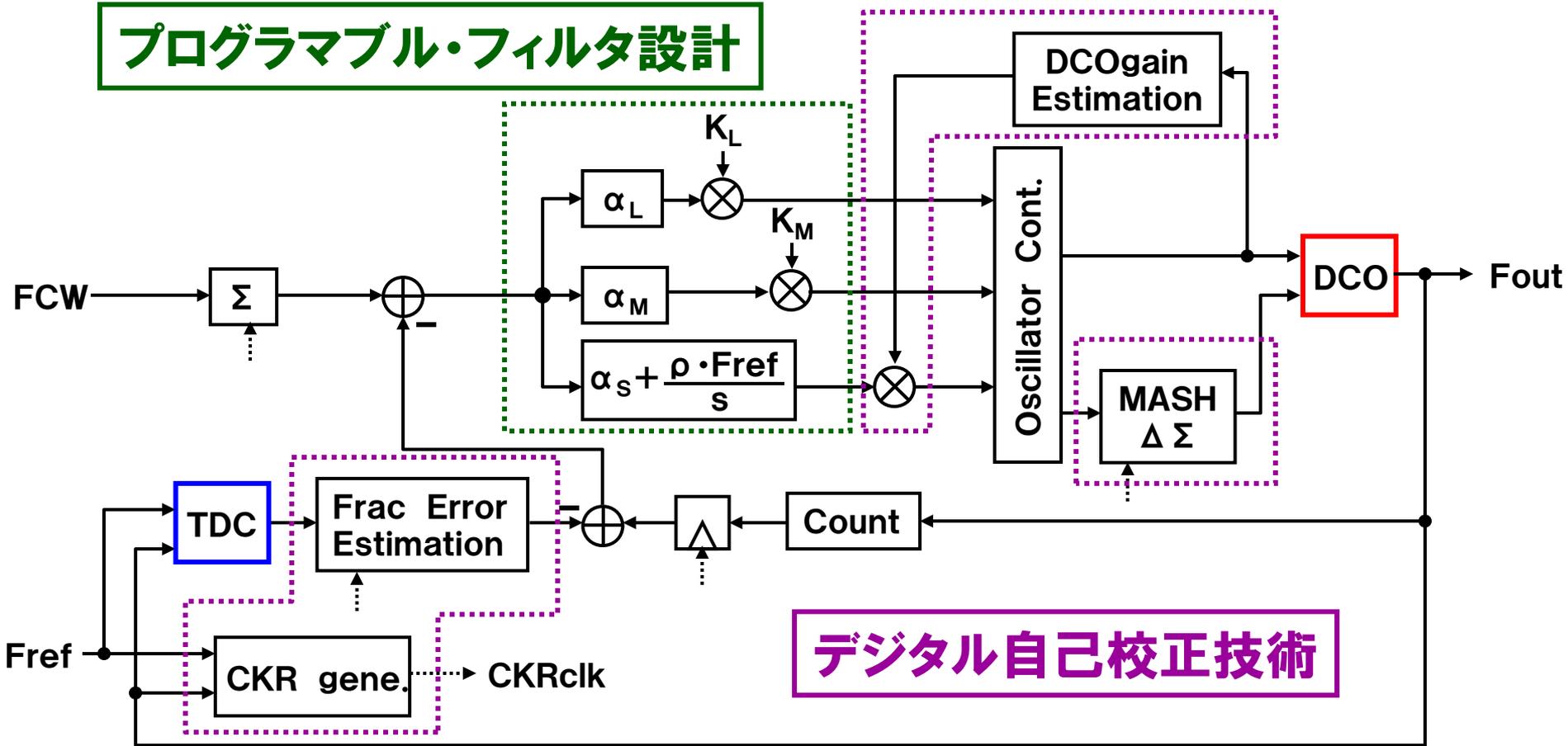
TDC

DCO

デジタル演算

ADPLL全体の機能ブロック

プログラマブル・フィルタ設計



TDC (Time-to-Digital Converter)
2信号の遅延差をデジタル値で検出

DCO (Digital Controlled Oscillator)
デジタル制御発振回路

発表内容

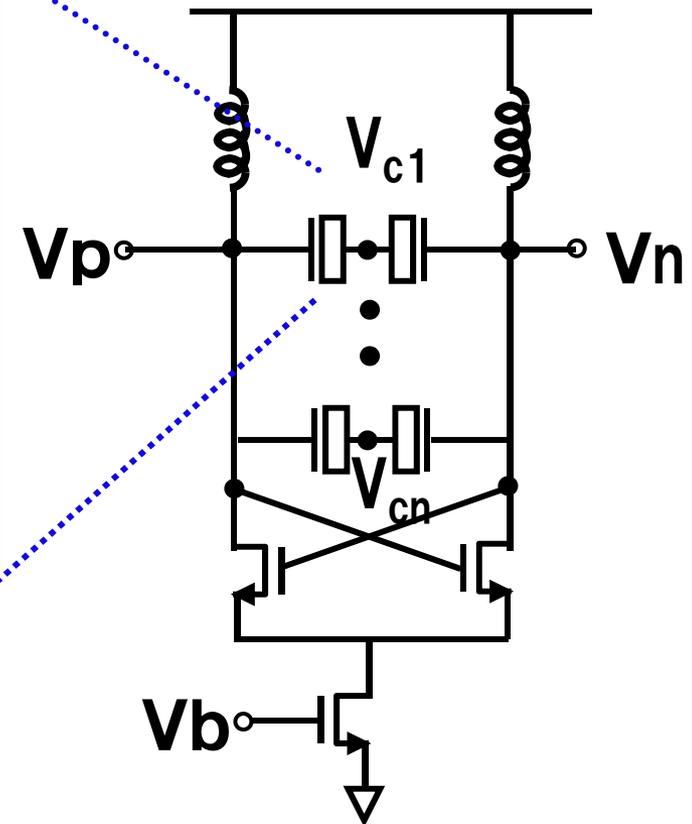
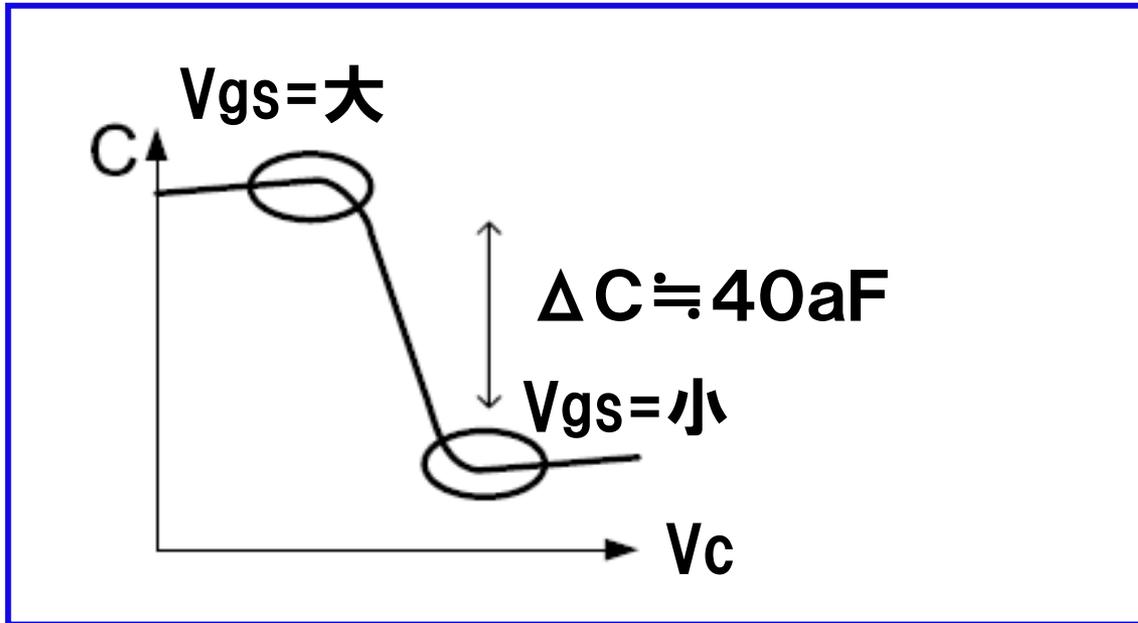
1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
 - ADPLL全体構成
 - DCO回路
 - TDC回路
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

デジタル制御発振回路(DCO)

- 従来のPLLの
VCO (Voltage Controlled Oscillator) を置き換え
- Digitally-Controlled Oscillator: DCO
入力: デジタル制御信号
出力: 発振回路出力
内部: アナログ回路
LC発振回路、バラクタ配列
(リング発振回路を使用すれば、内部回路も
完全デジタルであるが、位相ノイズが大)
- 入出力はデジタル、内部はアナログ回路
→ フリップ・フロップ回路を連想

DCO回路でのMOSバラクタとLC発振回路

■ DCOのMOSバラクタ

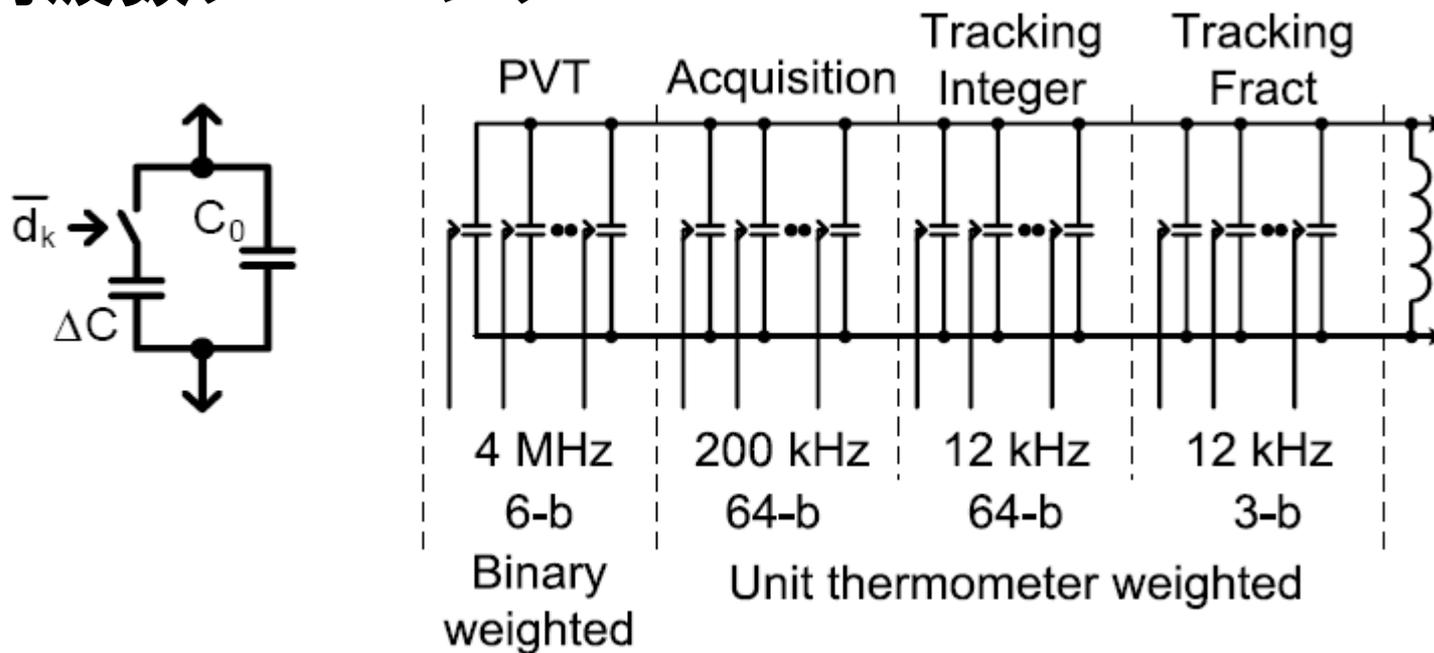


90nmプロセス $\Rightarrow \Delta C \approx 40 \text{ aF}$

➡ 可変周波数の高い分解能が得られる

DCO回路でのMOSバラククタ配列

■ 周波数チューニング



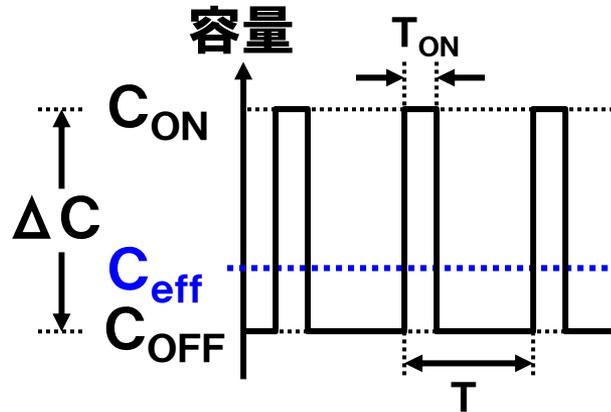
PVT: Process/Voltage/Temperature補正

Acquisition: チャンネル選択

Tracking: 整数部(Integer)/小数部(Fraction)

デルタシグマ変調ディザによる 周波数分解能の向上

フラクショナルN構成



$$C_{eff} = C_{OFF} + \Delta C \frac{T_{ON}}{T}$$

ΔC_{eff}

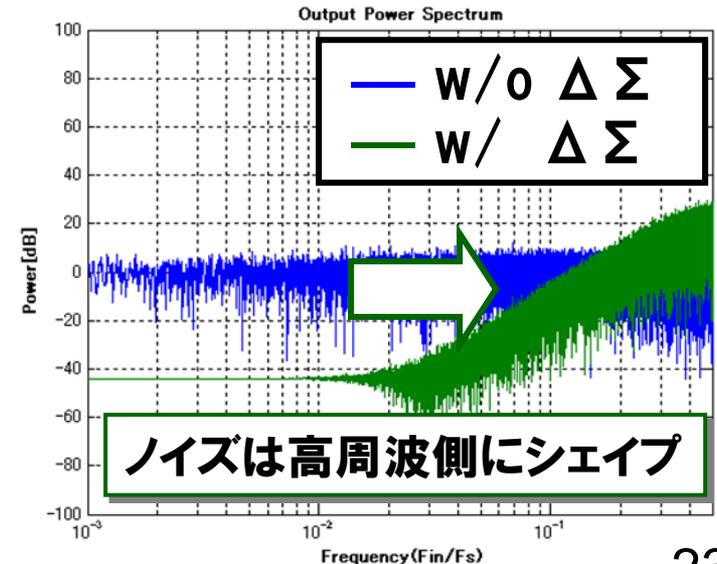
バラクタ容量分解能の向上が可能

$\Delta \Sigma$ によるフラクショナルディザ

少数データ

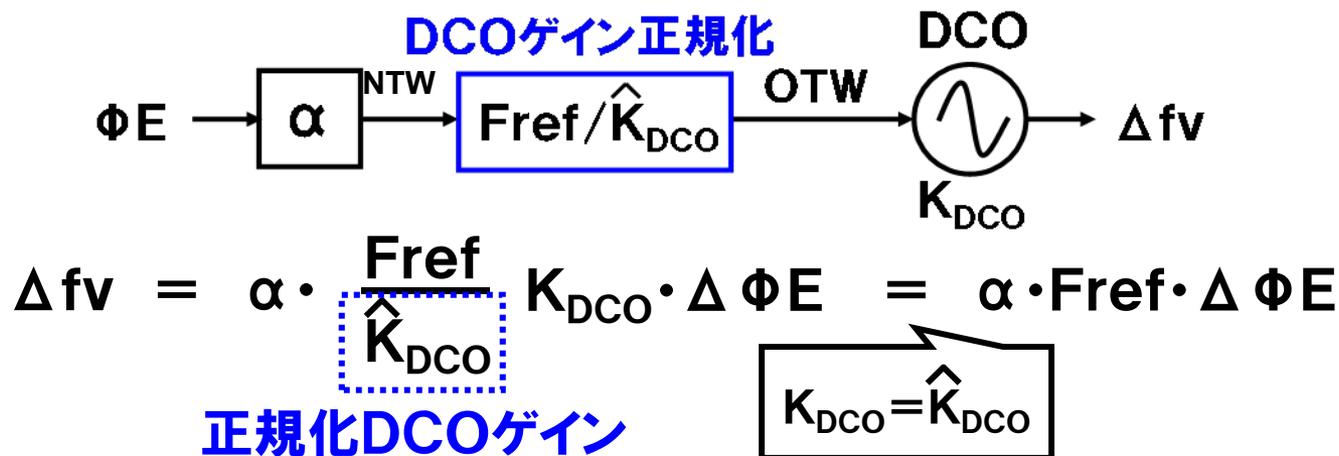


$$\int (d^{TF1} + d^{TF2} + d^{TF3}) dt = W_F$$



DCOゲインの正規化

位相エラー ΦE から出力周波数 f_v までのブロックモデル

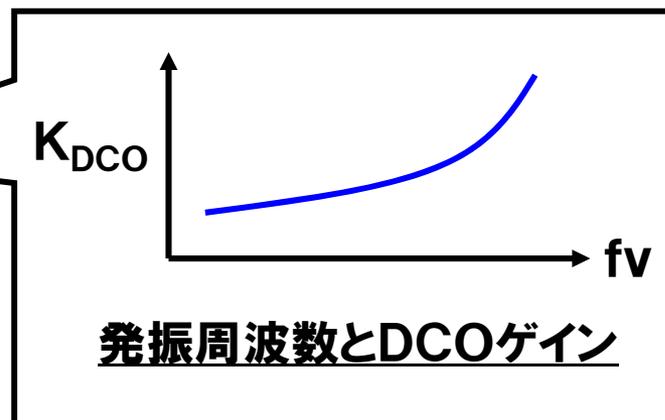


DCOゲインの正規化

K_{DCO} は発振周波数 f_v に依存

⇒ システム伝達関数の変化

発振周波数依存性をキャンセル



デジタル自己校正技術

ADPLLの高速チューニング手法

短時間で高精度な収束特性を得る

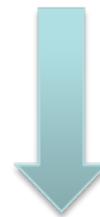


3つのチューニングモード



ロック時間と精度のトレードオフを解消

モード	ループゲイン
PVT	大
Acquisition	中
Tracking	小



さらにロック時間を短縮することはできないか？

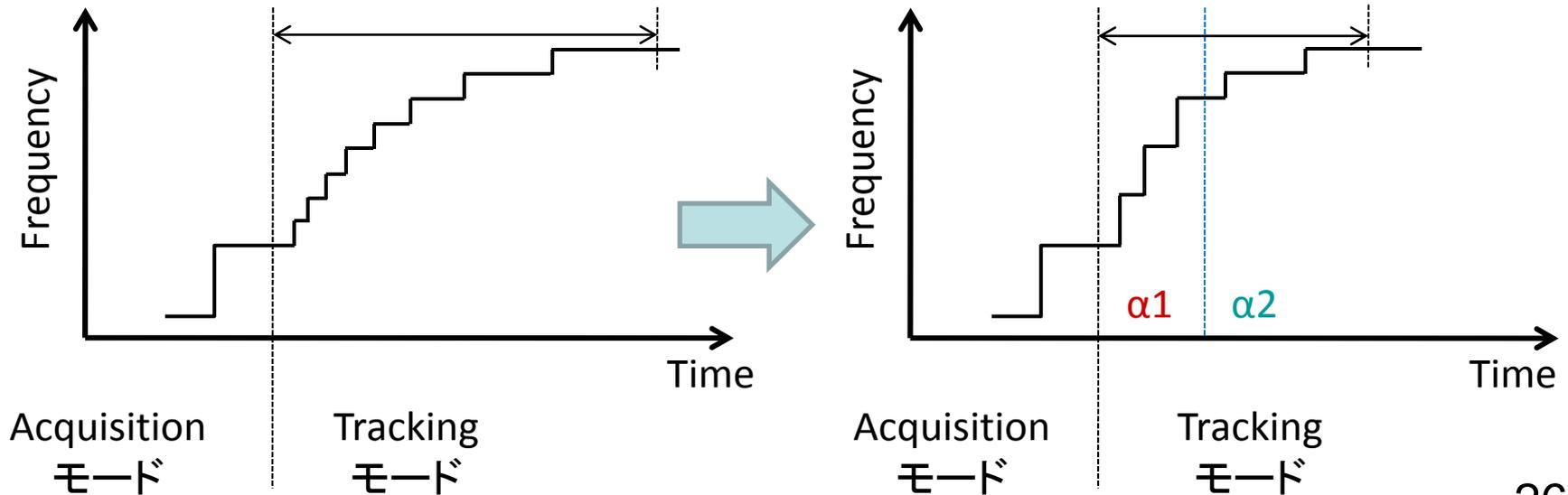
ギア・シフト

ギア・シフト技術

自動車での運転でギアを変更することを連想した表現

Trackingモードにおいて

ループゲインを段階的に変化させることにより収束時間を短縮する



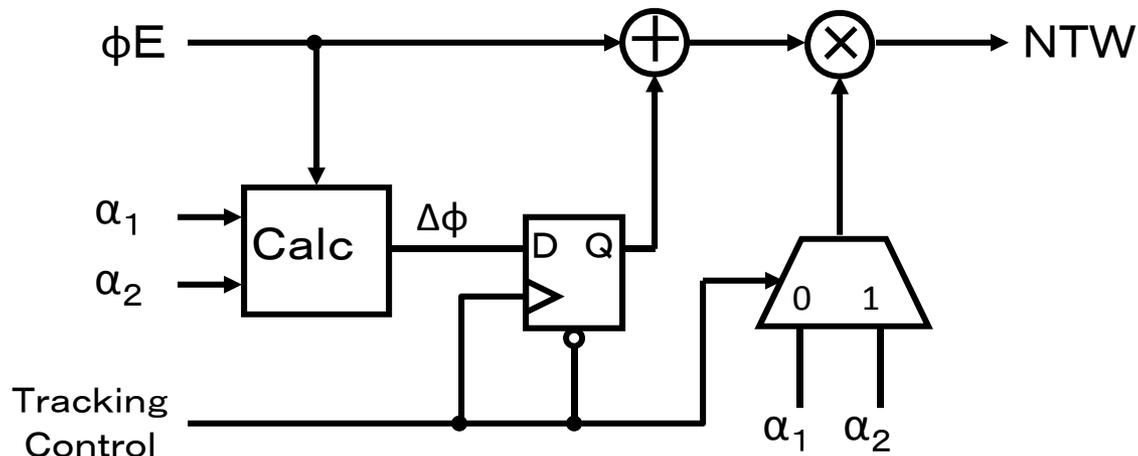
ギア・シフトの原理

ループゲインが変化 \longrightarrow 発振周波数の擾乱
NTWが変化

NTW: Normalized Tuning Word
正規化したOscillation Tuning Word (OTW)

NTWが変化しないように補正が必要

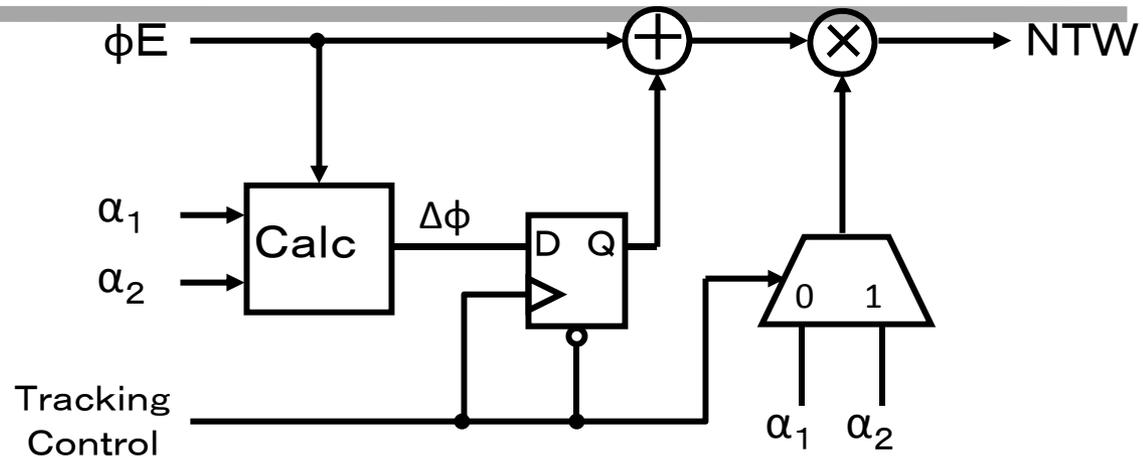
NTWの変化量を見積もっておき、ギア・シフトと同時に加算する



ギア・シフトの原理

NTWの変化

 ϕE にオフセット $\Delta\phi$ を与える



ギアシフト前のNTW

$$NTW_1 = \alpha_1 \phi_1$$

ギアシフト後のNTW

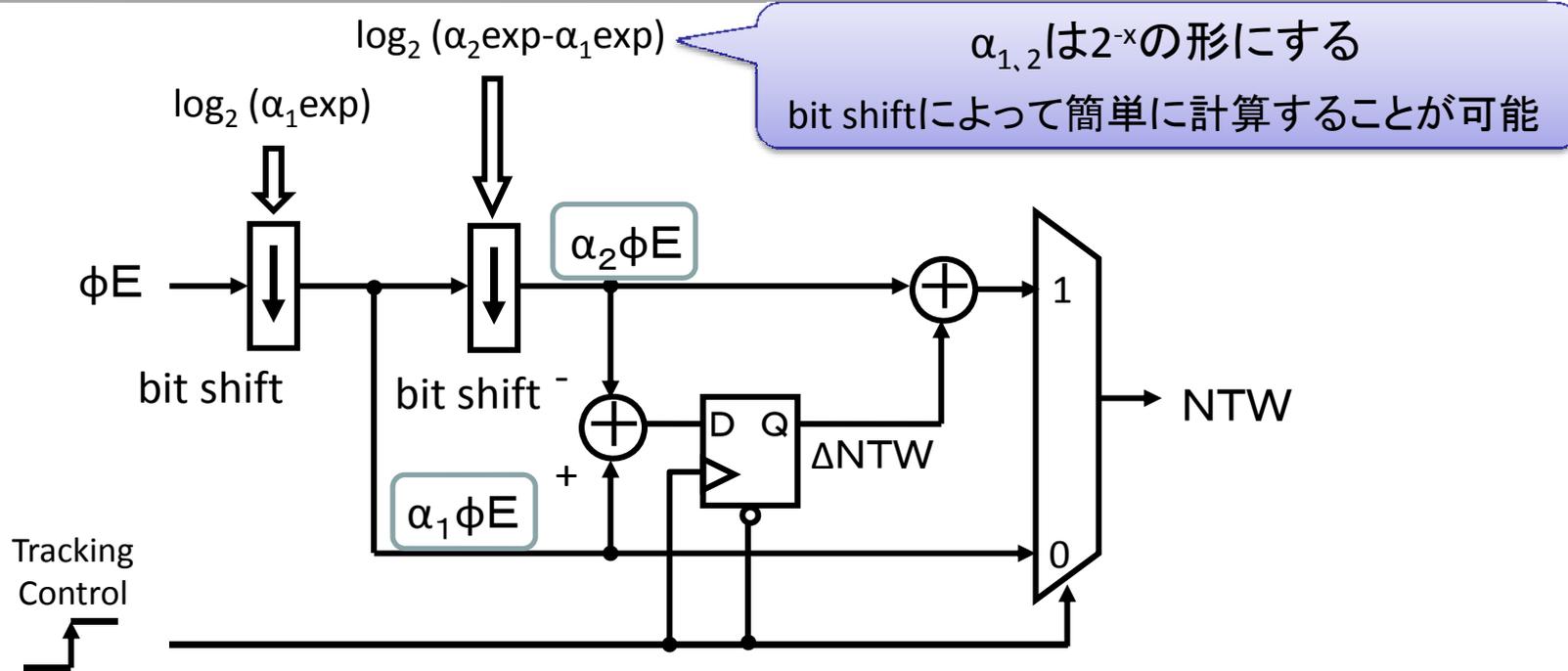
$$NTW_2 = \alpha_2 (\phi_1 + \Delta\phi)$$

NTW₁=NTW₂として
 ϕE に加算するオフセットを算出

$$\Delta\phi = \frac{\alpha_1}{\alpha_2} \phi_1 - \phi_1$$

ギアシフトと同時に加算することでNTWを維持 周波数の擾乱はない

ギア・シフトの実装回路



NTW₁ = NTW₂より $\alpha_1 \phi_1 = \alpha_2 (\phi_1 + \Delta \phi)$

$\alpha_1 \phi_1 = \alpha_2 \phi_1 + \Delta NTW$ ビット演算によって算出
 $\Delta NTW = \alpha_2 \phi_1 - \alpha_1 \phi_1$

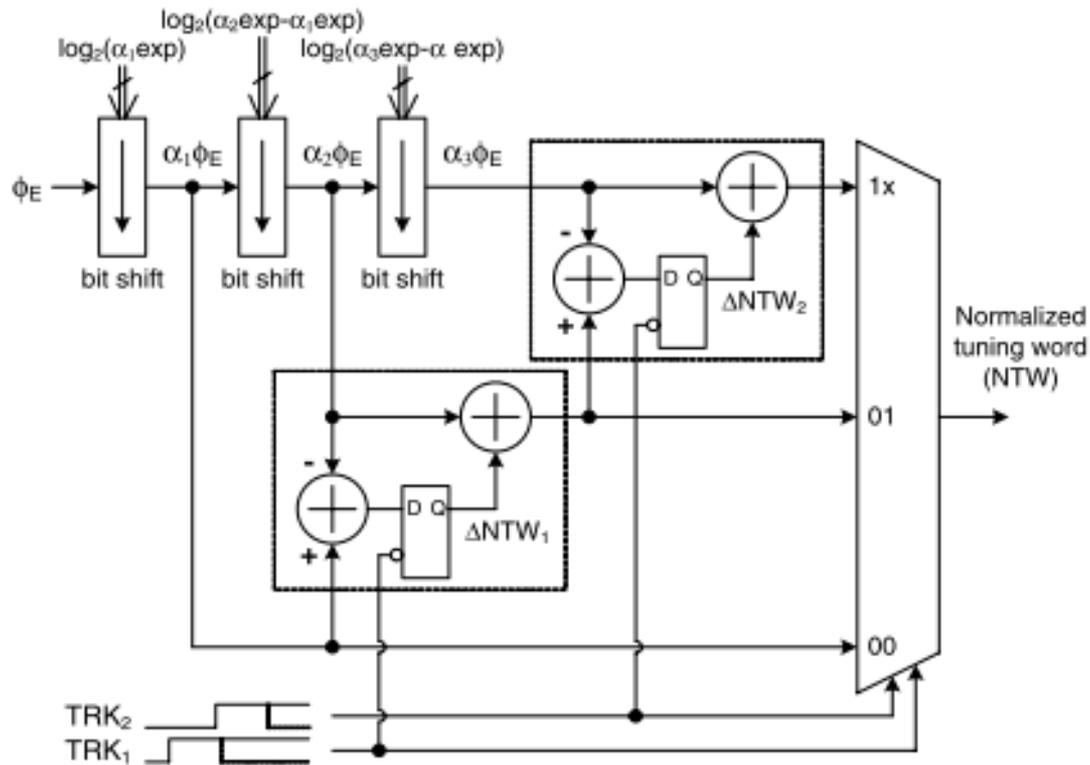
NTWの変化量を ΔNTW として、Control信号と同時に加算する

複数のギアシフト

ギアシフトを複数行う



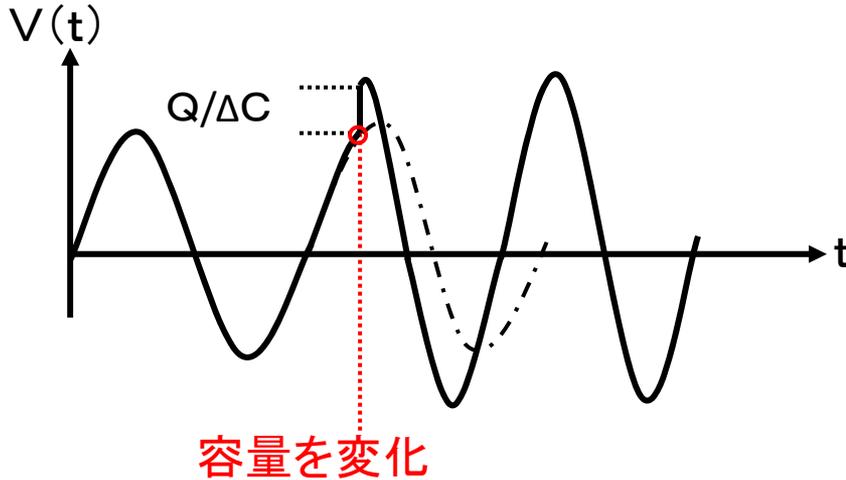
さらに性能が向上



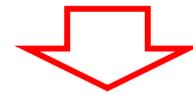
2段ギアシフトの構成

ゼロクロス・タイミングでの 周波数切り替え

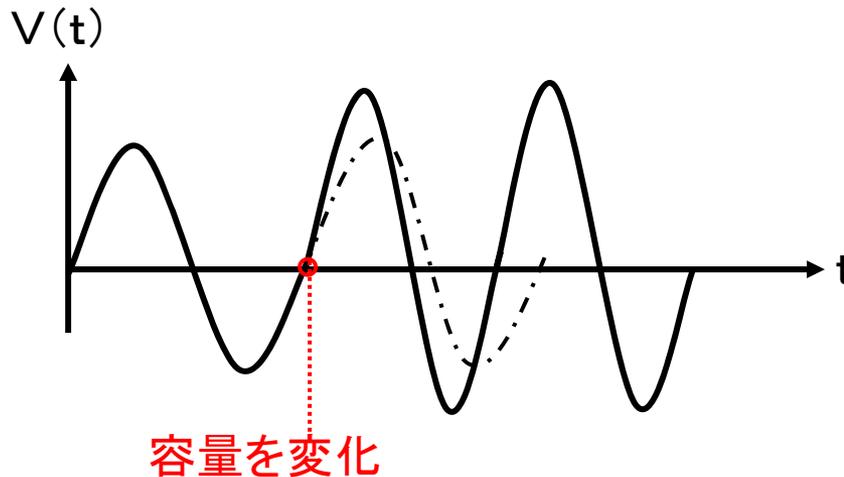
■ 周波数切替のタイミング



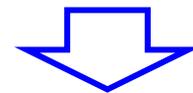
容量変化時の電圧変動



位相ノイズに影響



ゼロクロス点での切替

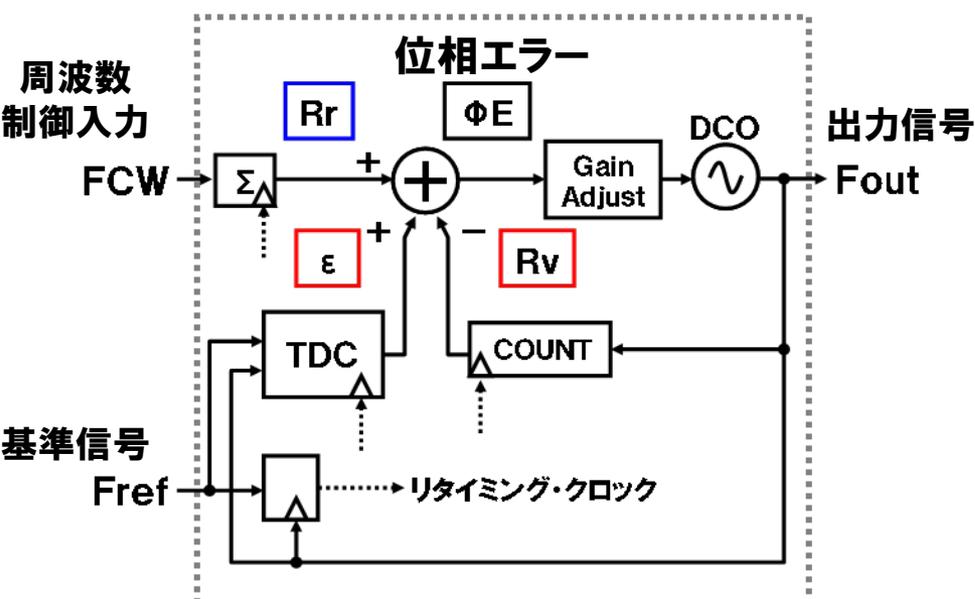


位相ノイズへの影響を軽減

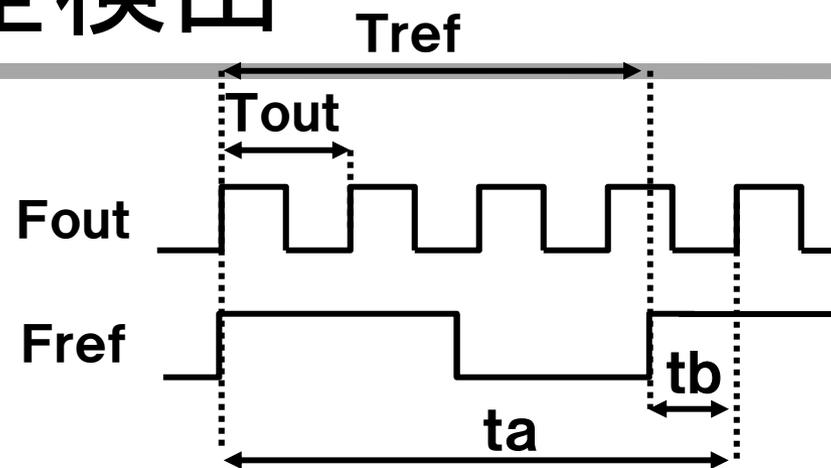
発表内容

1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
 - ADPLL全体構成
 - DCO回路
 - TDC回路
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

位相誤差検出



ADPLLシステムブロック図



$$Rv = ta / Tout \Rightarrow \text{カウンター検出}$$

$$\epsilon = tb / Tout \Rightarrow \text{TDC検出}$$

$$\Downarrow ta - tb = Tref$$

整数データ 小数データ

$$Rv \quad - \quad \epsilon = \underline{Tref / Tout}$$

内部信号の周期比

$$\text{位相誤差: } \Phi E = Rr - (Rv - \epsilon)$$

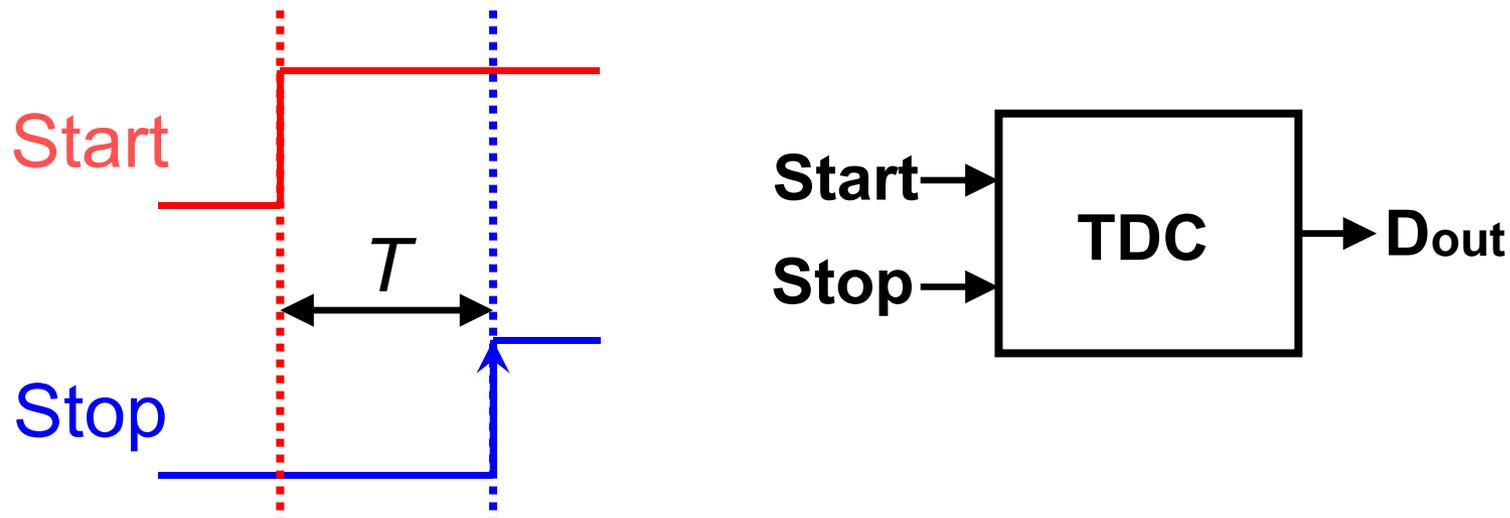
目的とする周波数比

内部信号の周波数比



時間デジタイザ回路 (Time-to-Digital Converter: TDC)

- 時間間隔 → 計測 → デジタル値

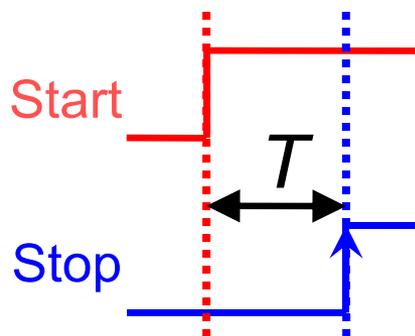


- 時間領域アナログ回路のキーコンポーネント
- CMOS TDC 回路の考案

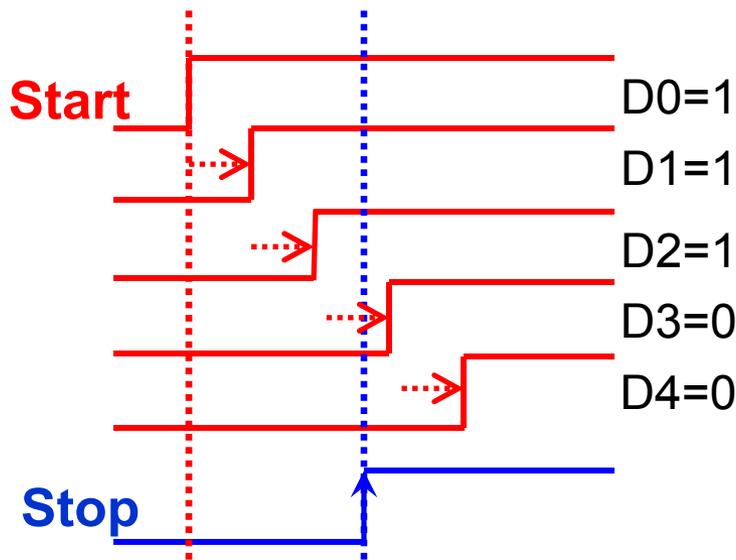
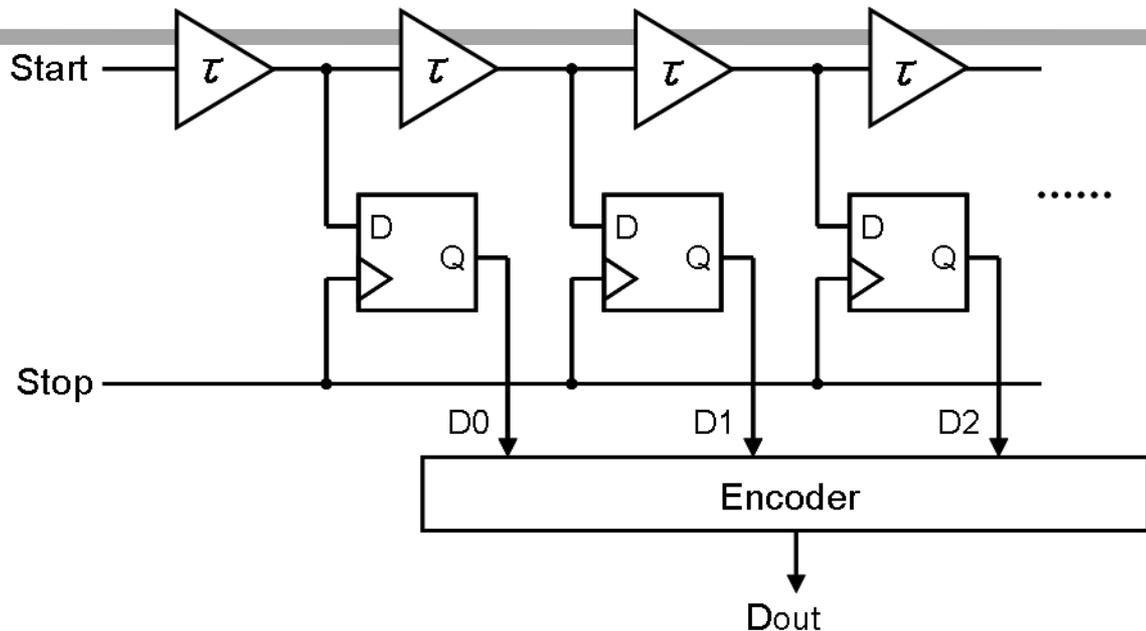
日本人の高エネルギー加速器実験の研究者

新井康夫 氏 1988年 VLSI Circuit Symp にて発表

基本TDCの構成と動作



Timing chart

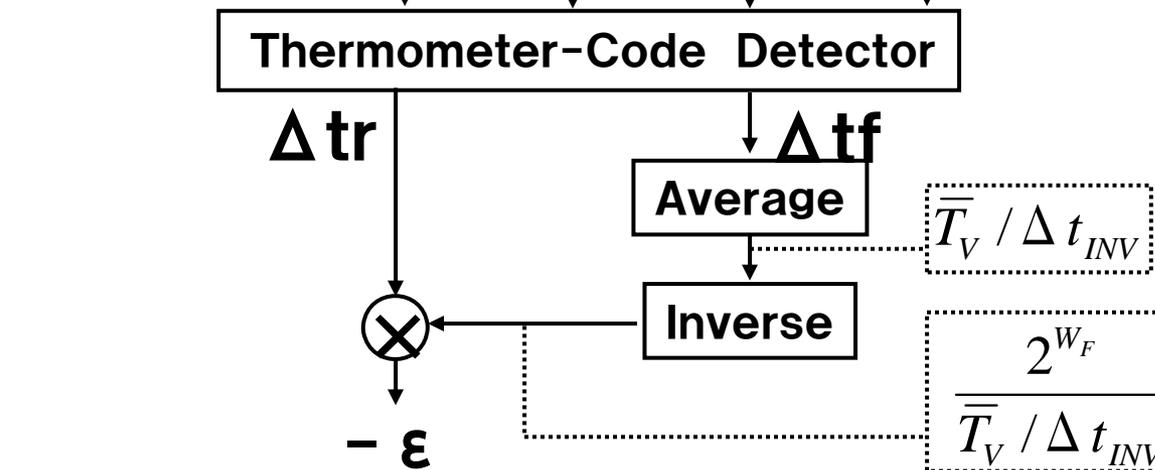
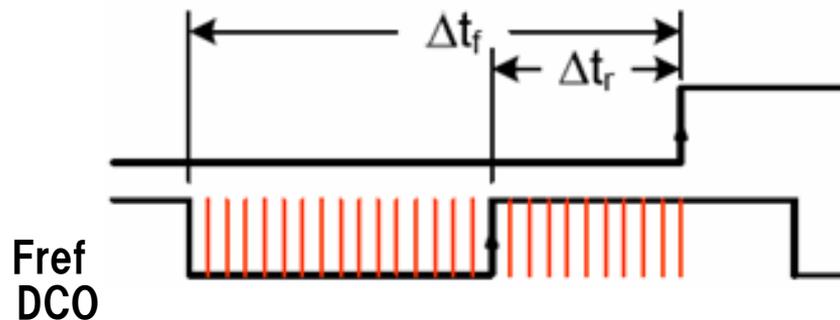
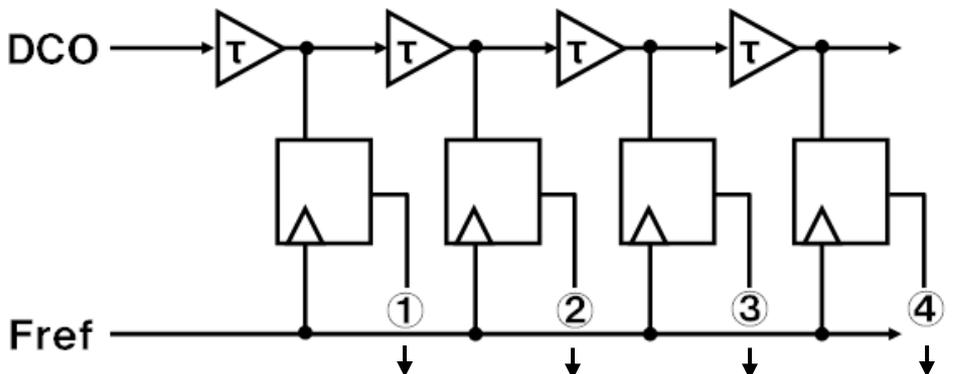
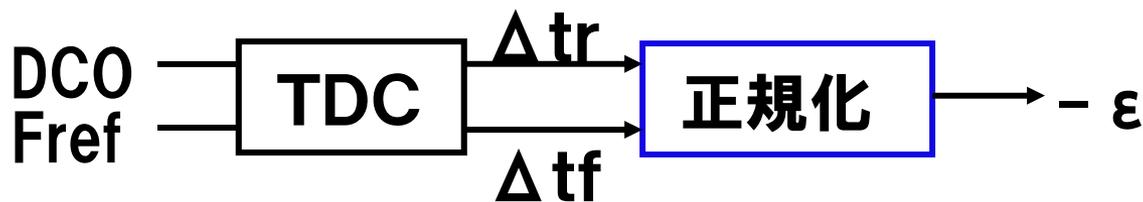


Encoder

Thermometer code \rightarrow binary code
 \rightarrow デレイタップ何段に相当するかを測定

全てデジタル回路で実現
CMOS微細化とともに高性能

TDC回路の位相差検出と自己校正



- ① DCO発振周波数は既知
 - ② インバータ何段分で DCO出力1周期になるか
- ↓
- インバータ遅延が推定できる

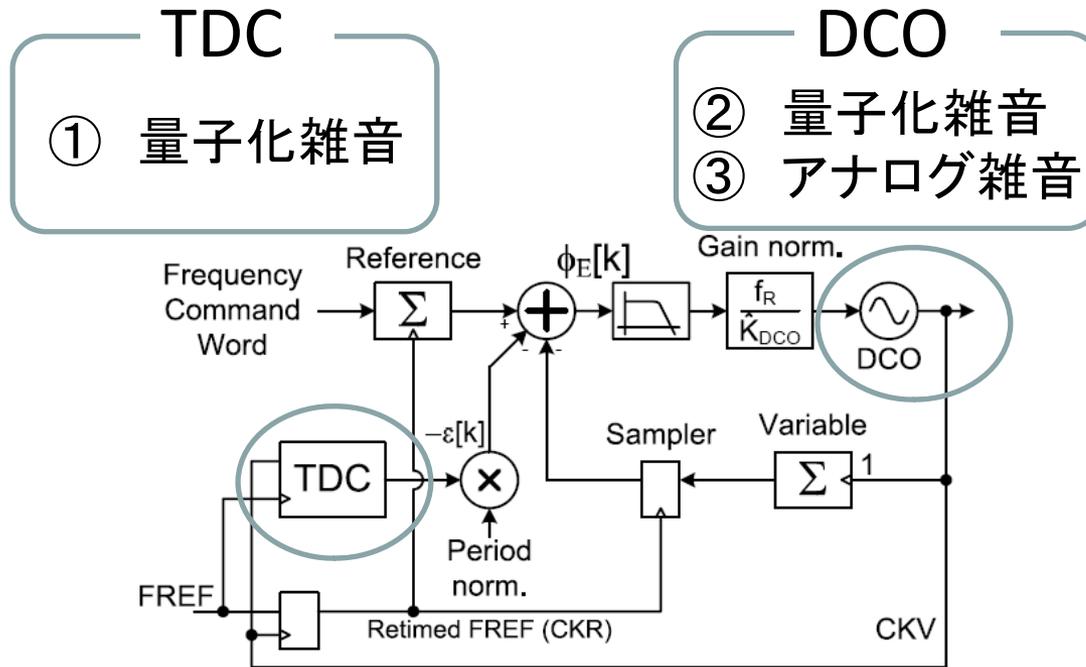
$$\frac{2^{W_F}}{\bar{T}_V / \Delta t_{INV}} \quad \text{正規化}$$

発表内容

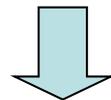
1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

ADPLL出力の位相雑音源

デジタルの性質から3つの雑音源に限定



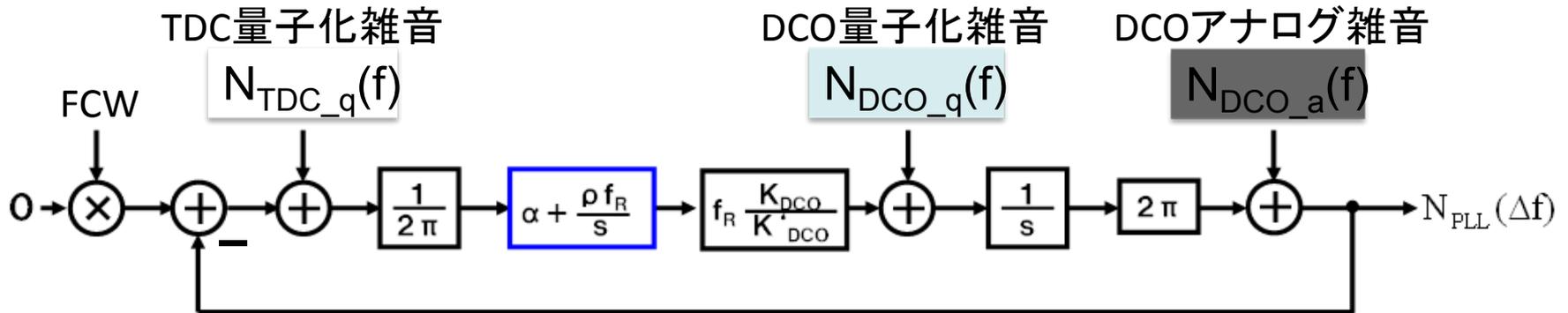
- システムパラメータから3つの雑音源の値の見積もり可能
- それらの位相雑音への寄与はADPLL伝達関数に依る



実測に近い位相雑音の見積もりが可能

ADPLLの伝達関数と雑音源

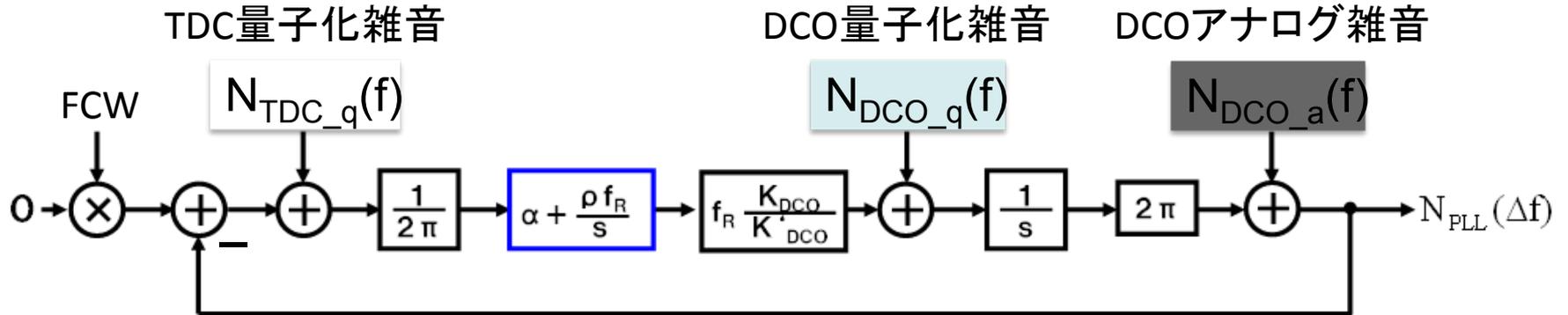
ADPLLの位相領域での線形モデル



Type 2 PLL

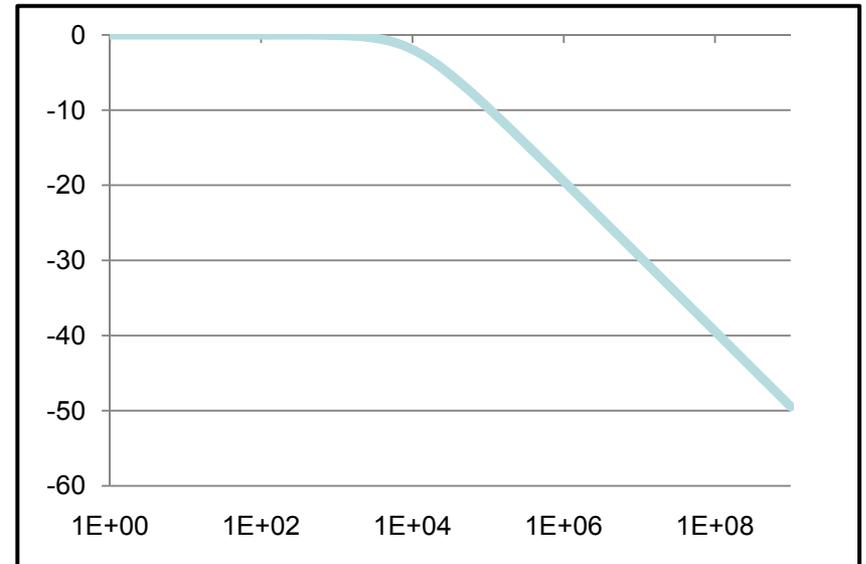
TDC量子化雑音の位相雑音への寄与

ADPLLの位相領域での線形モデル



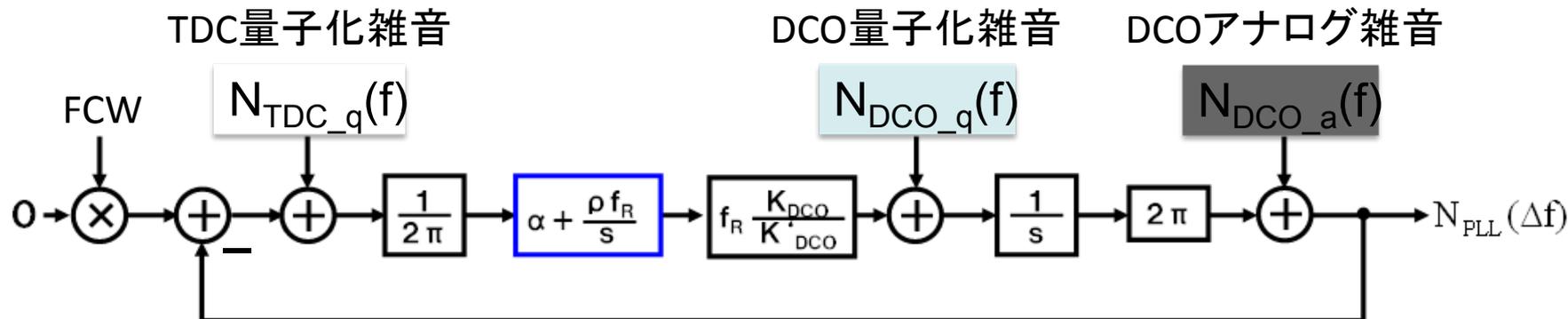
TDC量子化雑音にかかる伝達関数

$$H_{TDC_q} = \frac{\alpha f_R s + \rho f_R^2}{s^2 + \alpha f_R s + \rho f_R^2}$$



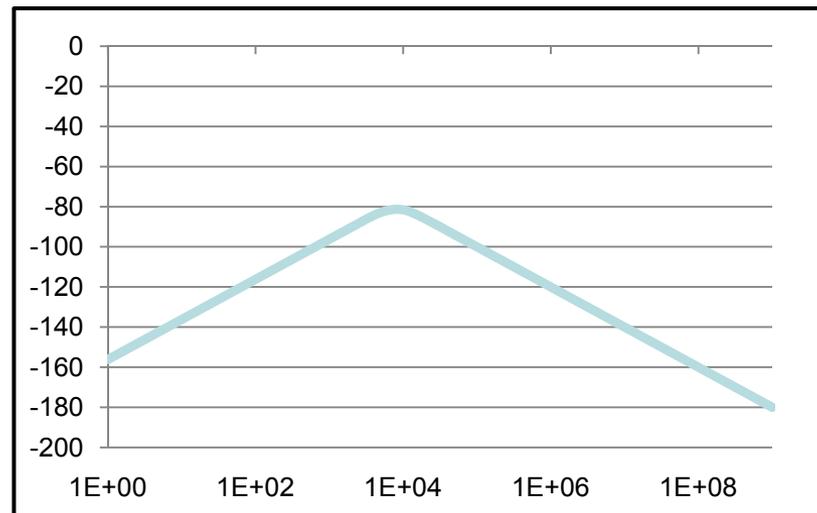
DCO量子化雑音の位相雑音への寄与

ADPLLの位相雑音線形モデル



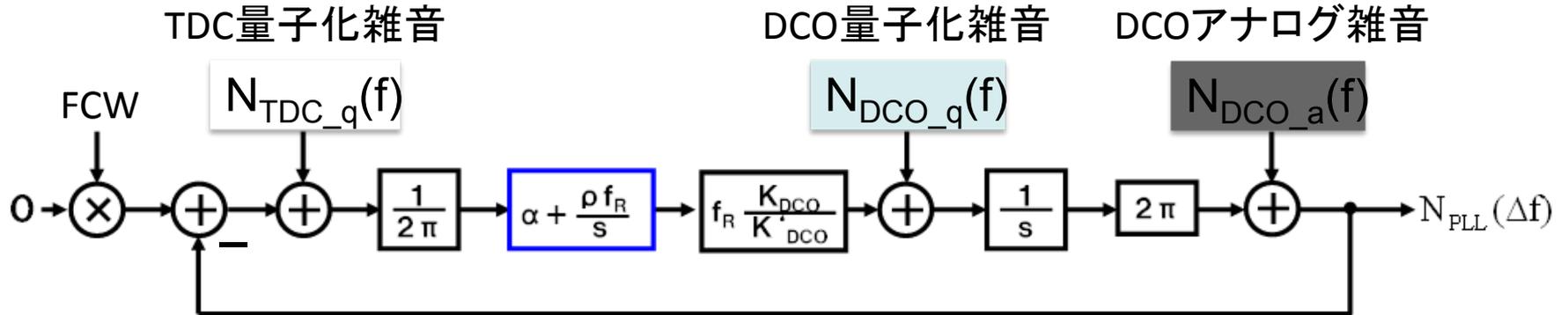
DCO量子化雑音にかかる伝達関数

$$H_{DCO_q} = \frac{2\pi s}{s^2 + \alpha f_R s + \rho f_R^2}$$



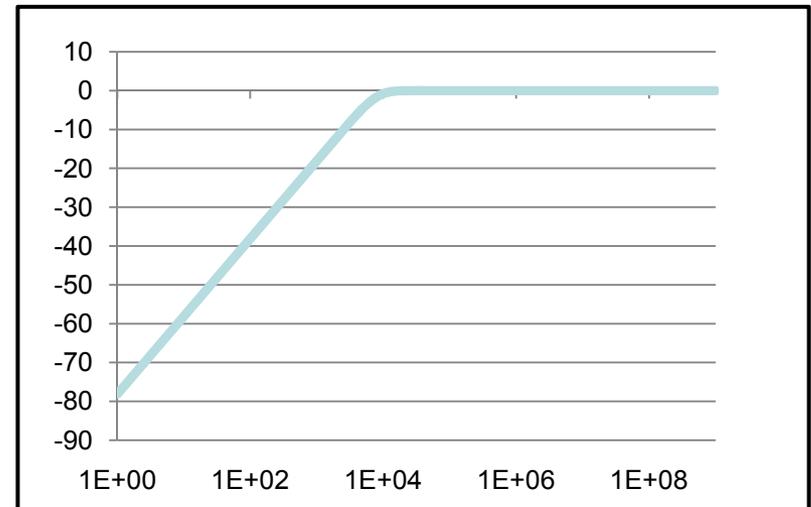
DCOアナログ雑音の位相雑音への寄与

ADPLLの位相領域線形モデル



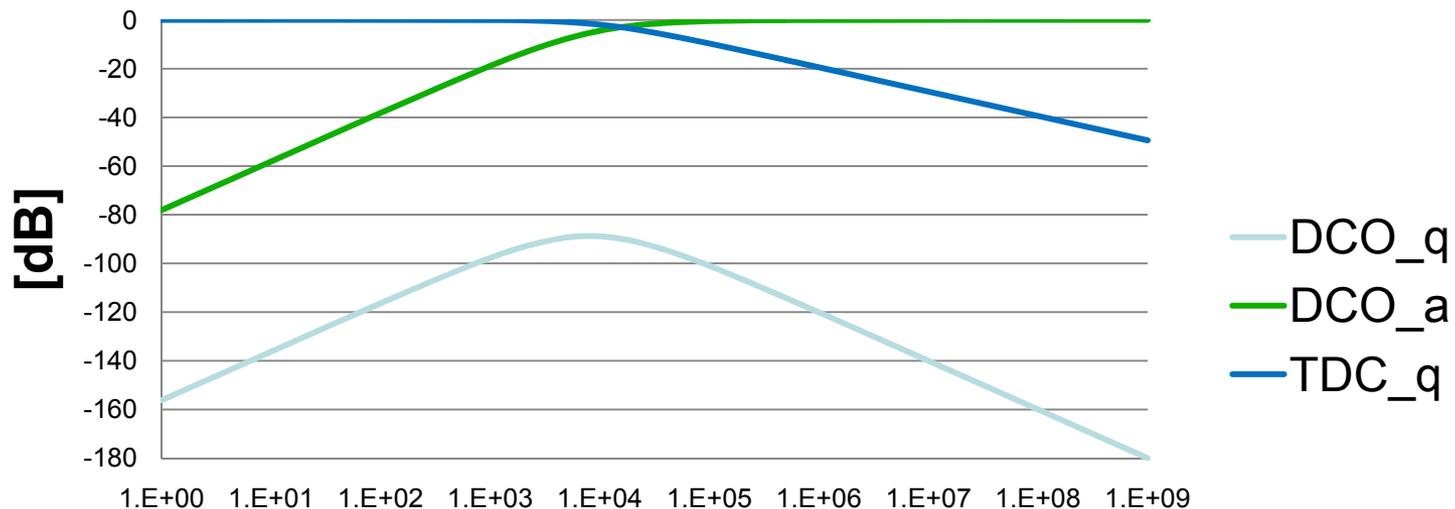
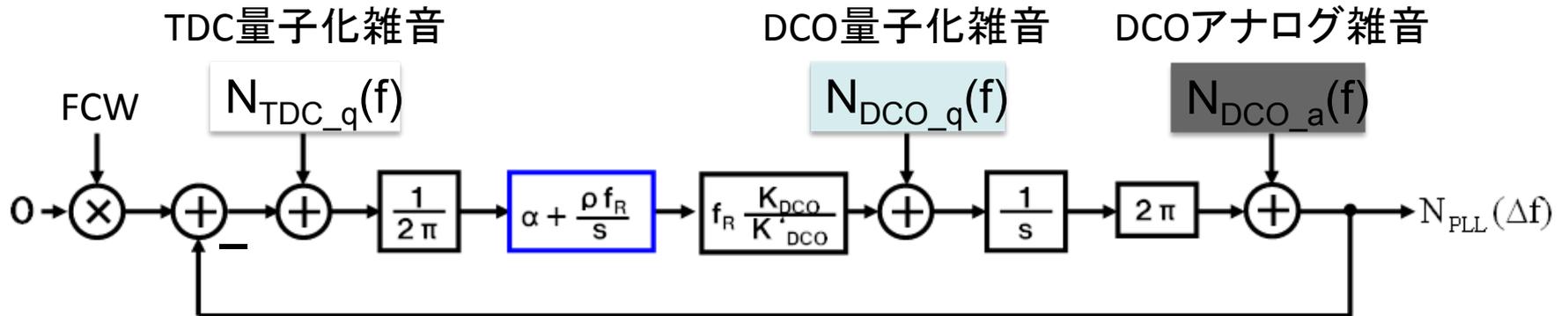
DCOアナログ雑音にかかる伝達関数

$$H_{DCO_a} = \frac{s^2}{s^2 + \alpha f_R s + \rho f_R^2}$$



伝達関数の設計と位相雑音

ADPLLの位相領域線形モデル

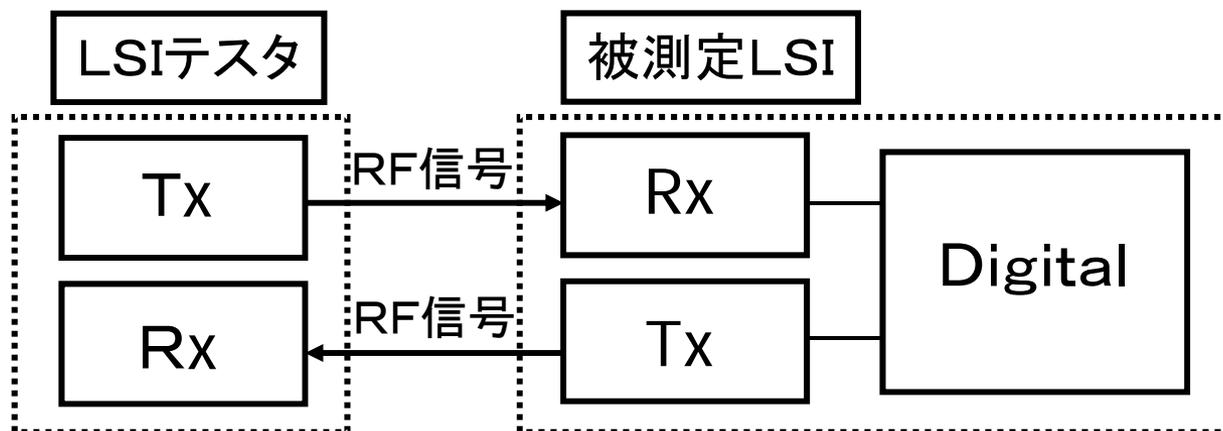


周波数[Hz]

発表内容

1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

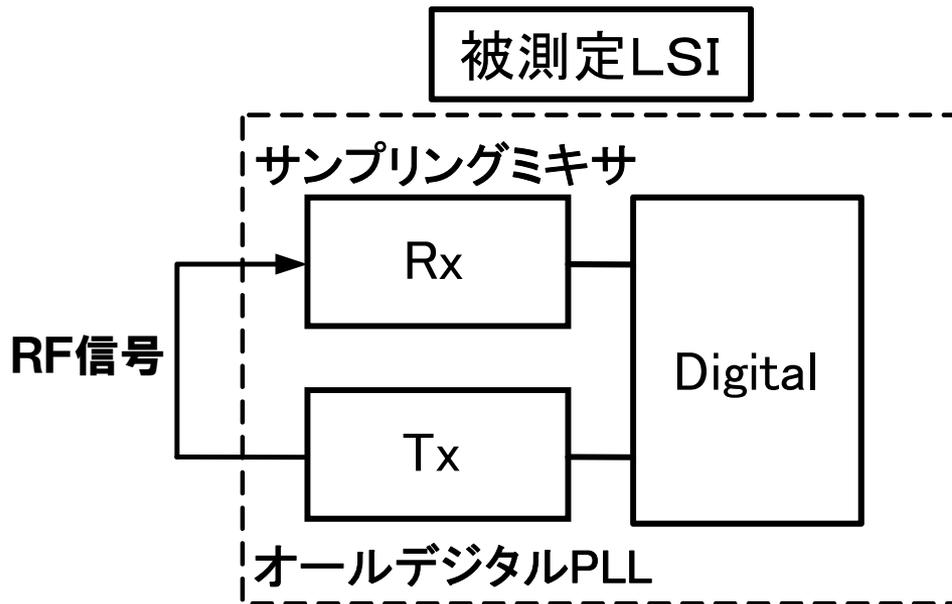
トランシーバICの出荷時テスト



トランシーバICをテストする際の標準的な構成

高価なLSIテスタが必要

携帯電話送受信機ICのテスト容易化



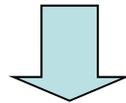
ループバックテスト構成

サンプリングミキサ受信機
ADPLL 送信機で
携帯電話送受信ICの
ループバックを可能に

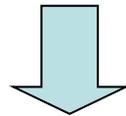
- 携帯電話ではRx, Tx のキャリア周波数が異なる。
➡ 直接にはループバックが使用不可
- テスト時にRx, Tx のキャリア周波数を合わせ得る。

ADPLL を用いた送信機のテスト容易化

ADPLL を用いた送信機のRF 出力の変調の
位相軌道誤差(Phase Trajectory Error)



ADPLL内 位相比較デジタル値 φ_E の
統計処理から正確に推定可能



量産時に高価なテスターでの長時間テストを
行わなくてテスト可能

[1] R. B. Staszewski, et. Al., “RF Built-in Self Test of a Wireless Transmitter,”
IEEE Trans. CAS II (Feb. 2007).

発表内容

1. はじめに
2. PLLの構成と役割
3. ADPLL回路の特長
4. ADPLL回路の基本構成
5. ADPLLの位相ノイズ
6. ADPLLのテスト
7. まとめ

学会・展示会等での発表例

米国機関:

TI社, Intel Corp. IBM Corp. MIT,
UCSD (University of California, San Diego校)
UCLA (University of California, Los Angeles校)
Epoch Microelectronics

欧州機関: STマイクロ、Pavia 大学

台湾機関: MediaTek, Inc. 台湾交通大学

日本機関: 東芝、東工大、群馬大学・三洋半導体

ナノCMOSでのアナログRF回路

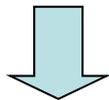
- ADPLLの設計には
従来のRF回路の知識に加えて
DSPの知識・発想が必要。
- 微細CMOSでのSOC内アナログRF回路設計法に
関して示唆に富んでいる。
 - 豊富なデジタル回路が使える
 - 自己校正、信号処理技術
 - スイッチング速度は速くなる
 - 設計・検証・テストをデジタル的に行う
 - アナログ回路は最小にする

Analog people are from Mars, RF people are from Venus.
Signal processing people are from Jupiter.

ADPLLへの今後の研究開発

ADPLL のアプリケーションの広がりへの期待

- 無線通信機の周波数シンセサイザ
 - 低位相雑音ローカル信号発生器
 - Bluetooth用のポーラ方式送信機
 - 広帯域可変ローカル信号発生器
- SOC内のデジタル回路クロック供給



微細化進展により高周波・広帯域へのアプリケーション

日本での取り組みの広がりへの期待

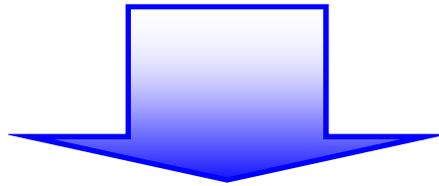
補足説明

TDC回路の高性能化研究の紹介

TDCの高性能化の研究例

高時間分解能 ⇒ インバータ
PMOS
入力の先読み

広入力時間範囲 ⇒ リング発振回路を利用

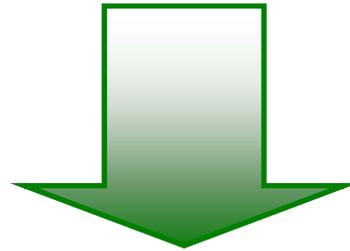


Gated Ring Oscillator (GRO)回路

MIT (現 SiTime) のDr. M. Perrot により提案

基本TDCの問題点

時間分解能 : バッファ遅延 T
入力時間範囲 : $T \times$ バッファ数

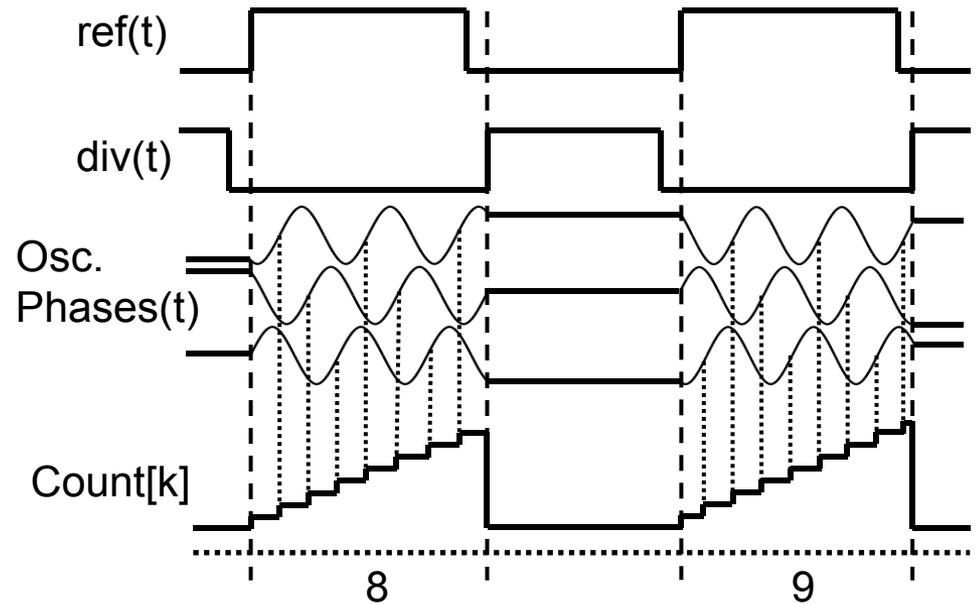
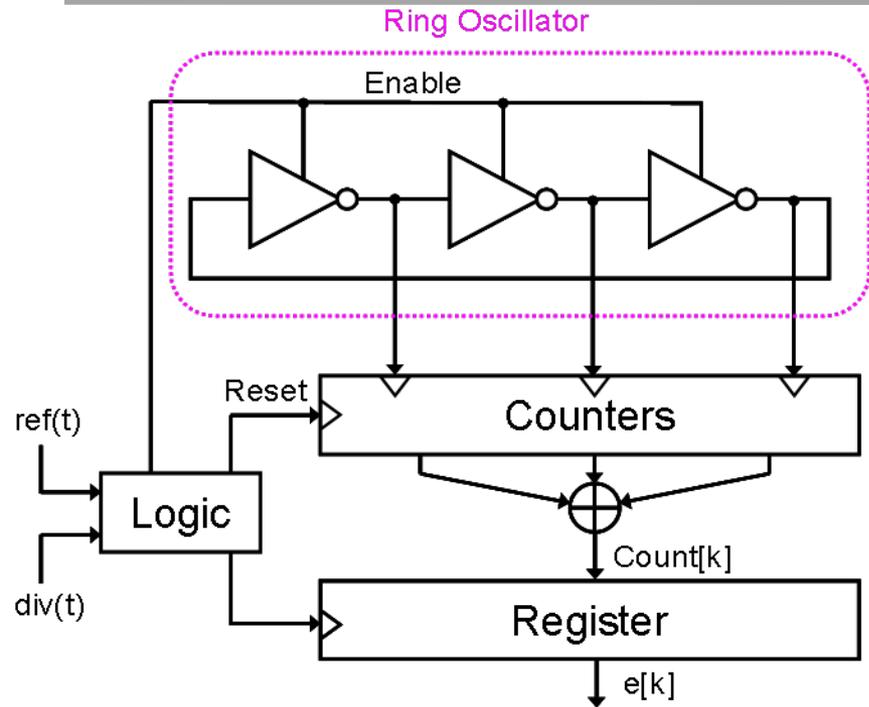


高時間分解能
広入力時間範囲

T : 小
バッファ数 : 多

回路面積、消費電力 \Rightarrow 大

リング発振回路の利用のTDC



入力時間範囲拡大を小規模回路で実現

リング発振回路出力の立上りをカウント

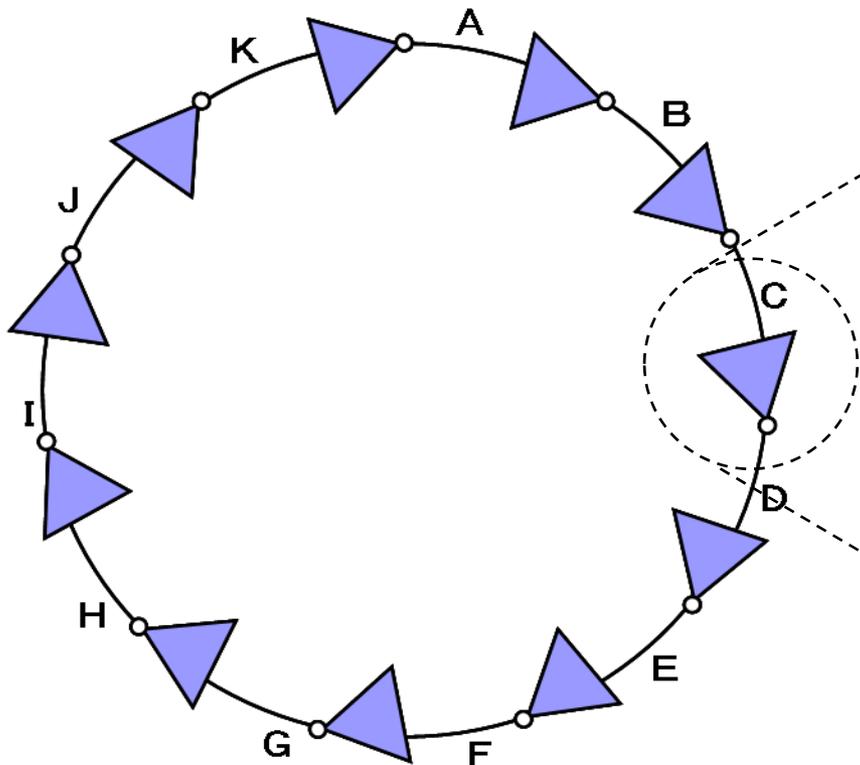
↓

分解能が細かい

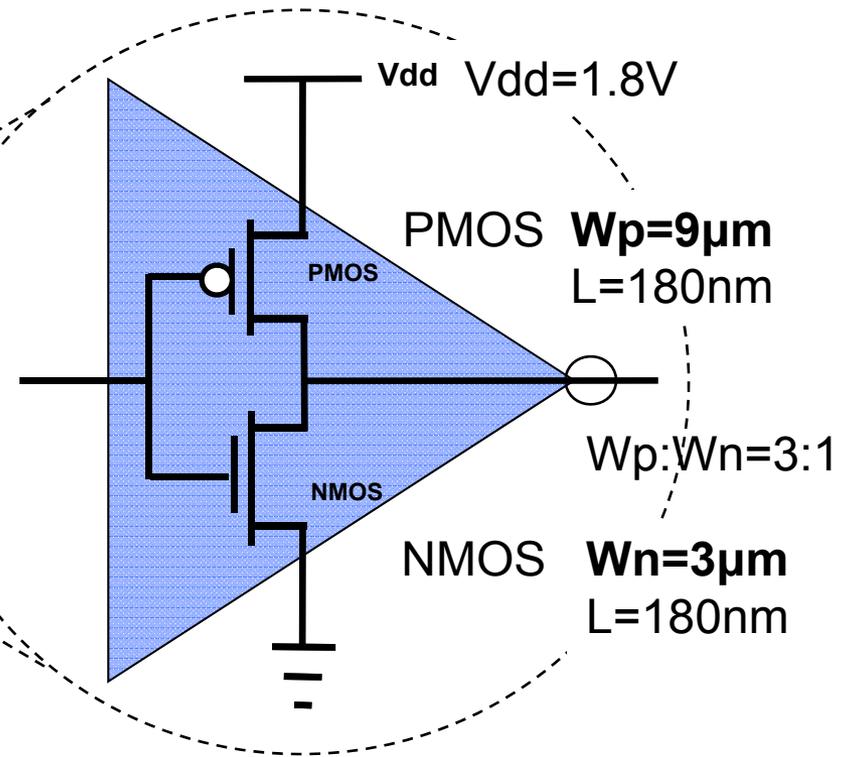
↓

カウント精度向上

リング発振回路の構成



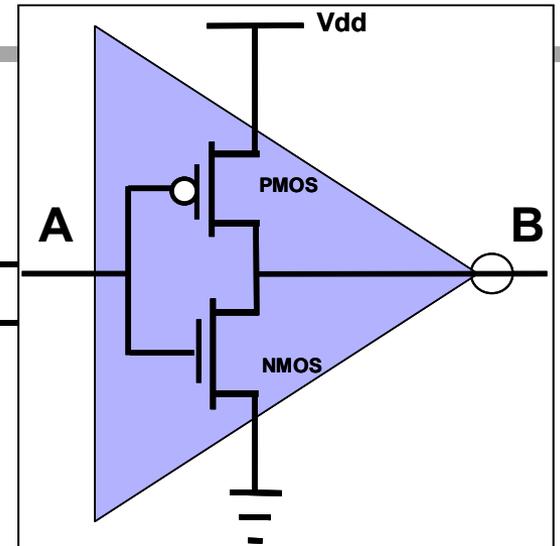
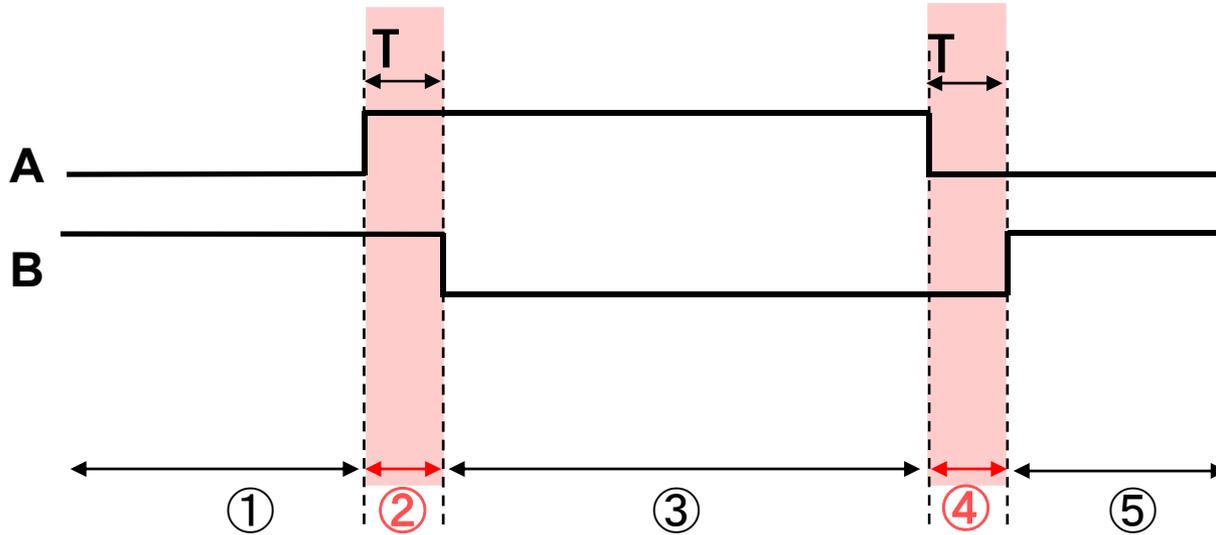
インバータ11段



tsmc 0.18um cmos プロセス

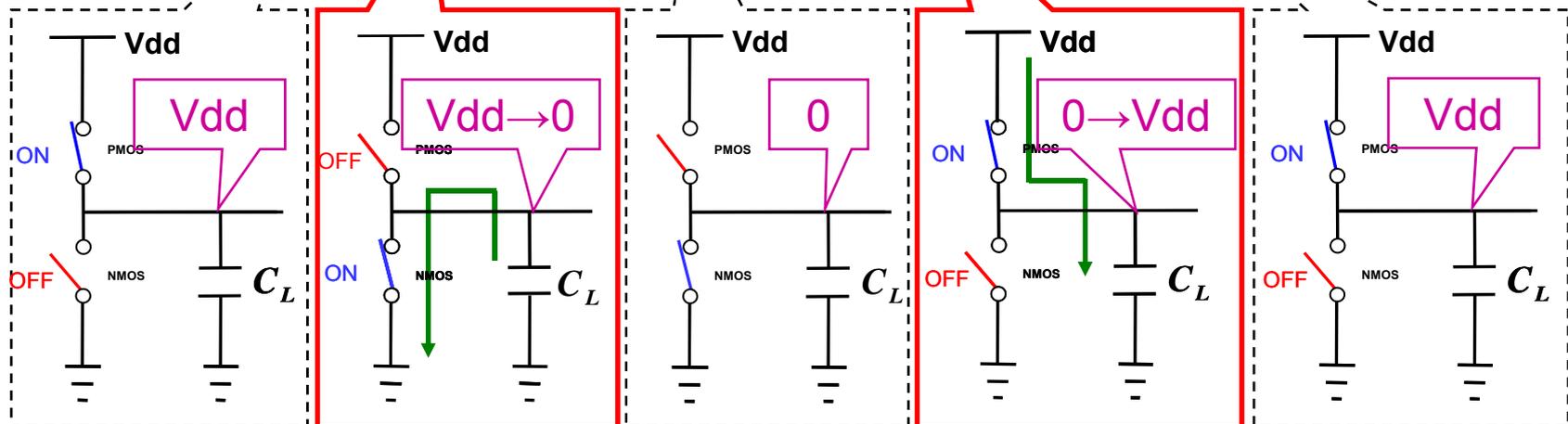
リング発振回路の動作

タイミングチャート



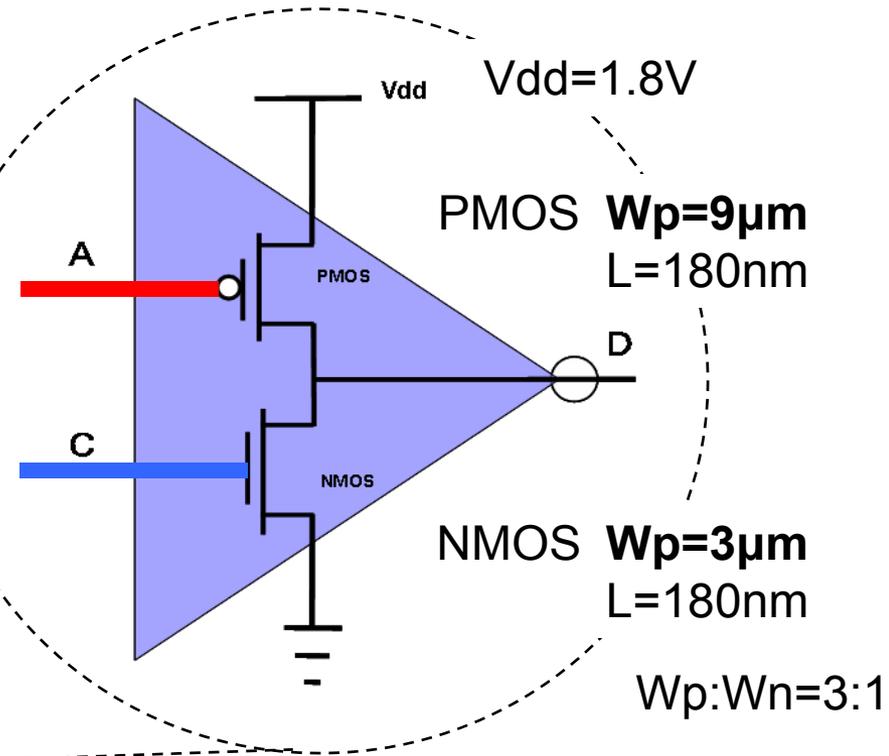
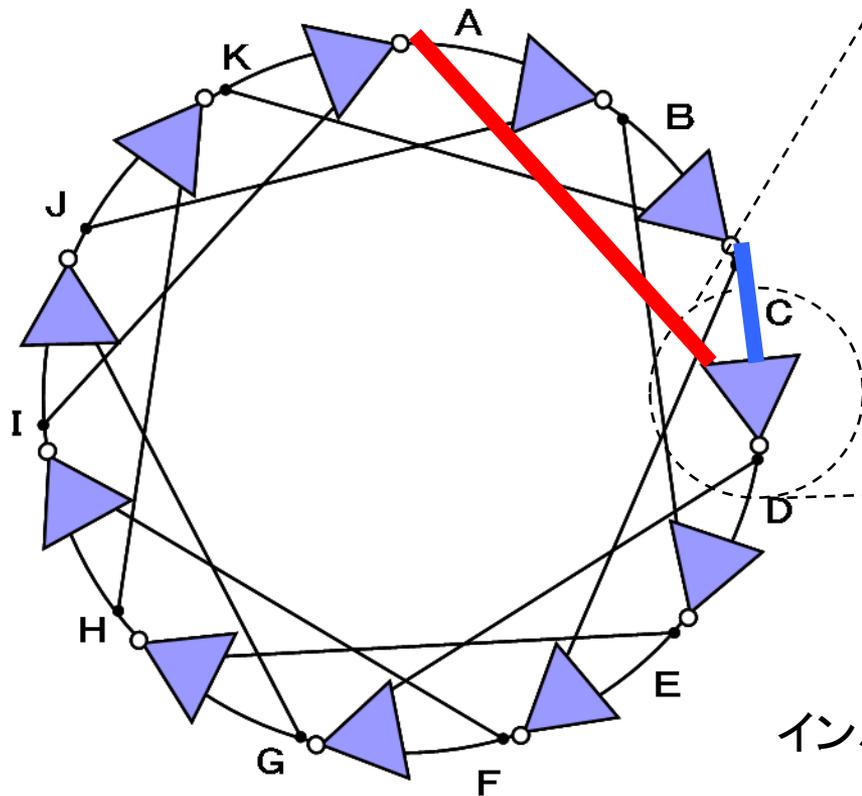
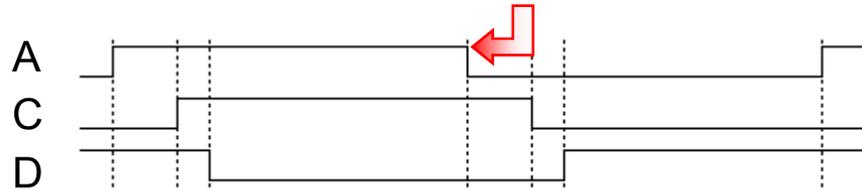
$T_{res} = 2T$ (分解能)

$T =$ インバータ1個の遅延



リング発振回路の高時間分解能化 GRO回路(2段前から)

PMOSを先にアクティブにする。



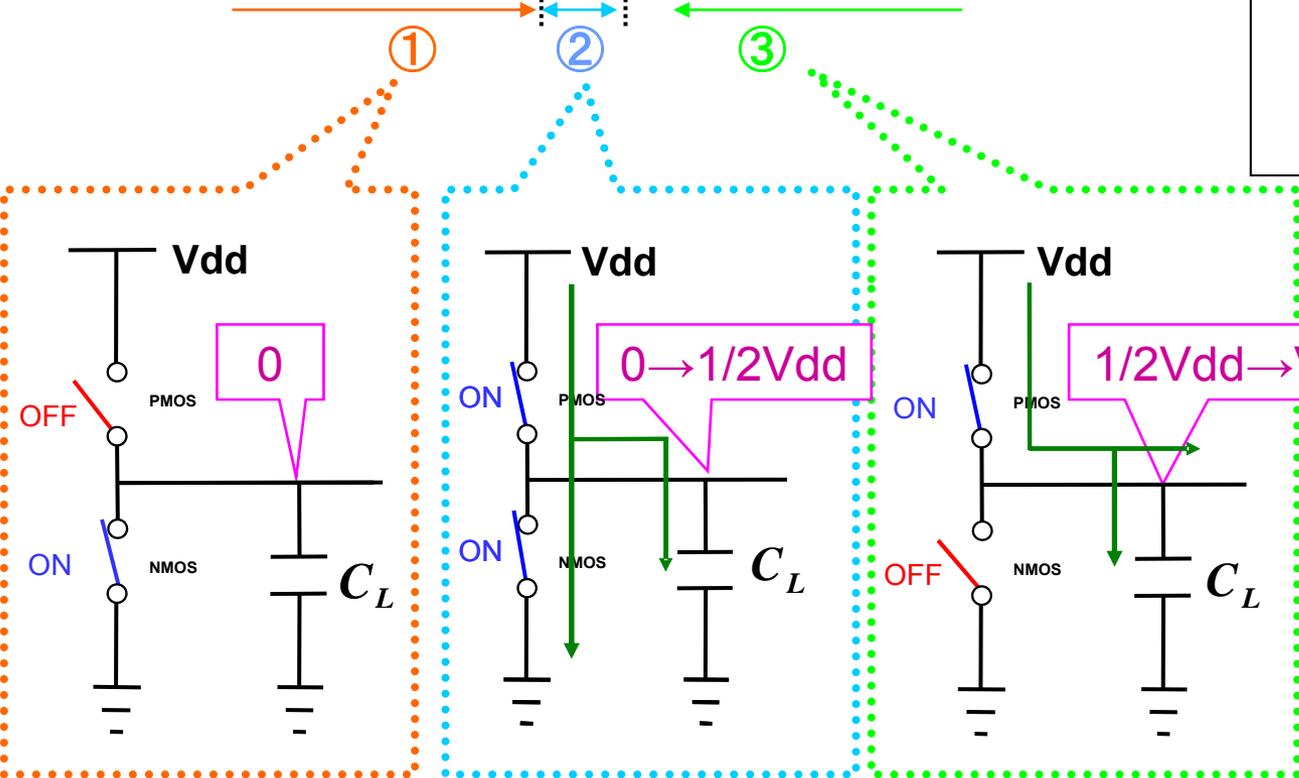
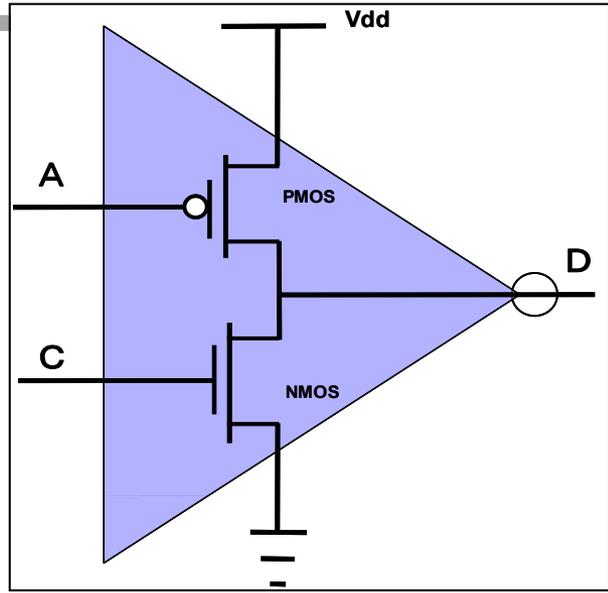
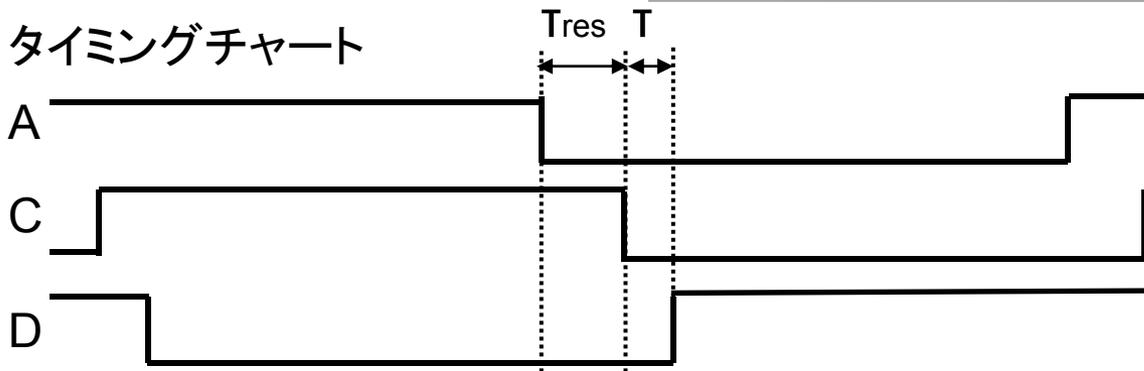
tsmc 0.18um cmos プロセス

インバータ11段

GROの動作

PMOSを先にアクティブにする。

タイミングチャート



$T_{res} = 2T$ (分解能)
 T = インバータ1個の遅延

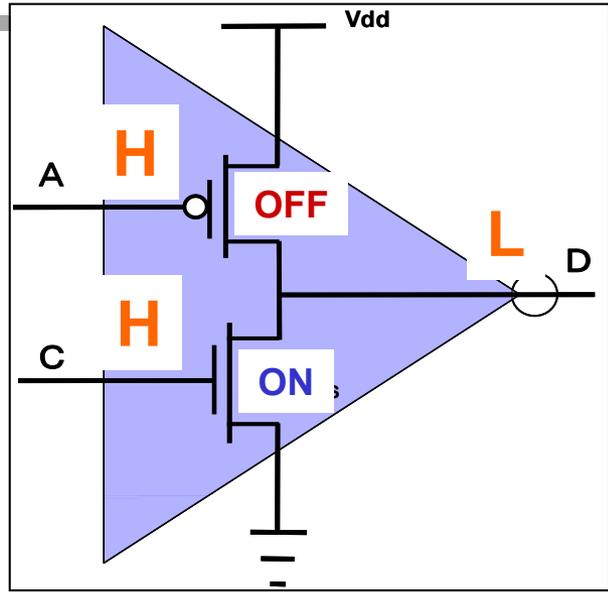
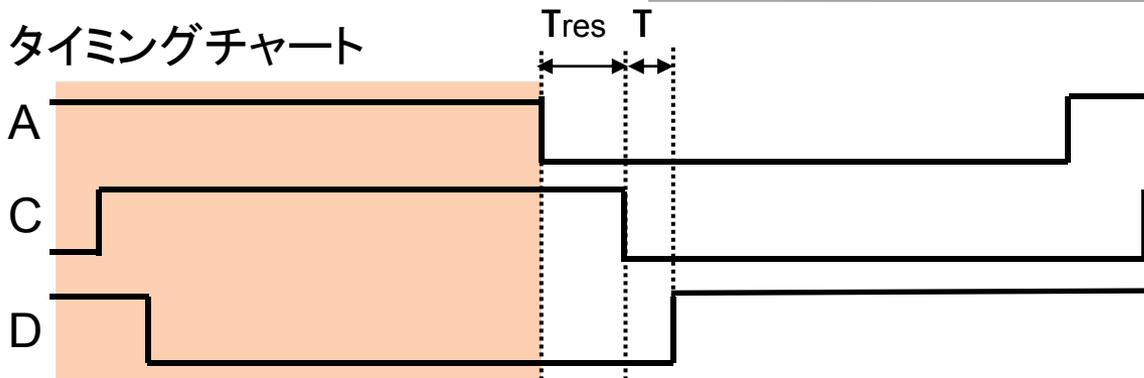
CLにチャージ完了時間 \Rightarrow 早

貫通電流 \Rightarrow 大

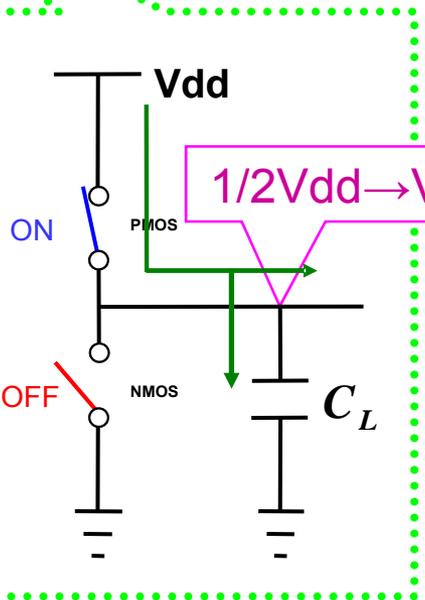
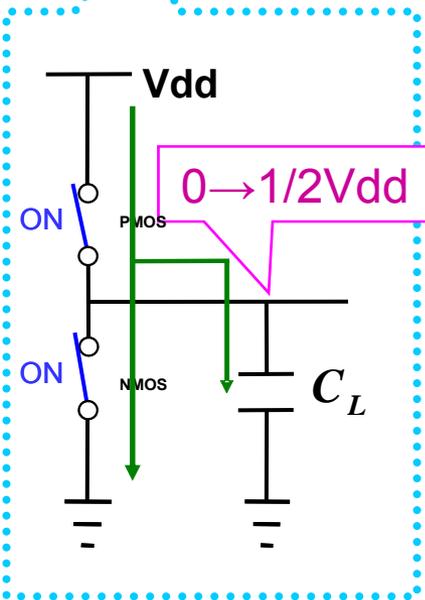
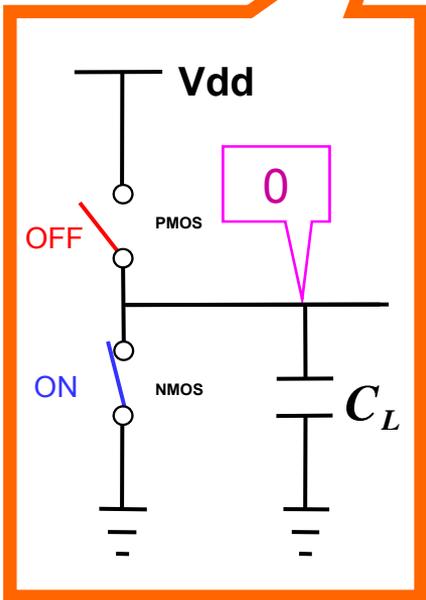
GROの動作

PMOSを先にアクティブにする。

タイミングチャート



① ② ③



$T_{res} = 2T$ (分解能)
 T = インバータ1個の遅延

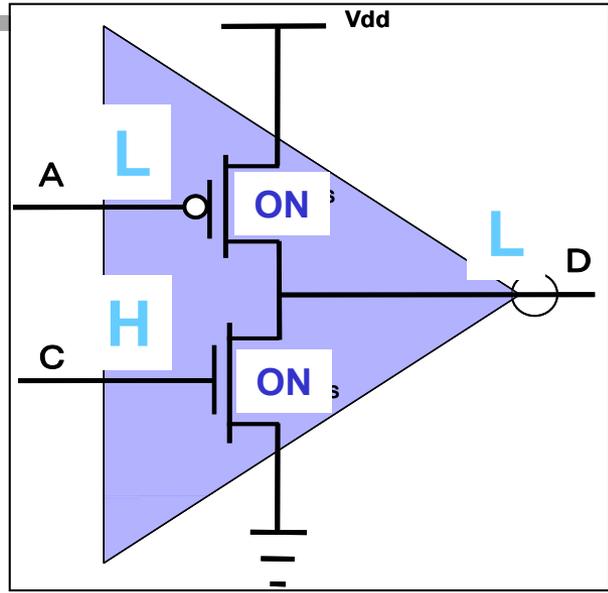
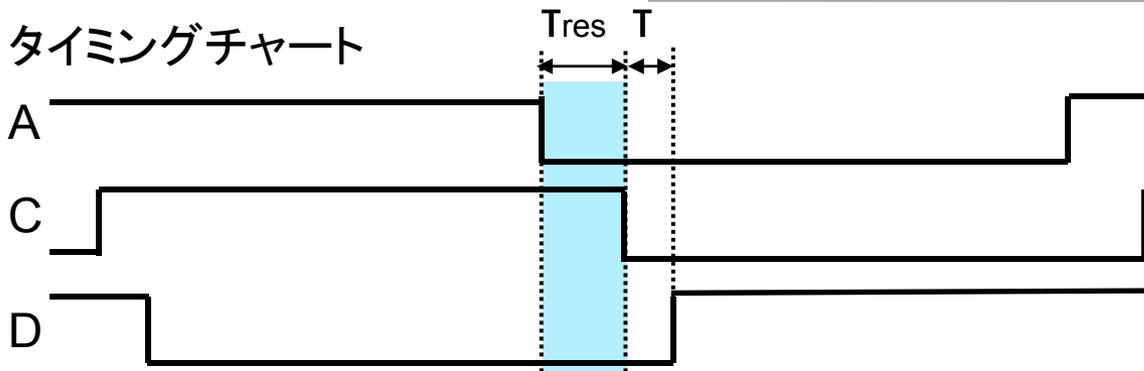
CLにチャージ完了時間 \Rightarrow 早

貫通電流 \Rightarrow 大

GROの動作

PMOSを先にアクティブにする。

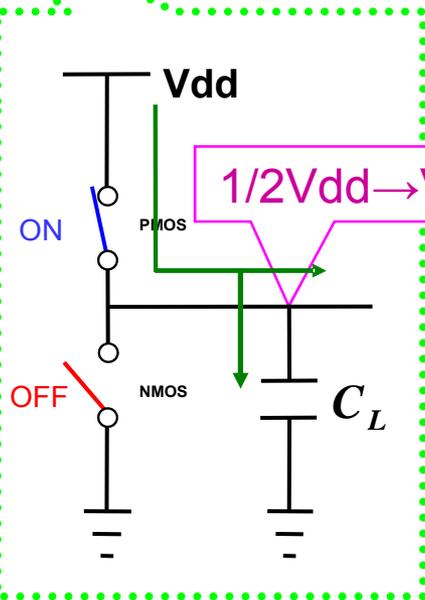
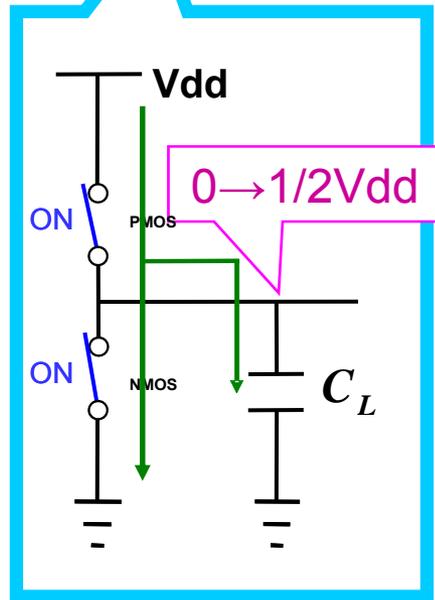
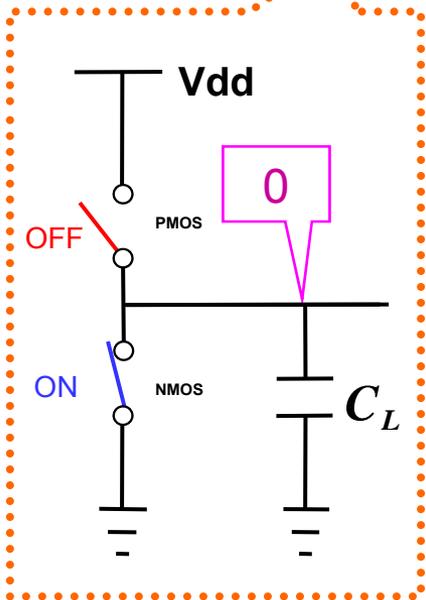
タイミングチャート



①

②

③



$T_{res} = 2T$ (分解能)

$T =$ インバータ1個の遅延

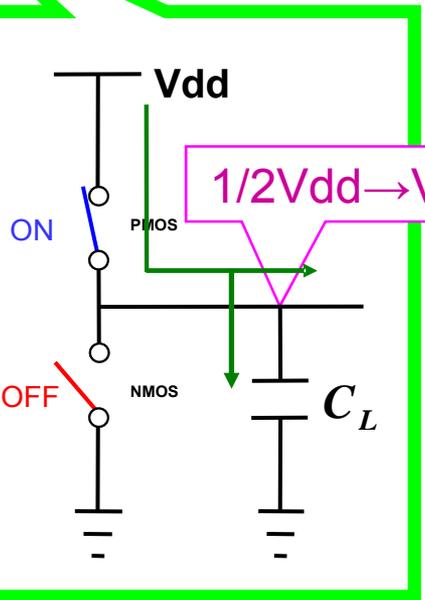
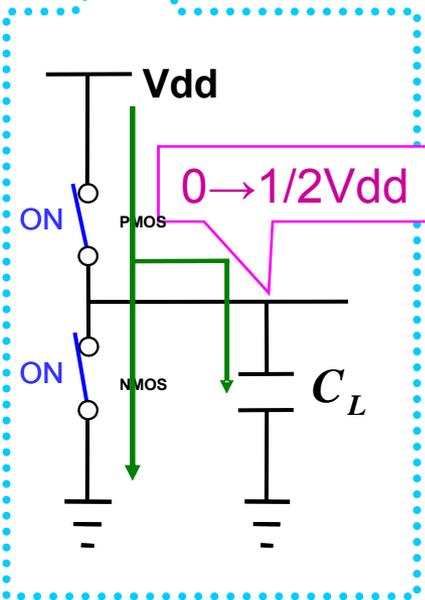
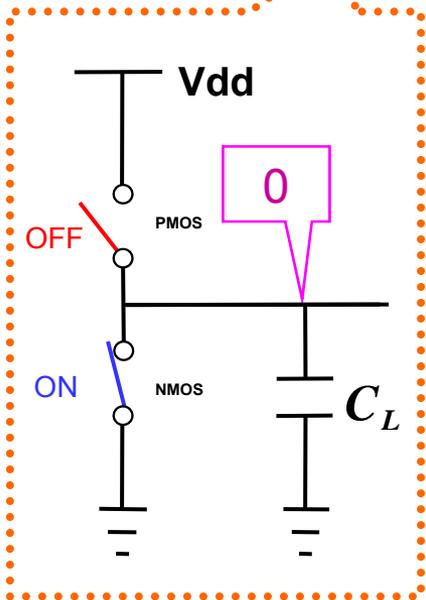
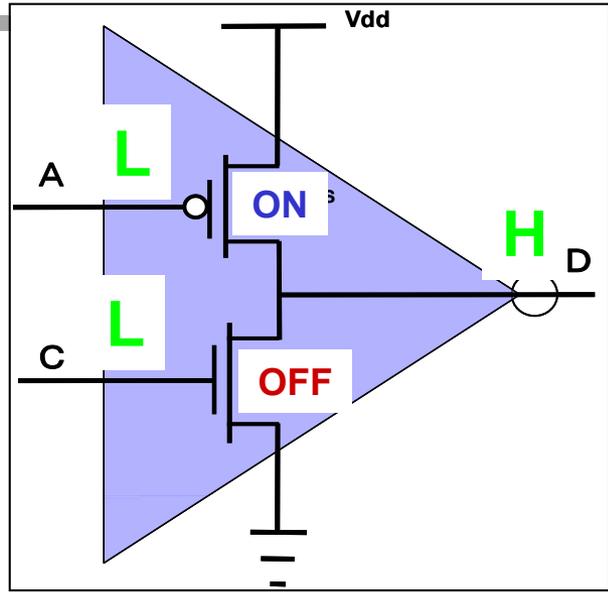
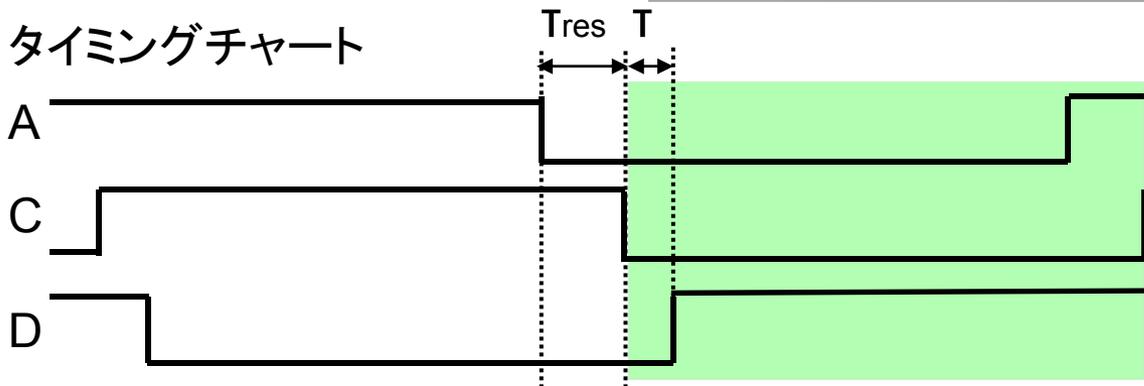
CLにチャージ完了時間 \Rightarrow 早

貫通電流 \Rightarrow 大

GROの動作

PMOSを先にアクティブにする。

タイミングチャート



$T_{res} = 2T$ (分解能)
 T = インバータ1個の遅延

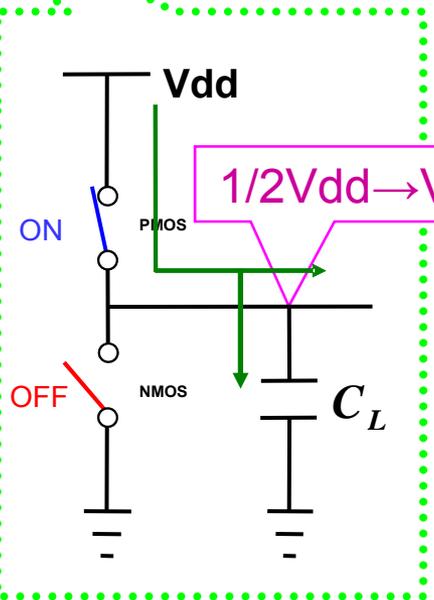
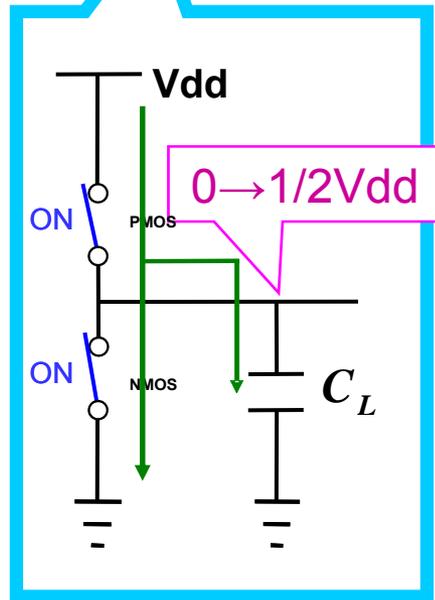
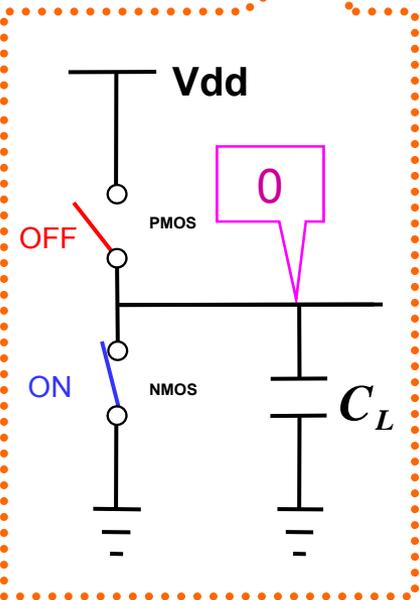
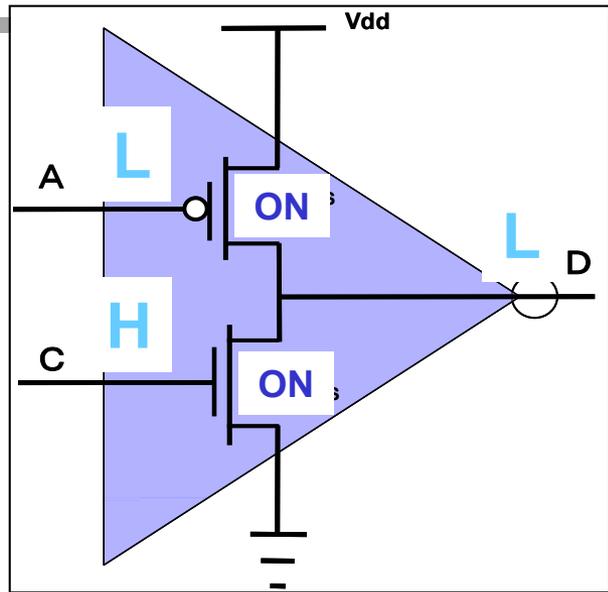
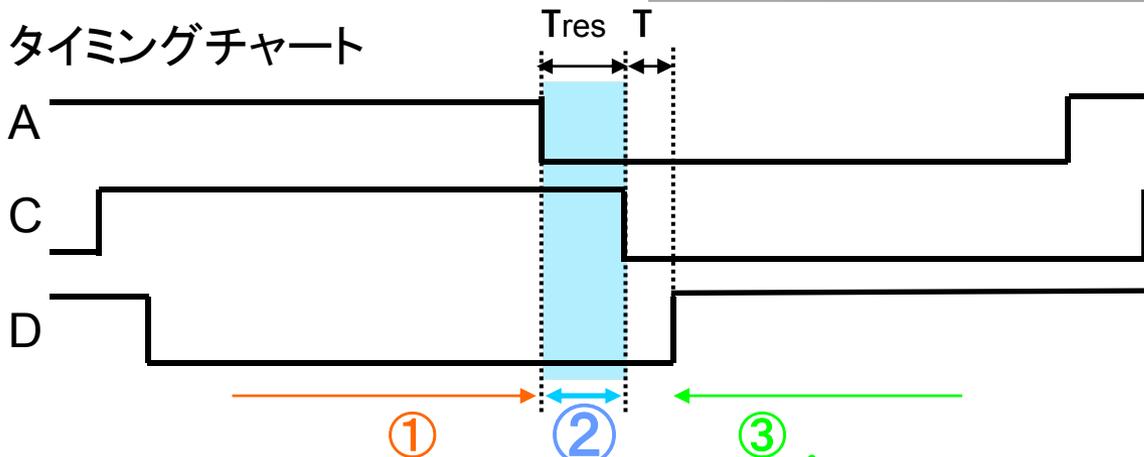
CLにチャージ完了時間 \Rightarrow 早

貫通電流 \Rightarrow 大

GROの動作

PMOSを先にアクティブにする。

タイミングチャート



$T_{res} = 2T$ (分解能)

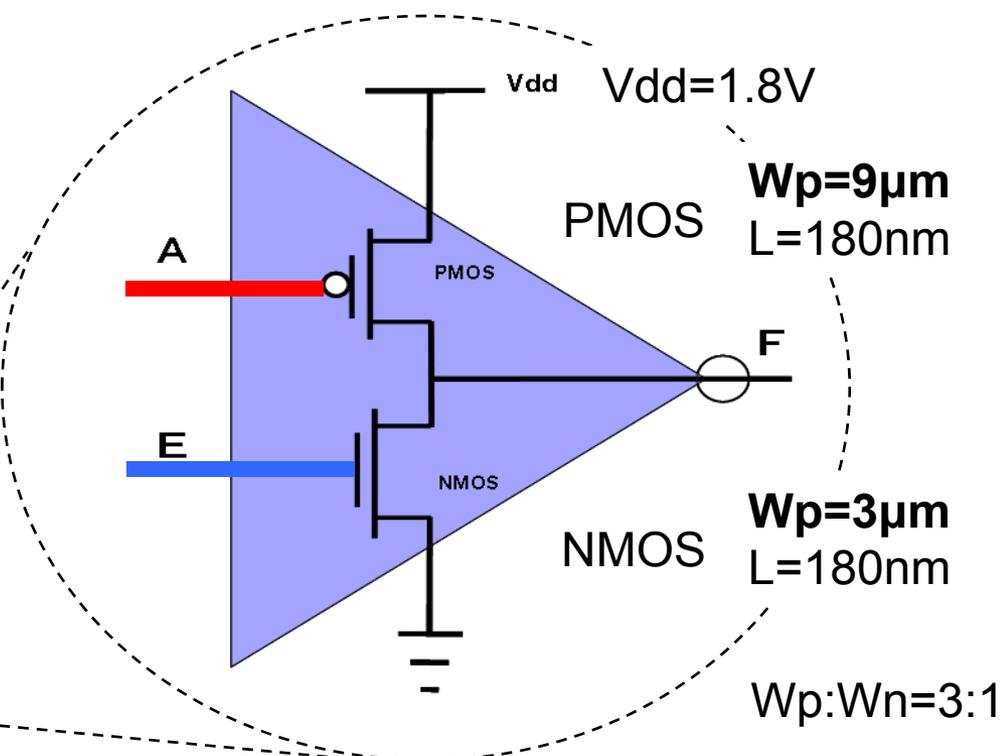
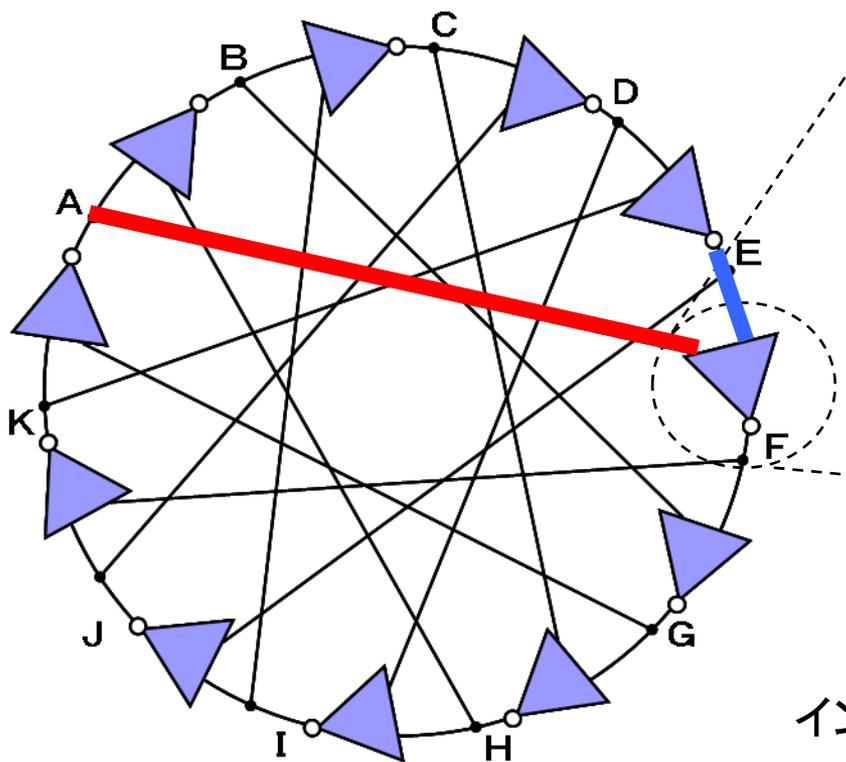
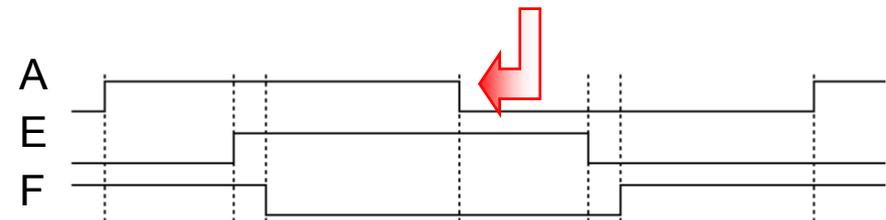
T = インバータ1個の遅延

CLにチャージ完了時間 \Rightarrow 早

貫通電流 \Rightarrow 大

リング発振回路の高時間分解能化 GRO回路(4段前から)

PMOSを先にアクティブにする。



tsmc 0.18um cmos プロセス

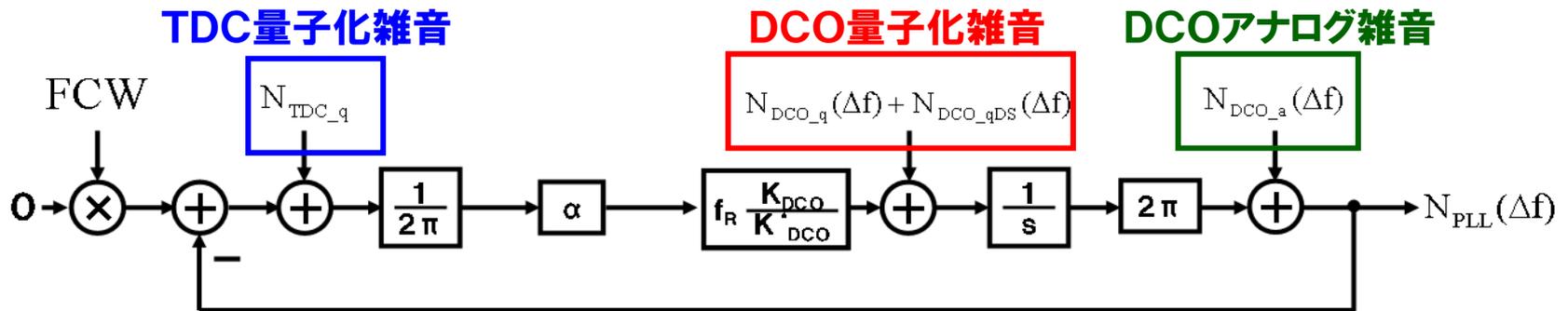
インバータ11段

謝辞

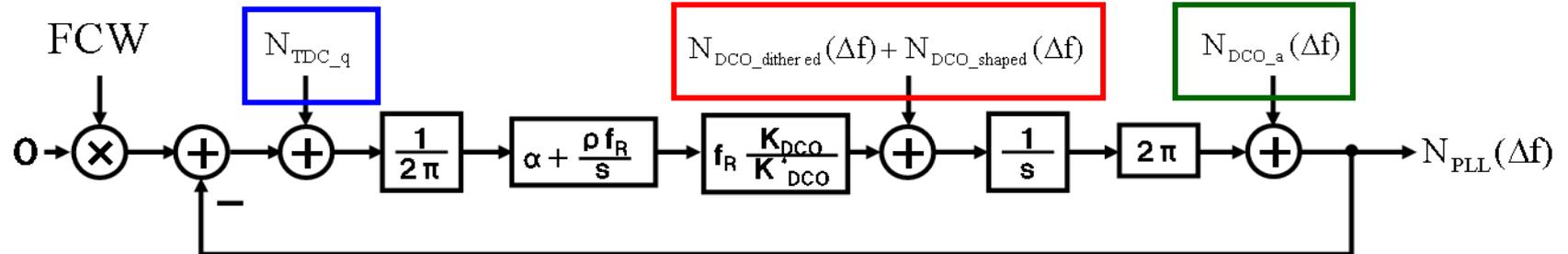
発表の機会をあたえていただきました
オーガナイザの田中聡氏（ルネサステクノロジ社）
ならびに 有意義なご討論をいただきました
石原昇先生（東工大） および
田邊朋之氏、坂田浩司氏、長谷川賀則氏、
三田大介氏、林海軍氏、西村繁幸氏
湯本哲也氏、村上健氏、高井伸和先生をはじめとします
群馬大学、三洋半導体（株）
関係各位に感謝いたします。

ADPLL (タイプ1、タイプ2) 周波数領域モデリングと出力位相ノイズへのノイズ源

Type1



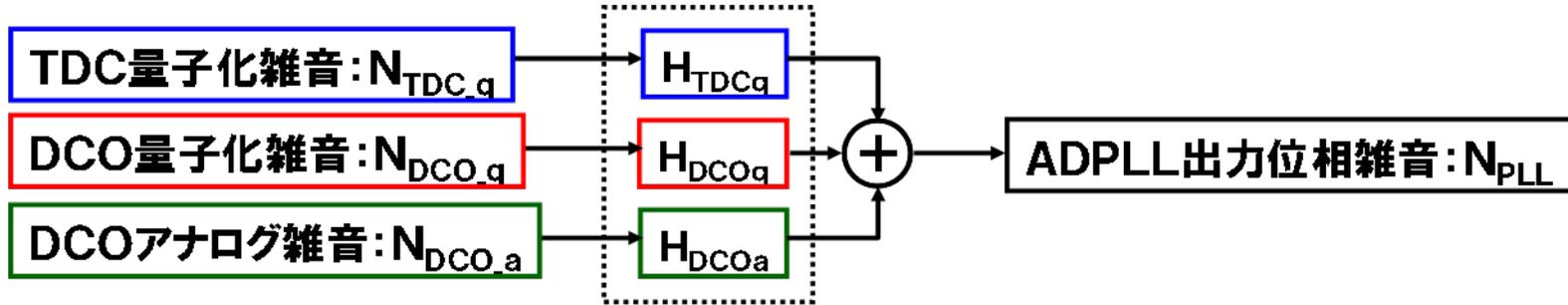
Type2



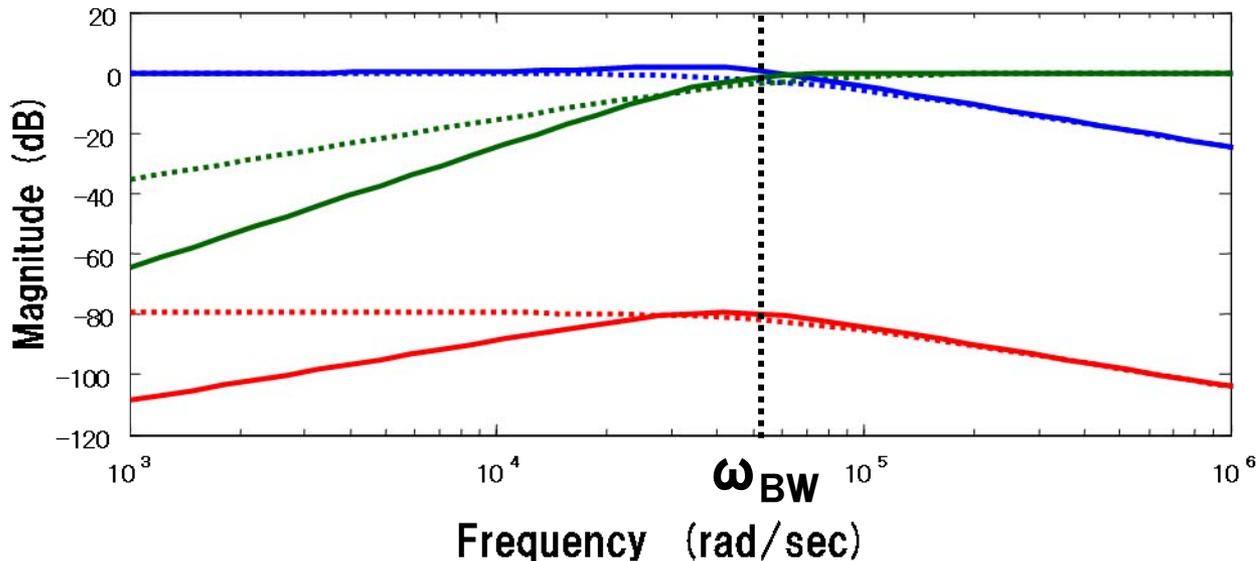
Type2はType1のループゲインに積分項を追加したもの

ループ伝達関数、ノイズ源と出力位相ノイズ

システムの伝達関数



	$H_{TDC,q}$	$H_{DCO,q}$	$H_{DCO,a}$
Type1
Type2	————	————	————



Type1

$$\omega_{BW} = \alpha \cdot f_R$$

Type2

$\omega_{BW} =$

$$\alpha \cdot f_R \cdot \sqrt{\frac{1}{2} + \frac{1}{2} \sqrt{1 + 4 \cdot \rho^2 / \alpha^4}}$$