

完全デジタル PLL 技術の動向

Review of All Digital PLL

小林 春夫[†] 内藤 智洋[‡] 高橋 伸夫[‡] 壇 徹[‡]

Haruo KOBAYASHI[†] Tomohiro NAITOU[‡] Nobuo TAKAHASHI[‡] Toru DAN[‡]

群馬大学大学院 工学研究科 電気電子工学専攻 〒376-8515 群馬県桐生市天神町 1-5-1

[†] Graduate School of Engineering, Gunma University 1-5-1 Tenjin-cho, Kiryu, Gunma, 376-8515 Japan

[‡] 三洋半導体 (株) [‡] SANYO Semiconductor Co., Ltd.

E-mail: [†] k_haruo@el.gunma-u.ac.jp [‡] {Tomohiro.Naitou, Nobuo.Takahashi, toru.dan5}@sanyo.com

Abstract

This article reviews All Digital PLL (ADPLL) technology, and its design concept, features, applications, research activities as well as its configuration and operation are described. ADPLL is a suitable PLL architecture to implement with fine digital CMOS technology, and it fully takes advantages of digital CMOS technology, where time-to-digital converter (TDC) for phase-frequency detector circuit (PFD), delta-sigma modulation for Fractional-N, digitally-controlled oscillator (DCO), digital self-calibration, dynamic matching, digital loop filter with programmability are exploited and used. Most of its design, verification and testing can be done in digital domain, and now many researchers in industry and academia are paying attention to it.

1. はじめに

ここでは、完全デジタル PLL 回路 (ADPLL: All Digital Phase Locked Loop) 技術について解説する。

ADPLL は、すべてをデジタル回路で構成した PLL 回路である。特に、微細な設計ルールを用いて製造する CMOS 製システム LSI に、適した技術である。ADPLL は デルフト工科大学 (オランダ) の Bogdan Staszewski 教授 (元 Texas Instruments 社) によって提案された位相同期回路方式である。無線通信回路の周波数シンセサイザにおけるキー技術であることから、各国の大学や企業で活発に研究が進んでいる。これまでも「デジタル PLL」と呼ばれるものがあったが、実際にはかなりアナログ回路が残っていた (図 1, 2, 3)。ADPLL の研究開発には、PLL 回路技術に加えてデジタル信号を処理する知識が不可欠である。また ADPLL の設計思想は、微細 CMOS でのシステム LSI 内部のほかのアナログ RF 回路の設計にも示唆を与える。ADPLL は無線通信用の発振器回路のみならず、システム LSI 内部のデジタル・クロック生成回路などへの応用が期待できる。

2. PLL 回路の構成と役割

この節では一般的な PLL 回路の役割を説明する。PLL 回路とは、入力された交流信号に対し、周波数が等しくかつ位相が同期した信号をフィードバック制御により別の発振回路 (従来の PLL 回路では VCO (Voltage Controlled Oscillator: 電圧制御発振回路) から出力するものである (図 1))。フィードバック経路に分周回路を配置すれば、周波数逡倍も実現できる。

PLL の特徴は、広い周波数範囲に渡って、精度の高い信号を発振できることである。近年の通信機器に

おいては、広い周波数範囲での動作が必要になっている。ところが水晶発振器の場合、比較的高い周波数など特定の領域では高い精度 (温度依存性など) を実現するが、広範囲な周波数には対応できない。PLL 回路は、こうした場合の周波数シンセサイザで利用される。

このほか、システム LSI 内部において、デジタル回路を動作させるための高周波クロック信号発生に PLL は利用されている。こうした例では、PLL において、比較的低周波の入力クロック信号を周波数逡倍し、高周波クロック信号を生成する。

さらに PLL 回路は、FM 復調器やクロック・データ・リカバリなどにも利用されている。

3. ADPLL 回路の特長

ADPLL は、低電圧動作の進む微細 CMOS 製システム LSI での利用に適した PLL 回路方式である。具体的には、最小加工寸法が 130nm 以降の CMOS プロセスで、時間分解能が高くなると、従来のアナログ PLL と同等の性能を発揮することが期待できる。

ADPLL のメリットは、以下ようになる。

微細な設計ルールを利用するデジタル CMOS 回路での、低電源電圧動作に適している。

CMOS プロセスの微細化が進むほど、性能向上を期待できる (従来のアナログ PLL では微細化しても必ずしも高性能化するわけではない)。

小さなチップ面積で実現できる。

初回の試作での完全動作が期待できる。

プロセス開発と並行して回路設計が行える。

プロセス・ポータビリティおよびプロセス・スケラビリティが確保できる。

これらの ADPLL のメリットは、下記の特徴からもたらされている

デジタル回路で構成するだけでなく、回路設計や検証そしてテストもデジタル回路と同様の手法を用いることができる

アナログフィルタ(抵抗やキャパシタを多用)をデジタルフィルタに置き換えるので、チップ面積を縮小できる

チャージ・ポンプ回路が不要である。このため低い電源電圧での動作が可能となる。またチャージ・ポンプのスイッチ動作がなくなるので、位相雑音を低減できる

発振出力の位相雑音の要因を、DCO 周波数分解能、DCO 位相雑音、TDC (time to digital converter)時間分解能の3つに特定できる

デジタル回路のためプログラム制御が可能になる。このため、PLL 回路での高速整定と位相雑音のトレードオフの問題が解決できる。すなわち、設定周波数を変化させた過渡状態においては、制御ループ(デジタルフィルタ)の時定数を小さくして高速応答を行い、動作が収束した際には位相雑音が小さくなるようにループ伝達関数を設定できる。

デジタル自己校正により、製造プロセスや電源電圧、温度変動のループ伝達関数への影響を、自動的にキャンセルできる

ADPLL を提唱した Bogdan Staszewski 教授がその著作で何回も強調しているが、ADPLL は次のような考えに基づいて設計されている。

「ディーブ・サブミクロンの CMOS 製造プロセスにおいて、デジタル信号の時間分解能はアナログ信号の電圧分解能よりも優れている」。

デジタル CMOS 回路は、スピードや消費電力の観点から極めて優れており、これが CMOS プロセスが LSI において主流になった理由である。上記の考え方に基づく ADPLL は、まさに微細 CMOS の良さを最大限に利用した方式である。

4. ADPLL 回路の基本構成

ADPLL 回路は、DCO、カウンタ回路と TDC 回路、および周辺デジタル回路で構成する(図4)。DCO は、従来の VCO 回路を置き換えるものである(図5, 6)。カウンタ回路および TDC 回路(図7)は、従来の PLL 回路における位相比較回路とチャージ・ポンプ回路を置き換えている。周辺デジタル回路によって従来のアナログフィルタをデジタルフィルタに置き換えている。

4.1 DCO(デジタル制御発振器)回路

ADPLL では、内部の発振回路に VCO はなく DCO 回路が用いられている。DCO は、入力がデジタル値で、出力はその値に応じた発振周波数の信号になる。DCO の内部はアナログ回路だが、入出力信号はデジタル信号である。これは基本的なデジタル回路であるフリップフロップ回路と類似している。

DCO 回路は例えば、MOS の差動対でゲートとドレイ

ンを禪(たすき)掛けして構成した負性抵抗と、インダクタおよび容量 C から構成される LC 発振回路として実現できる(図5)。ここで容量 C は、MOS バラクタ配列として実現する(図6)。DCO はデジタル入力に応じて発振周波数を変化させるために、MOS バラクタの容量値を変化させる必要があるが、MOS バラクタのバイアス電圧をアナログ的に変化させるのではなく、デジタル値として変化させる(図6)。すなわち各バラクタをデジタル入力が 0 のときはバイアス電圧を大きくし(バラクタ容量値 C)、1 のときはバイアス電圧を小さくし(バラクタ容量値 $C + C$)、バラクタ値を 2 値として扱う。アナログバイアス電圧を与える場合は、その揺らぎが位相雑音となってしまいが、DCO 方式ではバイアス電圧の揺らぎが位相雑音に与える影響は少ない。バラクタ配列全体では、デジタル入力にほぼ比例したバラクタの個数に対して高いバイアス電圧を与え、残りのものは低いバイアス電圧を与えることになる。

最小バラクタ容量変化値が、要求される周波数分解能より大きい場合は、デルタシグマ変調によるディザリングを用いる(図8, 9, 10)。たとえばバラクタ 1 個による容量値変化が C と $C + C$ であるとする、デルタシグマ変調により、時間的に C を選択するのを 70%、 $C + C$ を選択するのを 30% とする。これにより、等価的に $C + 0.3 C$ を作りだす。これはいわゆる「Fractional-N 型 PLL」を実現していることになる。

プロセス微細化に伴い、バラクタのマッチングは良くなり、また最小容量値は小さくなっている。このほか、バラクタ値のミスマッチに起因する、デジタル入力とバラクタ配列全体の容量値間の非線形性の影響を軽減するために、時間ごとに選択するバラクタを変化させる「ダイナミック・マッチング」という手法も利用できる。これは、型 D-A 変調器で利用されている技術である。ADPLL は規模の大きな型 D-A 変調器と捉えることができる。両者とも、CMOS プロセス微細化による動作クロック周波数の向上に追従して、性能を向上できる信号発生回路であると解釈することもできる

後述するように、DCO の周波数分解能が有限であることや、LC 発振回路の位相雑音があることによって、ADPLL 出力の位相雑音に影響が出ることがある。ここで DCO の利得を、「DCO のデジタル入力値を 1 ビット変化させたときの出力周波数変化」として定義する。この DCO 利得は、温度や電圧、時間の変動だけでなく発振周波数によっても異なる。このため DCO の利得は、ADPLL の伝達関数を設定する際に知っておかなければならない値と言える。ADPLL はデジタル自己校正によってこの値を自動的に計測/計算し、逆数を掛けて DCO 利得を正規化する。これにより、DCO 内部がアナログ回路特有のばらつきや変動があることを、自動的に補正している(図11)。

4.2 TDC 回路による位相差検出

ADPLL では、出力信号と基準入力信号の周波数/位相比較回路として、カウンタ回路と TDC 回路を用い

る(図4, 図7)。カウンタ回路において, 出力周波数が基準入力周波数の約何倍の整数値になるかを計測する。そしてTDCで, 少数部分を計測する。両者の値を合わせることで, 出力周波数(位相)と基準入力周波数(位相)の比(差)を正確に知ることができる。ADPLLは, 微細 CMOS でのアナログ回路として注目の集まるTDCを位相差検出のために用いており, 非常に先進的であり, 時間分解能回路の領域を切り開いたとも言えよう。

TDCはいわゆる Fractional-N 型 PLL (図8, 9, 10)を実現する際に必要不可欠である。TDCの時間分解能や線形性は, 周波数/位相比較器の精度を決定し, 出力信号の位相雑音に影響を与える。このためより細かい時間分解能を持つパーニア型等のTDCの回路トポロジーが提案されている。さらにTDCの回路量を減らし量子化誤差を1次ノイズシェーブさせるためにリング状にインバータ遅延を接続するTDC構成も提案されている。

また, TDCを構成するインバータ遅延線の遅延量は, 温度や電圧変動の影響を受けるが, 次のような自己校正を行うことでその影響をキャンセルしている。DCO出力の発振周波数(周期)は既知であるので, TDC回路でその周期をインバータ遅延線の遅延量との相対値として測定する。これにより, 逆にインバータ遅延線の遅延値を計測し, その値をもとにTDCでの時間計測値を補正する。TDCの自己校正は重要な技術課題でありいくつかの方式が考案されている。

なお, CMOS TDC回路は日本人の高エネルギー加速器実験(原子核物理学分野)の研究者によって考案され, 1988年に発表されている[11]。多チャンネル(数百万チャンネル)で時間分解能が数ナノ秒の時間測定を実現し, 実際に高エネルギー物理学の実験システムに組み込まれて使用された。そのTDC回路が現在目的を変え, 微細 CMOS での時間分解能アナログ回路としてADPLL回路等に使われている[13]。

4.3 同期デジタル回路での信号処理

高い周波数の出力信号で低い周波数の基準入力信号をリタイミングすることで, システム全体を同期回路として信号処理をする。しかしこのリタイミングの際に出力信号と基準入力信号は非同期であるので(フリップフロップのセットアップ時間とホールド時間を常に満たしているとは限らないので), いわゆるメタスタビリティの問題が生じる。

メタスタビリティとは, セットアップ時間またはホールド時間が満足されないタイミングの入力信号の場合にフリップフロップ出力が論理"0"と"1"の中間の値をとり続けてどちらかに整定するまでに時間がかかる現象である。CMOS微細化に伴い回路の時定数が小さくなるので発生確率は小さくなるがゼロにはできない。TDC, AD変換器やオシロスコープのトリガ回路等の非同期回路では避けて通ることができない問題である。

ADPLLでは回路やシステムを工夫することで, メタ

スタビリティの発生確率を低く抑えている。

4.4 位相領域での演算

カウンタやTDCで計測した位相差を, 設定周波数(FCW: Frequency Command Word)を時間積分して位相情報に変換させたものと比較し, デジタルフィルタを通してDCOへ入力する。FCWを直接DCO入力させるという「フィードフォワード方式」によって, 応答特性を向上させる手法も提案されている。この場合, FCWによる設定周波数を変更するタイミングを, ジッタが少ないようにデジタル的に設定できる。

タイプI, タイプII, および高次のPLL回路はこのデジタルフィルタ部分の設定により実現可能である。またフィルタのパラメータを動作状態に応じてダイナミックに変更することも可能だ(車の運転にたとえてギア・シフトとよばれる)(図12)。

5 時間/周波数両面からのモデリング・設計

ADPLLのデバイス・モデリングおよび設計の際には時間領域と周波数領域の両方のアプローチが必要である(図13)。ADPLLはデジタル回路で実現できるので, Matlabによるシステムシミュレーションの後にVHDL(VHSIC hardware description language)シミュレーションのための時間モデルを構築すると, 回路設計が行いやすい。

一方, ループ伝達関数に基づく応答特性や位相雑音の計算のために, 周波数領域での解析・設計も有用である。TDC量子化誤差, DCO有限周波数時間分解能, DCOの位相雑音がADPLL出力信号への位相雑音への要因になる(逆にいえば位相雑音の要因は, これらのみ限定できる)。

これら3つの出力信号位相雑音への影響は, ADPLLループ伝達関数に依存する。TDC有限時間分解能による位相雑音への影響は低周波領域であり, DCO有限周波数分解能による影響は高周波領域となる。つまり, 時間, 周波数分解能, 伝達関数の設計で出力位相雑音が計算できる。ADPLLは, プロセス微細化とともに分解能が向上するため, 位相雑音特性が従来のアナログPLLよりも優れることが期待できる(図14)。

さらにADPLLでは, ある内部ノードにおけるデジタル値の変化と, 出力信号の位相雑音に強い相関があることがわかっている。このため, 内部のデジタル値の変化を観測することで位相雑音特性の製造出荷時のテストを行えることが指摘されている¹⁾。この場合, 高価な計測器を使用せずとも, 位相雑音を推定できることになる。

6. ADPLLでの技術課題

ADPLLではバラクタ配列を常時スイッチングして周波数の高分解能を実現しているためそのスイッチングノイズが発振回路にまわりこむ。このため位相ノイズへの影響が問題になる。高純度のシンセサイ

ザを実現するには技術上のさらなる工夫が必要である。

また、LC 発振回路はADPLL内での数少ないアナログ的な回路であるが、CMOS微細化に伴い低電源電圧化していくと特性を達成するためには高度なアナログ設計が必要になってくる。

ADPLLは時間領域で分解能を得るTDC回路等を用いている。微細CMOSになるほど時間分解能で信号を扱うのは有利になっていくが、電圧で信号を扱うのに比べて時間で信号を扱うのはジッタ等難しい側面もあることに注意すべきである。

ADPLLで最高性能の周波数シンセサイザを実現するためにはまだ回路システム上の新規なアイデアが必要である。最高性能のADPLLはやはりアナログPLLで実現するのが適しているという見方をする研究者もいる。

7. 各国の研究開発動向と今後の展開

ADPLL 回路に関する国際学会の発表では、TI社 [2][3] に加えて台湾 MediaTek, Inc. [4], 米 Intel Corp., 米IBM Corp [5], 伊 ST マイクロ[8][9]. から活発に報告されている。

一方大学では、米 MIT [6], 米 UCSD (University of California, San Diego 校), 米 UCLA (University of California, Los Angeles 校)[7], 伊 Pavia 大学[8][9]、台湾交通大学[10]、東京工業大学、群馬大学・三洋半導体[12]からの発表がある。

ADPLLでは、位相変調や周波数変調がデジタル的に容易にプログラム可能であるため、Bluetooth用のポータブル方式送信機内で用いることがTI社から発表されている。また、位相雑音の低減が可能のため、ローカル信号発生器として用いることもできる。

今後はシステム LSI 内部のデジタル回路クロック供給や、広帯域の可変ローカル信号発生器にも用いられることが期待される。現在システム LSI 内部のデジタル回路へのクロック供給源としては、複数の PLL 回路が用いられている。一方で ADPLL を用いれば、抵抗やキャパシタで構成する低域通過フィルタが不要のため、チップ面積が小さく済む。電源電圧が低下したり、用いる製造プロセスを変更したりする時にも、設計変更が少ないという優位性もある。

今後ますます ADPLL およびそれを用いた回路システムの研究開発がすすんでいくと予想されるが、その際には従来の高周波回路設計者や PLL 設計者に加え、信号処理研究者の協力が重要になると思われる。

謝辞: 田邊朋之氏、坂田浩司氏、長谷川賀則氏、三田大介氏、林海軍氏をはじめとします群馬大学、三洋半導体(株)関係各位に感謝いたします。

参考文献

[1] R. B. Staszewski, P. T. Balsara, All-Digital Frequency Synthesizer a Deep-Submicron CMOS,

- Wiley-Interscience (2006).
- [2] R. B. Staszewski, et. al., "All-digital PLL and transmitter for mobile phones", IEEE Journal of Solid-State Circuits, pp. 2469 - 2482, Dec. 2005.
- [3] K. Muhammad, et. al., "The first fully integrated quad-band GSM/GPRS receiver in a 90-nm digital CMOS process", IEEE Journal of Solid-State Circuits, vol. 41, pp. 1772 - 1783, Aug. 2006.
- [4] H.-H. Chang, et. al., "A Fractional Spur-Free ADPLL with Loop-Gain Calibration and Phase-Noise Cancellation for GSM/GPRS/EDGE", pp.200-201 ISSCC, Feb, 2008
- [5] A. V. Rylyakov, et. al., "A Modular All-Digital PLL Architecture Enabling Both 1-to-2GHz and 24-to-32GHz Operation in 65nm CMOS", pp.516-517 ISSCC Feb. 2008.
- [6] C.-M. Hsu, et. al., "A low-noise wide-BW 3.6-GHz digital $\Delta\Sigma$ fractional-N frequency synthesizer with a noise-shaping time-to-digital converter and quantization noise cancellation", IEEE Journal of Solid-State Circuits, pp. 2776 - 2786, Dec. 2008.
- [7] M. E. Heidari, et. al., "All-Digital Outphasing Modulator for a Software-Defined Transmitter", IEEE Journal of Solid-State Circuits, pp.1260-1271, April 2009.
- [8] Colin Weltin-Wu, et. al., "A 3GHz fractional-N all-digital PLL with precise time-to-digital converter calibration and mismatch correction", ISSCC pp. 344 - 345, Feb. 2008.
- [9] R. Tonietto, et. al., "A 3MHz bandwidth low noise RF all digital PLL with 12ps resolution time to digital converter", European Solid-State Circuits Conference, pp. 150 - 153, Sept. 2006.
- [10] S-Y. Yang, W-Z. Chen, "A 7.1mW 10GHz All-Digital Frequency Synthesizer with Dynamically Reconfigurable Digital Loop Filter in 90nm CMOS," ISSCC (Feb. 2009).
- [11] Y. Arai, T. Baba, "A CMOS Time to Digital Converter VLSI for High Energy Physics", VLSI Circuit Symposium, June 1988.
- [12] 田邊朋之 他「TVチューナ用ADPLLの検討」電子情報通信学会総合大会、愛媛(2009年3月)
- [13] 小林 春夫「ナノCMOS時代のアナログ回路 - デジタルアシストAD変換技術を中心として -」電子情報通信学会、第22回 回路とシステム(軽井沢)ワークショップ(2009年4月)。

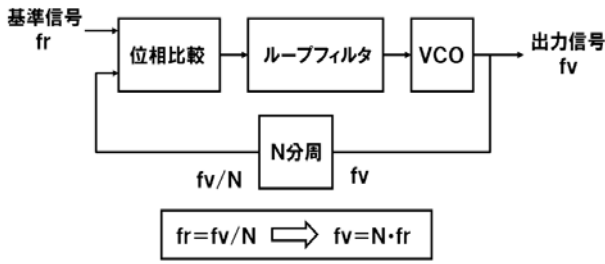


図 1 : 基本 PLL 回路構成

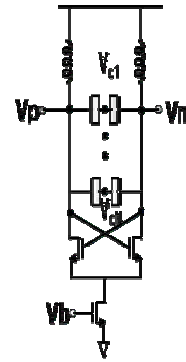


図 5 : DCO 回路

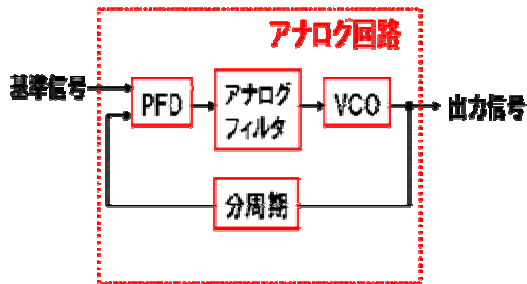
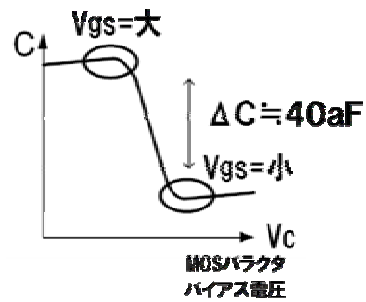


図 2 : アナログ PLL 回路構成



90nm CMOS では $C=40aF$

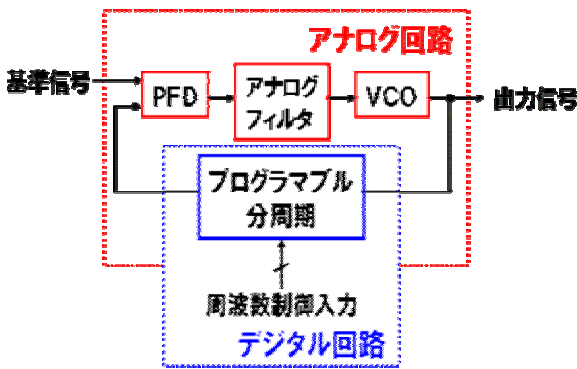


図 3 : 従来のデジタル PLL 回路

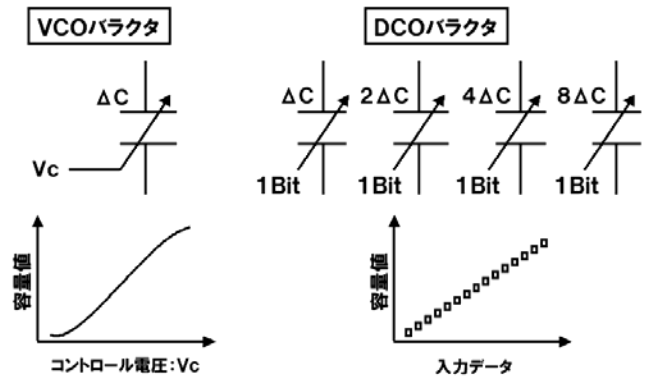


図 6 : VCO と DCO のバラクタ制御方

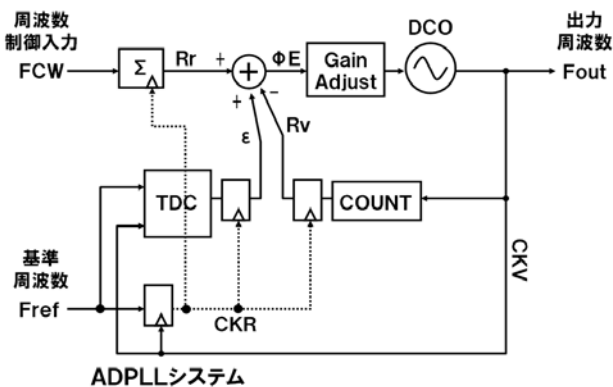


図 4 : ADPLL 回路

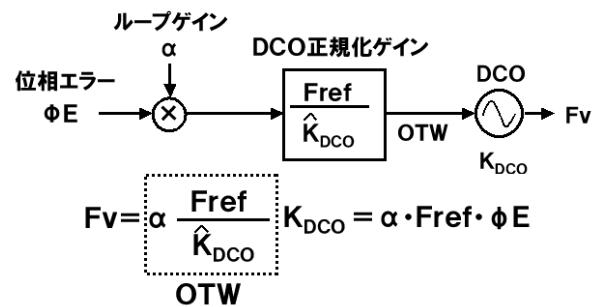


図 7 : DCO ゲインの正規化とループゲインの設

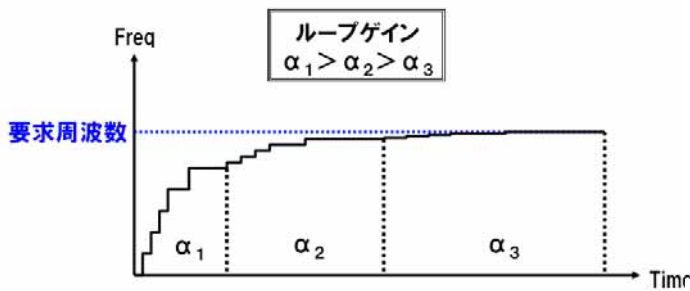


図 8： ループゲイン切り替え時の収束特性

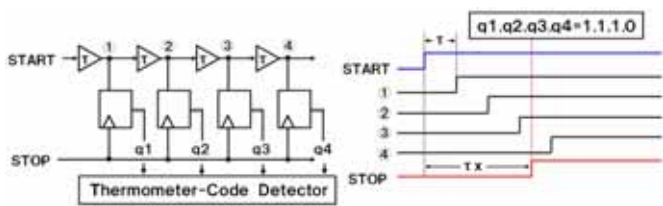


図 9： TDC回路と基本動作原理

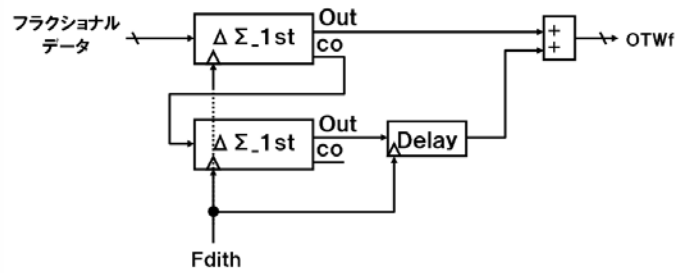


図 12： 変調による Fractional-N の実現構成とノイズシェープ特性

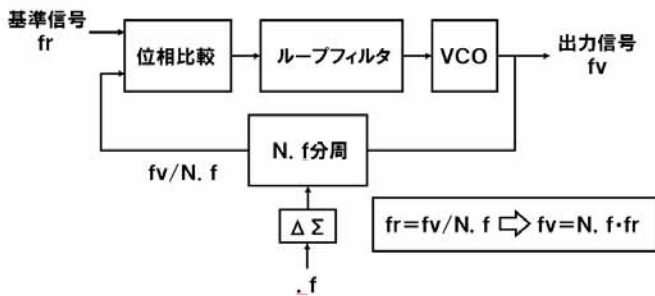
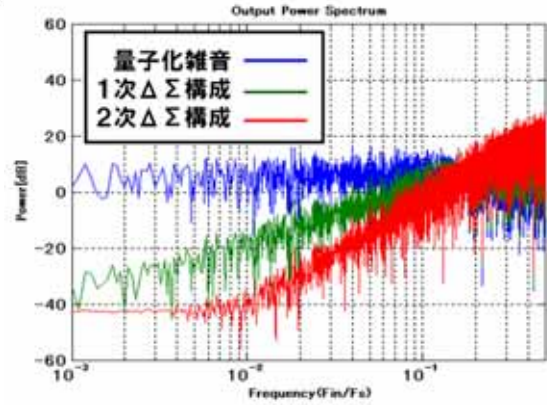


図 10 フラクショナルN構成を含むPLL回路

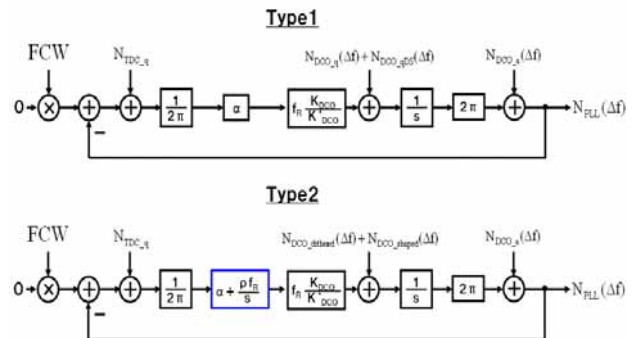


図 13： ADPLLシステムの位相信号の周波数領域表現

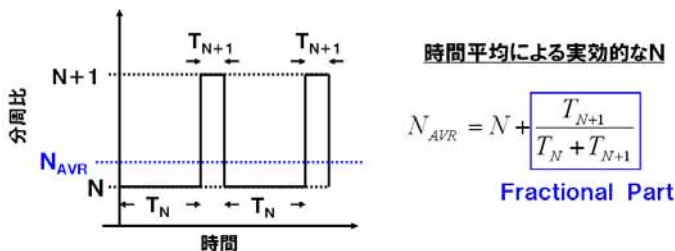


図 11： フラクショナルN動作原理

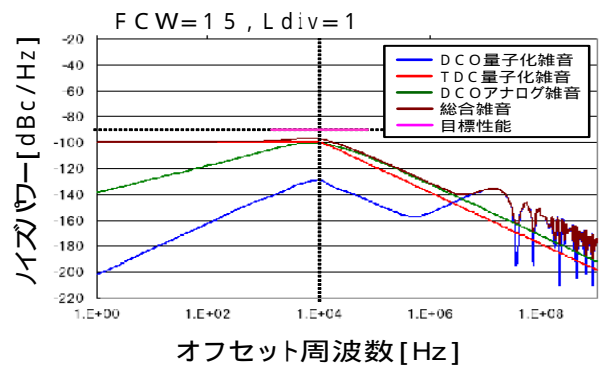


図 14：ADPLLの位相雑音の要因の解析