

## 冗長アルゴリズム逐次比較近似 ADC でのコンパレータ・オフセットのデジタル補正技術

小川 智彦<sup>†</sup> 松浦 達治<sup>††</sup> 小林 春夫<sup>†</sup> 高井 伸和<sup>†</sup> 堀田 正生<sup>†††</sup>  
傘 昊<sup>†††</sup>

<sup>†</sup> 群馬大学大学院 工学研究科 電気電子工学専攻 〒376-8515 群馬県桐生市天神町 1-5-1

<sup>††</sup> ルネサステクノロジ 〒370-0021 群馬県高崎市西横手町 111

<sup>†††</sup> 東京都市大学 知識工学部 情報ネットワーク工学科 〒158-8557 東京都世田谷区玉堤 1-28-1

E-mail: <sup>†</sup>m08e610@gs.eng.gunma-u.ac.jp, <sup>††</sup>matsuura.tatsuji@renesas.com, <sup>†††</sup>k\_haruo@el.gunma-u.ac.jp

あらまし この論文では、冗長アルゴリズムを用いることで逐次比較近似 (SAR) ADC の低消費電力化を実現できる方式を提案する。ここではデジタル誤差補正を行うことでアナログ校正が不要になる。

(1) 冗長アルゴリズム SAR ADC で 2 つのダイナミック・コンパレータをもち、逐次比較のステップの前半で低消費電力・高ノイズ、後半で高消費電力・低ノイズのコンパレータを用いる。前半でのステップでのノイズによるコンパレータ誤判定、2 つのコンパレータのオフセット・ミスマッチ間の影響は冗長アルゴリズムによるデジタル演算で補正できる。通常の SAR ADC の全てのステップで高消費電力・低ノイズのコンパレータを使用する場合に比べて低消費電力化が図れる。

(2) 低消費電力化が図れる電荷共有 2 進 SAR ADC では、コンパレータのオフセットにより ADC 全体の線形性が劣化する。ここでは冗長アルゴリズム SAR ADC を用いることでこのオフセットの影響がデジタル補正できることを示す (オフセットのアナログ校正は必要ない)。

(3) また (1)、(2) を組み合わせて、ダイナミック・コンパレータ 2 個で電荷共有 SAR ADC を冗長アルゴリズムを用いて実現することで、さらに低消費電力化する。

キーワード 逐次比較近似 ADC, 比較器, 低消費電力, 冗長アルゴリズム, デジタル・アシスト・アナログ技術

## Non-binary SAR ADC with Digital Compensation for Comparator Offset Effects

Tomohiko OGAWA<sup>†</sup>, Tatsuji MATSUURA<sup>††</sup>, Haruo KOBAYASHI<sup>†</sup>, Nobukazu TAKAI<sup>†</sup>, Masao HOTTA<sup>†††</sup>, and Hao SAN<sup>†††</sup>

<sup>†</sup> Dept. of Electronic Engineering, Gunma University 1-5-1 Tenjin-cho, Kiryu 376-8515 Japan

<sup>††</sup> Renesas Technology Corp. 111 Nishiyokote-Machi Takasaki 370-0021 Japan

<sup>†††</sup> Dept. of Information Network Engineering, Tokyo City University, Tokyo 158-8557 Japan

E-mail: <sup>†</sup>m08e610@gs.eng.gunma-u.ac.jp, <sup>††</sup>matsuura.tatsuji@renesas.com, <sup>†††</sup>k\_haruo@el.gunma-u.ac.jp

**Abstract** This paper describes techniques for creating a low-power SAR ADC with an error-correcting non-binary successive approximation algorithm:

(1) We propose a non-binary SAR ADC with two dynamic comparators; a low-power high-noise comparator for the first conversion stages, and a second comparator with lower noise but higher power consumption for the last stages. Comparator decision errors – due to the high noise of the first conversion stages, and offset mismatch between the two comparators – are digitally corrected by the error-correcting non-binary successive approximation algorithm.

(2) For realizing low power consumption, a charge-sharing SAR ADC using a binary successive approximation algorithm would be attractive. However the comparator offset in the ADC degrades the ADC linearity, and this offset is usually calibrated by an analog method. Here we propose a charge-sharing SAR ADC with an error-correcting non-binary algorithm, and with digital correction of comparator offset, so that analog calibration is not required.

(3) We also propose a non-binary charge-sharing SAR ADC with two dynamic comparators, which is the combination of (1) and (2). This makes further low power implementation possible without analog calibration.

**Key words** SAR ADC, Comparator, Low Power, Redundancy, Digitally-Assisted Analog Technology

## 1. はじめに

この論文では、冗長アルゴリズムを用いることで逐次比較近似 (Successive Approximation Register: SAR) ADC の低消費電力化を実現できる方式を提案する。そこではデジタル誤差補正を行うことでアナログ校正が不要になる。

(1) 冗長アルゴリズム SAR ADC で 2 つのダイナミック・コンパレータをもち、逐次比較のステップの前半で低消費電力・高ノイズ、後半で高消費電力・低ノイズのコンパレータを用いる。前半でのステップでのノイズによるコンパレータ誤判定、2 つのコンパレータのオフセット・ミスマッチ間の影響は冗長アルゴリズムによるデジタル演算で補正できる。通常の SAR ADC の全てのステップで高消費電力・低ノイズのコンパレータを使用する場合に比べて低消費電力化が図れる。[3] でも 2 つのコンパレータを使用して低消費電力化を図っているが、2 つのコンパレータのオフセットをアナログ校正している。

(2) 近年 IMEC より提案された低消費電力化が図れる電荷共有 2 進 SAR ADC ([3],[4]) では、コンパレータのオフセットにより ADC 全体の線形性が劣化する。ここでは冗長アルゴリズム SAR ADC を用いることでこのオフセットの影響がデジタル補正できることを示す (オフセットのアナログ校正は必要ない)。[3],[4] ではコンパレータ・オフセットをアナログ校正している。

(3) また (1), (2) を組み合わせて、ダイナミック・コンパレータ 2 個で電荷共有 SAR ADC を冗長アルゴリズムを用いて実現することで、さらに低消費電力化する。

ここではこれらの原理、アルゴリズム設計例とシミュレーション結果を示す。なお SAR ADC の特徴と構成は次のようになる。逐次比較型 ADC の特徴： 逐次比較型構成は、高分解能 (10-12bit)、中速サンプリング (5MS/s 程度) AD 変換器を低消費電力・低コストで実現できるので、車載、工業用制御、ペンデジタイザ等広く用いられている [1]-[6]。

逐次比較型 ADC の構成： 逐次比較型 AD 変換器はトラック・ホールド回路、コンパレータ、DA 変換器、論理回路とタイミング発生回路から構成される (図 1)。内部回路がほとんどデジタル回路で実現できるので微細 CMOS での ADC 実現に適した構成である。

## 2. 2 進および非 2 進 SAR ADC アルゴリズム

通常の逐次比較型 ADC は“天秤の原理”で 2 進探索アルゴリズムに従って動作する。2 進アルゴリズムは N ビット分解能を N 回の比較で実現する。そして、分銅の重み付けは 2 進荷重である。2 進アルゴリズムは各ステップでの比較で誤判定が起きた場合に出力に誤差が出てしまう。

非 2 進冗長アルゴリズムでは N ビット分解能を M (N < M) 回の比較で実現する。比較回数を増やすことにより各出力コードに対応する比較パターンが複数となり、前半の判定で間違えた場合でも正解を出力できるようになる。そして、各ステップで許容できる誤差の範囲は比較ステップ数 M と分銅重み付けみより決まる。なお我々は先に (コンパレータ 1 個の場合に) 非

2 進探索アルゴリズムによる時間冗長性 [1],[2] を一般化したアルゴリズム [5],[6] を提案した。

## 3. コンパレータを 2 つ用いた低消費電力化技術

### 3.1 従来技術

通常の SAR ADC では全てのステップで高消費電力・低ノイズのコンパレータを使用する。IMEC からノイズ特性 (および電力) の異なるコンパレータを 2 つ用いた SAR ADC が提案された [3]。この方式は 2 進アルゴリズムの最後に 1LSB 遷移の冗長ステップを追加し、最初は高ノイズ・低消費電力のコンパレータを用い、最終 2 ステップで低ノイズ・高消費電力のコンパレータを用いる。高ノイズのコンパレータのノイズによる誤差を低ノイズコンパレータを用いた最後の 2 ステップで補正することにより、全体として高精度・低消費電力化を実現している。

ダイナミックコンパレータを用いているので比較動作するときのみ電力を消費する。したがって、前半で低消費電力コンパレータを用いるので低消費電力化できる。

この方式の問題点は、2 つのコンパレータ間のオフセットのミスマッチにより SAR ADC 全体の精度が劣化することである。この問題を解決するために [3] ではコンパレータのオフセットが 1/2LSB 以内になるようにアナログ的に調整している。

### 3.2 提案する 2 コンパレータ使用 非 2 進 SAR ADC

コンパレータ・オフセットのワースト値を見積もる。前半で使用するコンパレータの入力換算オフセットを  $V_{os1}$ 、後半で使用するコンパレータの入力換算オフセットを  $V_{os2}$  とする。提案冗長アルゴリズムでは最終ステップを基準に誤差を考慮するので、前半での比較で  $V_{os1} - V_{os2}$  の誤差があることになる。 $V_{os2}$  が冗長 (非 2 進) アルゴリズム SAR ADC 全体のオフセットになる。コンパレータ 2 つ用いた技術は前半のコンパレータでノイズの大きいものを使用するため、冗長アルゴリズムはオフセット誤差とノイズの影響を補正できるように設計する。

次の場合を例として考える。10 ビット、前半のコンパレータのオフセット +4LSB、入力換算ノイズ  $3\sigma = 1LSB$ 、後半のコンパレータのオフセット -2LSB、入力換算ノイズ  $3\sigma = 0.2LSB$ 。

従来のアルゴリズムの場合に、各ステップでの DAC の重み付け、誤差、誤差許容値を表 1 にシミュレーション結果を図 4 に示す。このアルゴリズムでは 10, 11 ステップでノイズの小さいコンパレータを使用している。誤差許容値が 1LSB なので、2 つのコンパレータのオフセットミスマッチとノイズの合計を  $\pm 1LSB$  以内に抑える必要がある。コンパレータのオフセットミスマッチが大きい場合は 10, 11 ステップでの比較で入力に関わらず同じ判定になるため 9 ビット分解能となる。

次に提案方式の場合を考える。そのアルゴリズムの設計例を表 2 にシミュレーション結果を図 5 に示す。このアルゴリズムでは 7~11 ステップでノイズの小さいコンパレータを使用している。誤差許容値が 8LSB なので、2 つのコンパレータのオフセットミスマッチとノイズの合計が  $\pm 8LSB$  以内であればデジタル誤差補正可能である。また、出力の階調が 8~1031 であるので後半のコンパレータのオフセットが  $\pm 8LSB$  以内であれば、

出力が飽和することなく 1024 階調で出力される。最終デジタル出力からオフセット分を減算すればオフセットを補正することができる。

2 つのコンパレータを用いる技術では前半のコンパレータ比較動作で各ステップの誤差が均等になる。この場合は [3] や上記提案アルゴリズム例のように DAC を 2 進に重み付けし、許容したい誤差に応じて表 2 の例のように同じ DAC の重み付けを追加し、その前のステップの比較から後半のコンパレータに切り替えると良い。誤差が 1LSB 以内の場合は [3] のように 1LSB を 2 つでコンパレータを切り替えるステップは最後から 2 ステップ目。誤差が 2LSB 以内の場合は 2LSB を 2 つで最後から 3 ステップ目で切り替え、誤差が 4LSB 以内の場合は 4LSB を 2 つで最後から 4 ステップ目で切り替えると良い。

## 4. 電荷共有 SAR ADC

### 4.1 従来技術 (電荷共有 2 進 SAR ADC)

高効率 ADC として IMEC より電荷共有 2 進 SAR ADC が報告されている [4] [3] (図 3)。電荷再配分 SAR ADC では電圧で信号処理が行われるのに対し、電荷共有 SAR ADC は電荷では電荷で信号処理が行われる。電荷共有 SAR ADC はサンプリング時にアナログ入力を  $C_s$  に充電し、そのときに 2 進荷重の容量配列  $C_u$  に参照電圧  $V_{ref}$  を充電する。そして、逐次比較サイクル時に  $C_s$  の電荷の正負をコンパレータで判定し、High 判定のときは電荷を減算する向きに、Low 判定のときは電荷を加算する向きに  $C_u$  を接続する。これを繰り返し、 $C_u$  の MSB から順にそれぞれのステップの判定に従って  $C_u$  と  $V_{ref}$  を接続する。

しかし、この電荷共有 SAR ADC には次の問題点がある。通常の SAR ADC ではコンパレータのオフセットは ADC 全体のオフセットとなり、線形性には影響は与えない。電荷共有 SAR ADC ではコンパレータ・オフセットが SAR ADC 全体の線形性を劣化させる。この原因は、コンパレータの入力換算オフセットは電圧であり、ステップが進むごとに容量が追加されるため、電荷換算オフセット  $Q_{os}$  が増加するためである。この問題を解決するために [3] [4] ではコンパレータ内部に変容量を入れ、オフセットが  $1/2LSB$  以内になるように調整している。

### 4.2 提案する電荷共有 非 2 進 SAR ADC

通常の 2 進 SAR ADC はコンパレータ・オフセットは ADC 全体のオフセットとなり、線形性は劣化しない。電荷共有 2 進 SAR ADC は比較サイクルの途中で信号レベル換算のコンパレータのオフセットが変化するため ADC 全体の線形性が劣化する。本提案技術では冗長 (非 2 進) アルゴリズムを用いて線形性をデジタル演算で改善する。それにより、コンパレータのオフセットバラツキ許容範囲を広くし、量産時の歩留りを改善できる。その際、オフセットによる誤差を十分補正できるように冗長アルゴリズムを設計する。

我々が提案した一般化冗長アルゴリズム [5], [6] を用いて非 2 進 SAR ADC アルゴリズムを設計する。N ビット M ステップ ( $N < M$ ) の SAR ADC を考える。k ステップ目での容量の合計値を  $C_{sum}(k)$  とすると、以下のように表せる。

$$C_{sum}(1) = C_s.$$

$$C_{sum}(k) = C_s + \sum_{i=1}^{k-1} C_{u_i} \quad (k \geq 2).$$

コンパレータの入力換算オフセット電圧を  $V_{os}$  とすると k ステップ目の電荷換算  $Q_{os}$  オフセットは次のようになる。

$$Q_{os}(k) = C_{sum}(k) * V_{os}.$$

冗長アルゴリズムでは最終ステップを基準に誤差を考える。したがって、k ステップ目のオフセットによる電荷誤差  $Q_e(k)$  は次のようになる。

$$Q_{er}(k) = Q_{os}(k) - Q_{os}(M)$$

入力電荷のフルスケールを  $Q_{FS}$  とすると 1LSB 換算のオフセット誤差  $er(k)$  は次のようになる。

$$er(k) = Q_{er}(k) * \frac{2^N}{Q_{FS}}.$$

これを許容してデジタル誤差補正で正解を出力できるアルゴリズムを設計する (この場合 最終比較値のオフセット  $Q_{os}(M)$  が ADC 全体のオフセットとなる。) 1LSB に換算した ADC オフセット  $D_{os}$  は以下のようになる。

$$D_{os} = Q_{os}(M) * \frac{2^N}{V_{in_{FS}} * C_s}.$$

ADC 全体にオフセットがある場合、端の入力に対してデジタル出力の飽和が生じる。冗長アルゴリズムにオーバーレンジを持たせ、出力の階調が  $2^N + 2 * D_{os}$  になるように設計することで、デジタル出力が飽和することをなくすることができる。

次の例を考える。

10 ビット,  $V_{in} : -1 \sim +1V$ ,  $V_{ref} = 1V$ ,

$C_s = 512C$ ,  $V_{os} = 55mV$ .

2 進アルゴリズムの場合の  $C_u$  と  $er(k)$  を表 3 に、MATLAB シミュレーション結果を図 6 に示す。次にオフセット誤差を許容する 10 ビット 11 ステップの提案冗長アルゴリズムの  $C_u$ ,  $er(k)$ , 誤差許容値を表 4 に、シミュレーション結果を図 7 に示す。このアルゴリズムは -60 ~ 1083 の階調があり、この例では、59 ~ 1083 の出力となっている。

ADC 入力をゼロとして ADC 出力を得るなどして ADC 全体のオフセットを測定し、最終出力からオフセット分を減算すれば、ADC のオフセットを補正をすることができる。

このように ADC 全体のオフセット分の階調を増やし、”誤差 - 誤差許容値” が 0.5LSB 以下になるように設計することにより冗長アルゴリズムで誤差補正することが可能になる。ここで示した例の場合 2 進アルゴリズムでは DNL を 0.5LSB 以内にするためにコンパレータの入力換算オフセットが  $\pm 1 mV$  以内である必要があるが、冗長アルゴリズムでは  $\pm 55 mV$  以内と大幅にオフセットを許容できる。これにより量産時の歩留りが改善できる。

## 5. 2 コンパレータ使用 電荷共有 非 2 進 SAR ADC

上記の 2 つの技術を組み合わせ、コンパレータ 2 つ用いた

電荷共有 非2進 SAR ADC の場合の誤差補正アルゴリズムを考える. コンパレータ 1(前半) のオフセットバラツキが  $\pm a[V]$  の範囲, コンパレータ 2(後半) のオフセットバラツキが  $\pm b[V]$  の範囲とする. 前半の比較でのオフセットによる電荷換算誤差  $Q_{er}$  は次のようになる.

$$Q_{er}(k) = C_{sum}(k) * V_{os1} - C_{sum}(M) * V_{os2}.$$

前半のコンパレータの入力換算ノイズ  $V_{no1}$  の  $3\sigma$  を  $c[V]$  とすると前半での比較での誤差は次のようになる.

$$Q_{er}(k) = C_{sum}(k) * (V_{os1} + V_{no1}) - C_{sum}(M) * V_{os2}.$$

$$|Q_{er}(k)| < (a + b + c) * C_{sum}(M).$$

後半の比較での電荷共有技術の誤差が十分小さい場合は 2 つのコンパレータを用いた技術と同様に前半の比較で誤差  $(a + b + c) * C_{sum}(M)$  を許容できるように表 6 の例のように同じ DAC の重み付けを追加し, その前のステップの比較から後半のコンパレータに切り替えることで補正できる.

例: 10 ビット,  $V_{in} : -1 \sim +1V$ ,  $V_{ref} = 1V$ ,  $C_s = 512C$ , 前半のコンパレータのオフセット  $+8mV$ , 入力換算ノイズ  $3\sigma = 1mV$ , 後半のコンパレータのオフセット  $-7mV$ , 入力換算ノイズ  $3\sigma = 0.2mV$ .

従来 2 進アルゴリズム [3] の場合の各ステップでの  $C_u$  の重み付け, 誤差, 誤差許容値を表 5 に, シミュレーション結果を図 8 に示す. 2 つのコンパレータを使用しているためオフセットが大きい場合, 後半のコンパレータでの判定は情報をもたない. そのため, 電荷共有技術が要因となる誤差は 9 ステップを基準としたときの前のステップの電荷オフセット差となる.

次に提案アルゴリズムの場合の各ステップでの  $C_u$  の重み付け, 誤差, 誤差許容値を表 6 に, シミュレーション結果を図 9 に示す. この例では 6 ステップ目から低ノイズコンパレータに切り替える. 提案アルゴリズムはこの誤差を許容できるように設計したのでこの誤差をデジタル補正できる.

## 6. ま と め

2 つのコンパレータ使用および電荷共有構成での低消費電力での SAR ADC の実現に際して, ノイズおよびコンパレータ・オフセットの影響の問題をデジタル誤差補正で解決するために冗長 (非 2 進) SAR ADC アルゴリズムを用いることを提案した. それらの影響の見積もりと補正する冗長アルゴリズムの例とシミュレーション結果を示した. 本提案技術により, コンパレータ・オフセットバラツキ許容範囲が広がり, 量産時の歩留り向上が期待できる.

我々は先に冗長アルゴリズムにより SAR ADC が高速化できることを示したが [5], [6], ここでは冗長アルゴリズムにより SAR ADC 低消費電力化できることを示した.

謝辞 有意義な御討論をいただきました, 森俊彦氏, 阿部彰氏, 八木勝義氏, 近藤守氏, K. Wilkinson 氏 およびこの研究をご支援いただいている STARC に謝意を表します.

- [1] M. Hesener, T. Eichler, A. Hanneberg, D. Herbison, F. Kuttner, H. Wenske, "A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13 $\mu$ m CMOS," *Tech. Digest of ISSCC*, San Francisco (Feb. 2007).
- [2] F. Kuttner, "A 1.2V 10b 20MS/S Non-Binary Successive Approximation ADC in 0.13 $\mu$ m CMOS," *Tech. Digest of ISSCC*, San Francisco (Feb. 2002).
- [3] V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. V. Plas, J. Craninckx "An 820  $\mu$ W 9b 40MS/s Noise-Tolerant Dynamic-SAR ADC in 90nm Digital CMOS " *ISSCC* (Feb. 2008).
- [4] J. Craninckx and G. Van der Plas, "A 65fJ/Conversion-Step 0-to-50Ms/s 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS ", *ISSCC Dig. Tech. Papers*, pp. 246-247, Feb. 2007.
- [5] T. Ogawa, H. Kobayashi, M. Hotta, Y. Takahashi, H. San, N. Takai, "SAR ADC Algorithm with Redundancy", *IEEE Asia Pacific Conference on Circuits and Systems*, Macao, China, pp.268-271 (Dec. 2008).
- [6] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori, "SAR ADC Algorithm with Redundancy and Digital Error Correction", *IEICE Trans. Fundamentals*, vol.E93-A, no.2 (Feb. 2010). (accepted)

表 1 従来の 2 つのコンパレータ使用 10b SAR ADC のアルゴリズム  
Table 1 Conventional 10b SAR ADC algorithm with two comparators

k	DAC(k)	er(k) [LSB]	許容値 [LSB]
1	512	7.0	1
2	256	7.0	1
3	128	7.0	1
4	64	7.0	1
5	32	7.0	1
6	16	7.0	1
7	8	7.0	1
8	4	7.0	1
9	2	7.0	1
10	1	0.2	0
11	1	0.2	0

表 2 提案する 2 つのコンパレータ使用 10b SAR ADC のアルゴリズム  
Table 2 Proposed 10b SAR ADC algorithm with two comparators

k	DAC(k)	er(k) [LSB]	許容値 [LSB]
1	512	7.0	8
2	256	7.0	8
3	128	7.0	8
4	64	7.0	8
5	32	7.0	8
6	16	7.0	8
7	8	0.2	0
8	8	0.2	0
9	4	0.2	0
10	5	0.2	0
11	1	0.2	0

表 3 10 ビット 2 進 SAR ADC アルゴリズム

Table 3 10bit binary SAR ADC algorithm

k	Cu(k)	er(k) [LSB]
1	256	28.1
2	128	14.0
3	64	7.0
4	32	3.5
5	16	1.7
6	8	0.8
7	4	0.4
8	2	0.2
9	1	0.1

表 4 10 ビット 11 ステップ冗長アルゴリズム (電荷共有 SAR ADC 用)

Table 4 10-bit 11-step algorithm for a charge-sharing SAR ADC

k	Cu(k)	er(k) [LSB]	許容値 [LSB]
1	237	31.4	32
2	127	16.6	18
3	69	8.7	10
4	37	4.6	5
5	20	2.4	3
6	11	1.3	2
7	6	0.7	1
8	3	0.3	1
9	2	0.2	0
10	1	0.1	0

表 5 2 つのコンパレータを用いた電荷共有 2 進 SAR ADC の従来アルゴリズム

Table 5 Conventional charge-sharing binary SAR ADC algorithm with two comparators

k	Cu(k)	er(k) [LSB]	許容値 [LSB]
1	256	11.3	1
2	128	13.3	1
3	64	14.3	1
4	32	14.8	1
5	16	15.1	1
6	8	15.2	1
7	4	15.3	1
8	2	15.3	1
9	1	15.3	1
10	1	0.2	0

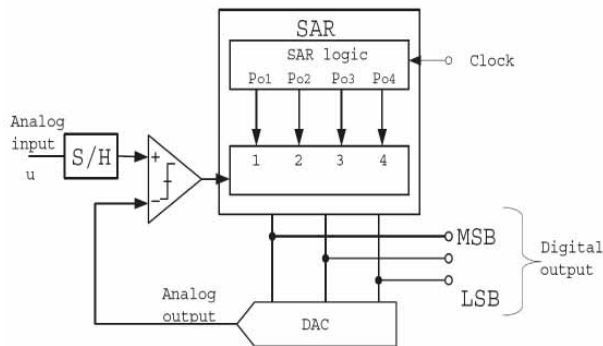


図 1 SAR ADC の構成図.

Fig. 1 SAR ADC block diagram.

表 6 2 つのコンパレータを用いた電荷共有 非 2 進 SAR ADC の提案アルゴリズム

Table 6 Proposed charge-sharing non-binary SAR ADC algorithm with two comparators

k	Cu(k)	er(k) [LSB]	許容値 [LSB]
1	256	11.4	16
2	128	13.4	16
3	64	14.4	16
4	32	15.0	16
5	16	15.2	16
6	16	0.4	0
7	8	0.3	0
8	4	0.3	0
9	2	0.2	0
10	1	0.2	0

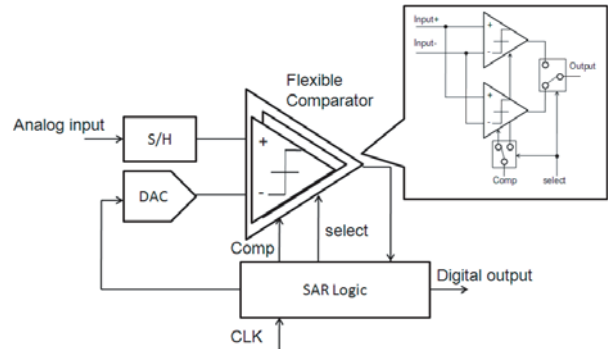


図 2 コンパレータを 2 用いた SAR ADC の構成図.

Fig. 2 Block diagram of an SAR ADC with two comparators.

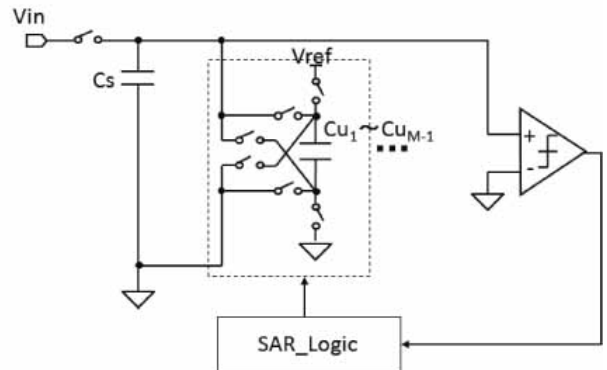


図 3 電荷共有 SAR ADC の構成図.

Fig. 3 Block diagram of a charge-sharing SAR ADC.

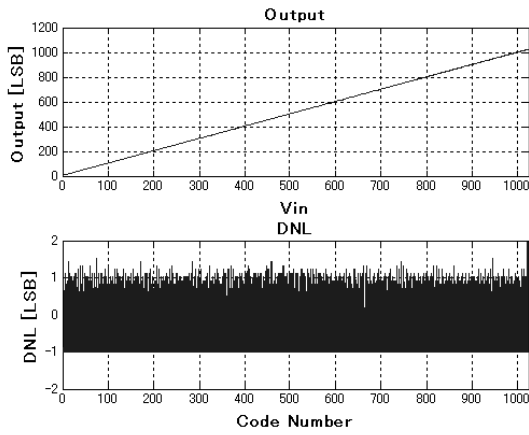


図 4 従来の 2 つのコンパレータを用いた SAR ADC のシミュレーション結果。  
Fig. 4 Simulation result of the conventional SAR AD with two comparators.

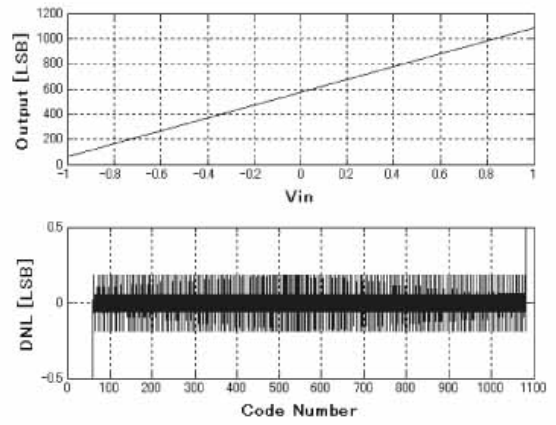


図 7 提案電荷共有 非 2 進 SAR ADC のシミュレーション結果。  
Fig. 7 Simulation result of the proposed charge-sharing SAR ADC with non-binary algorithm.

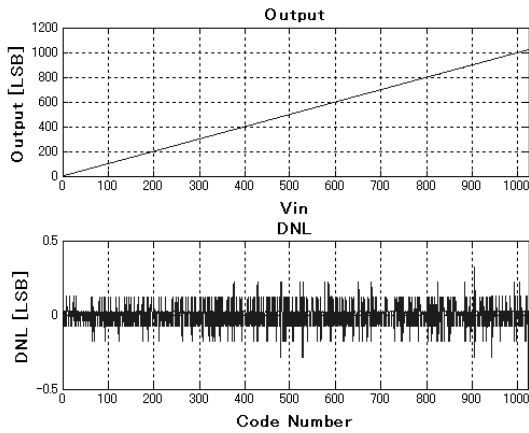


図 5 提案する 2 つのコンパレータを用いた非 2 進 SAR ADC のシミュレーション結果。  
Fig. 5 Simulation result of the proposed SAR ADC with two comparators and using non-binary algorithm.

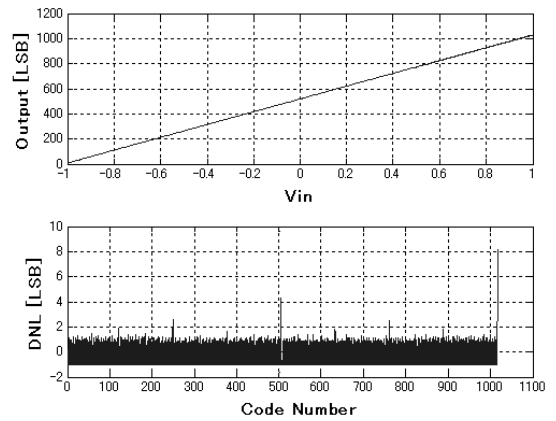


図 8 従来のコンパレータ 2 つ用いた電荷共有 2 進 SAR ADC のシミュレーション結果。  
Fig. 8 Simulation result of the conventional charge-sharing SAR ADC with two comparators.

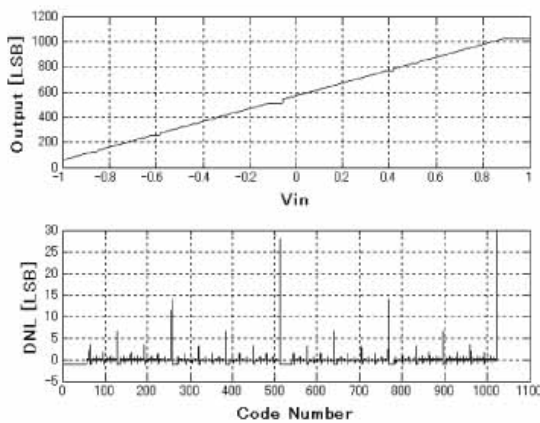


図 6 従来の電荷共有 2 進 SAR ADC のシミュレーション結果。  
Fig. 6 Simulation result of the conventional charge-sharing SAR ADC with binary algorithm.

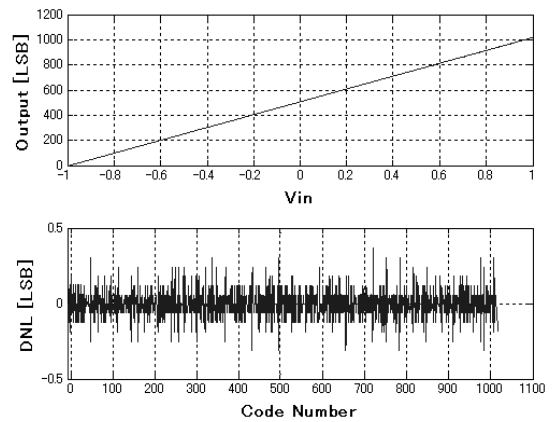


図 9 提案するコンパレータ 2 つ用いた電荷共有 SAR ADC のシミュレーション結果。  
Fig. 9 Simulation result of the proposed charge-sharing non-binary SAR ADC with two comparators.