

計測展2009 Tokyo
11月18日(水)

AD変換器の デジタル誤差補正・自己校正技術

電子計測技術者のためのアナログ技術再入門 Part 2

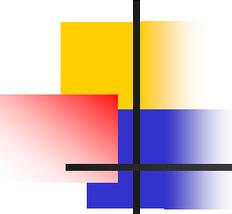
小林春夫

群馬大学大学院 工学研究科 電気電子工学専攻
〒376-8515 群馬県桐生市天神町1丁目5番1号
電話 0277 (30) 1788 FAX: 0277 (30)1707
e-mail: k_haruo@el.gunma-u.ac.jp



発表内容

- アナログ電子回路と計測制御技術
- AD変換器
 - 計測制御機器のキーコンポーネント
 - 高性能化のためには計測制御技術が必要
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
 - ③ フラッシュADC
 - ④ インターリーブADC
- まとめ



発表内容

- アナログ電子回路と計測制御技術
- AD変換器
 - 計測制御機器のキーコンポーネント
 - 高性能化のためには計測制御技術が必要
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
 - ③ フラッシュADC
 - ④ インターリーブADC
- まとめ

計測制御機器とアナログ回路

計測器(電子計測器)

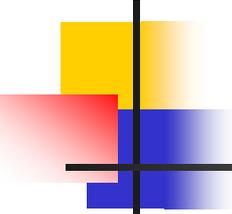
制御システム(ファクトリーオートメーション):

➡ アナログ回路は重要

例:

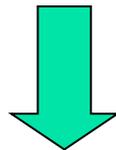


デジタルオシロスコープ内のAD変換器



アナログ電子回路に 計測制御技術が必要

微細半導体アナログIC, ミクストシグナルIC
高性能化のために
計測技術、制御技術の考え方がより重要



チップ内計測制御技術



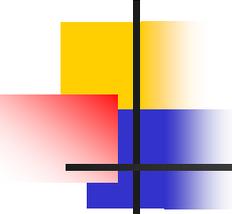
アナログ回路と計測工学

- ADC/DACのチップ内自己校正
 - ➡ 校正技術は以前から電子計測器で使用
- ADC/DACの非線形性、電源電圧、電流、温度、基板ノイズ、ジッタ・タイミングの“チップ内計測技術”がより重要。
- 計測した値に基づき、“チップ内制御・信号処理・校正”を行う。
- アナログ回路のテスト法・テスト容易化設計も重要。



アナログ回路と制御工学

- 微細CMOSではバイアス回路が重要
バイアス電圧制御(regulation)
- 自動可変ゲインアンプ(AGC)
- アナログフィルタの自動調整
- 電源回路の制御
- 設計・解析手法:
ラプラス変換、ステップ応答、ボード線図、
ナイキスト安定判別等の線形システム理論



発表内容

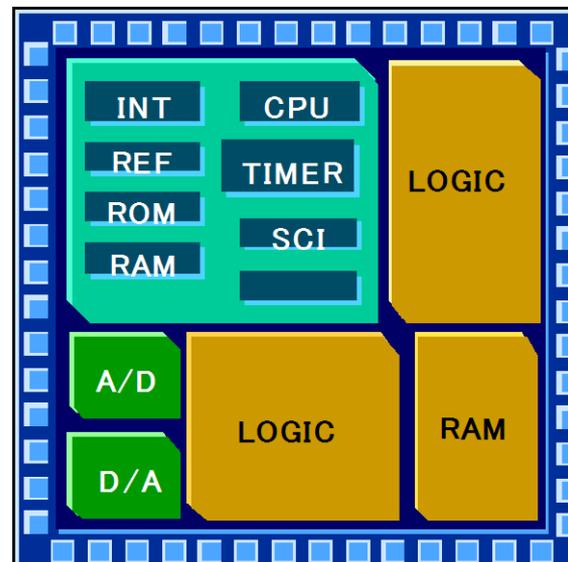
- アナログ電子回路と計測制御技術
- AD変換器
 - 計測制御機器のキーコンポーネント
 - 高性能化のためには計測制御技術が必要
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
 - ③ フラッシュADC
 - ④ インターリーブADC
- まとめ

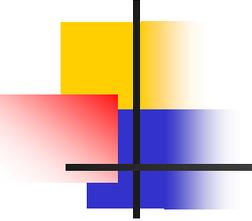
デジタル技術をささえる AD/DA変換器

自然界の信号は
アナログ



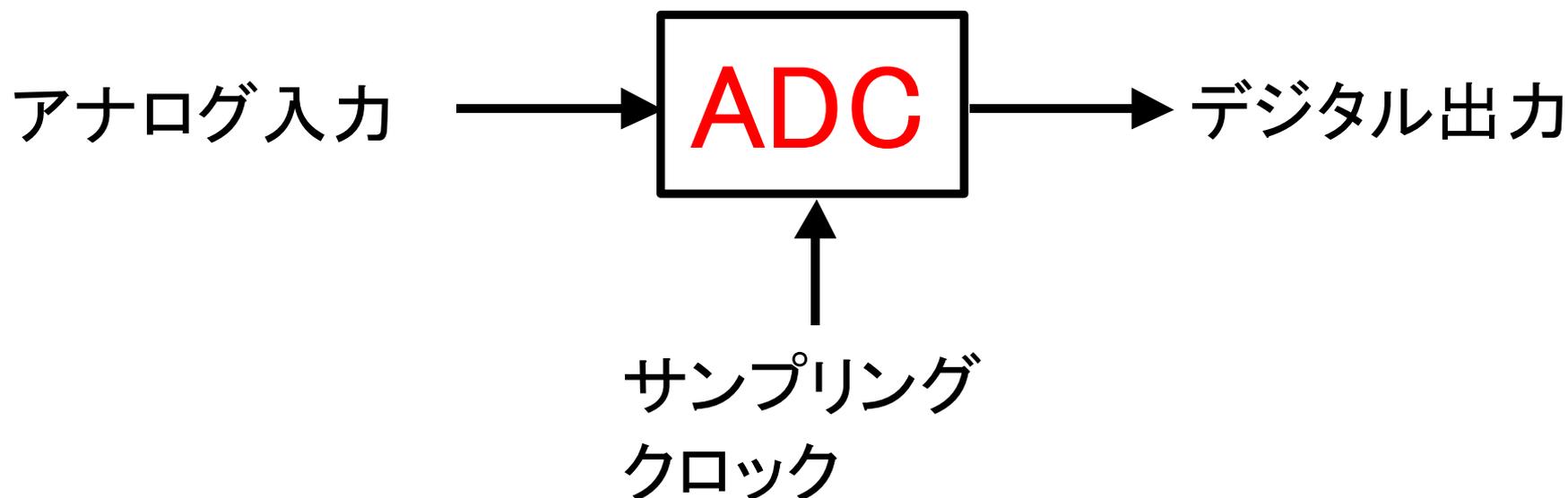
LSIでの信号処理は
デジタル



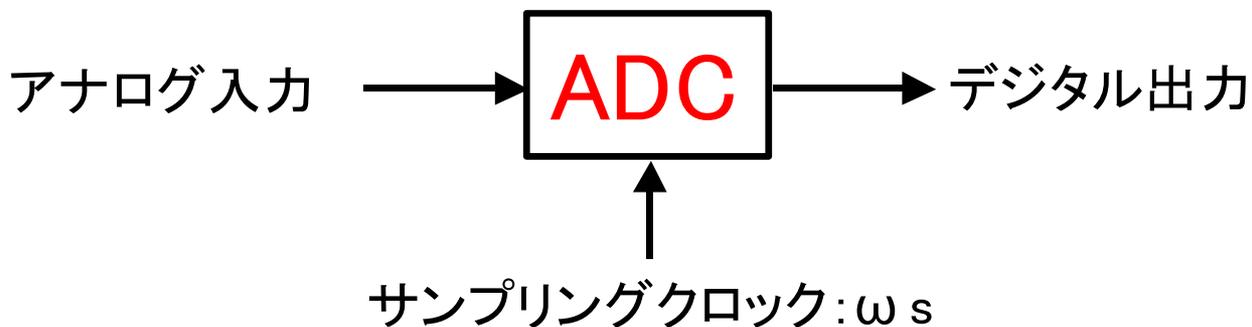
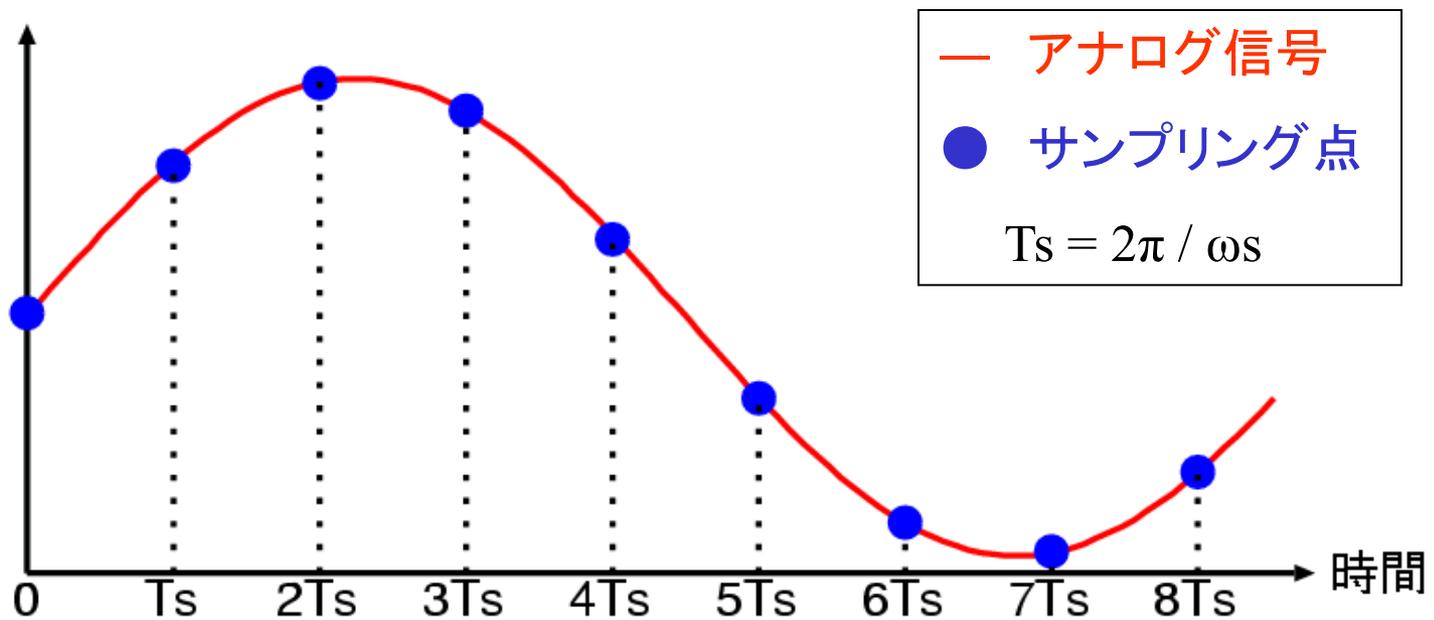


AD変換器の動作

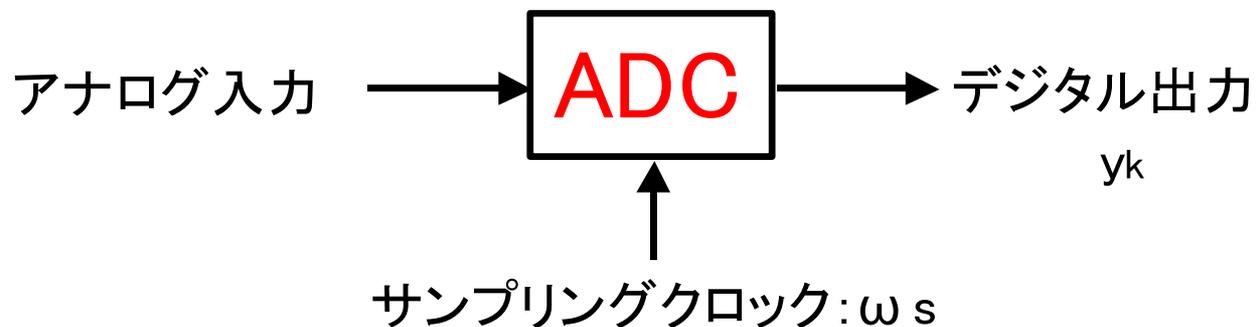
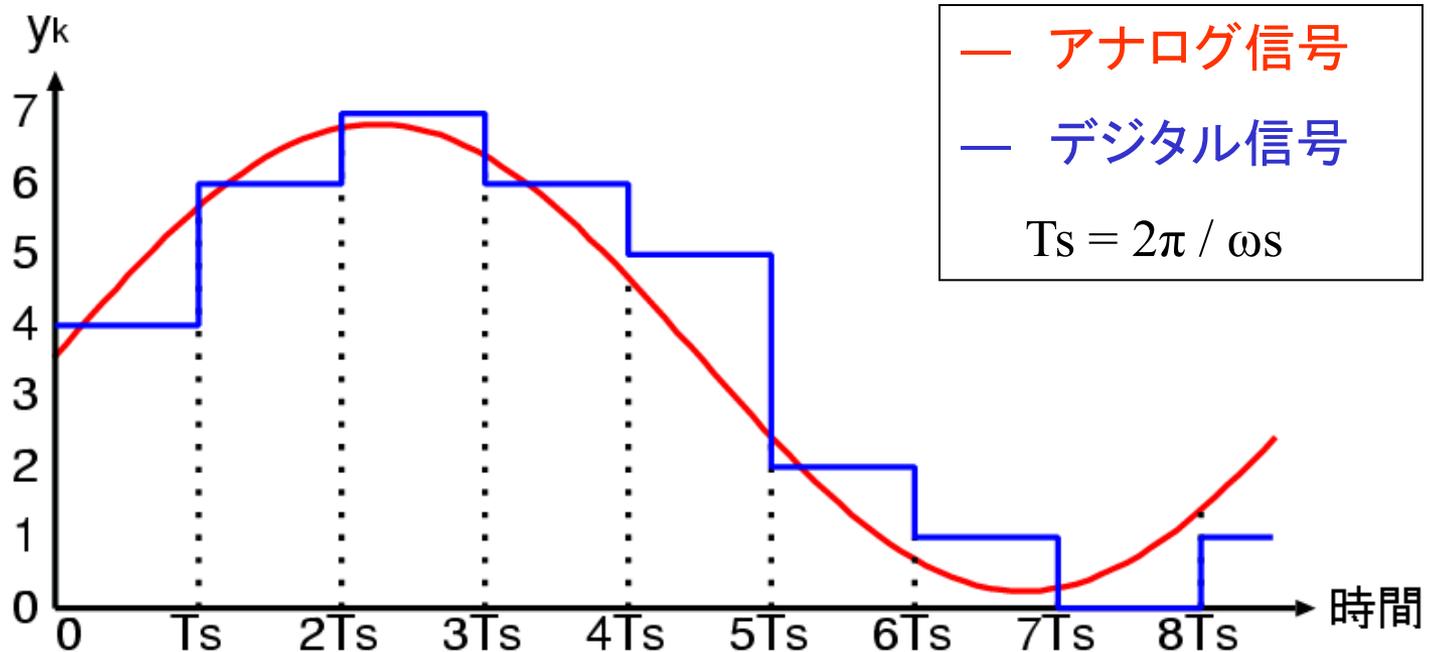
アナログ信号（電波、音声、電圧、電流等を
デジタル信号（0, 1, 1, 0, ...）に変換する。



時間の量子化 (サンプリング)

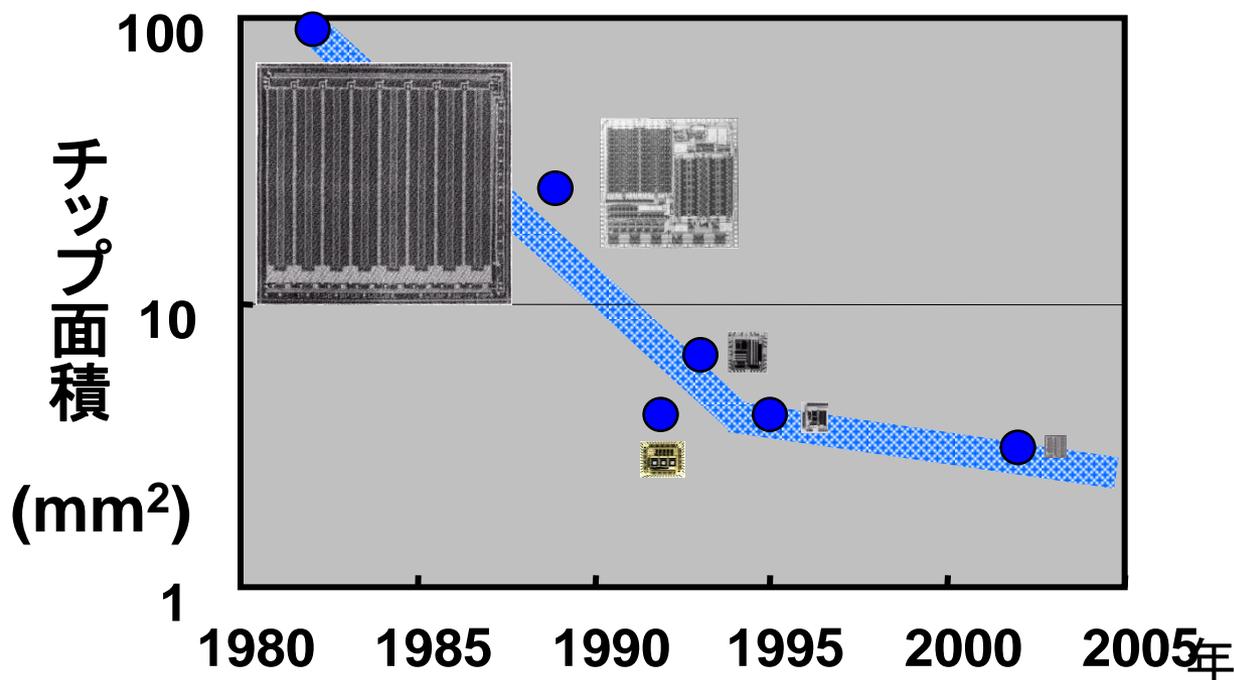


空間の量子化 (信号レベルの数値化)



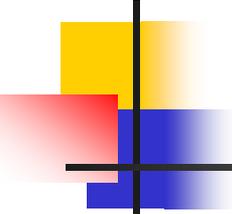
AD変換器の熾烈な研究開発競争

半導体プロセス、アーキテクチャ、回路構成の進歩により
性能向上スピードがデジタルLSI以上。



東京都市大学
堀田正生先生
作成資料

10ビットビデオ用AD変換器のチップ面積推移



発表内容

- アナログ電子回路と計測制御技術
- AD変換器
 - 計測制御機器のキーコンポーネント
 - 高性能化のためには計測制御技術が必要
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
 - ③ フラッシュADC
 - ④ インターリーブADC
- まとめ



パイプラインADCの背景

- **パイプラインADCの位置づけ**

CMOS ADCで高分解能、中高速で
有力なアーキテクチャ。

産業界で広く用いられている。

- **ナノCMOSでの実現**

ミスマッチによる精度劣化、

オペアンプのゲインを得るのが難しい

高精度化が難しい

計測制御技術による

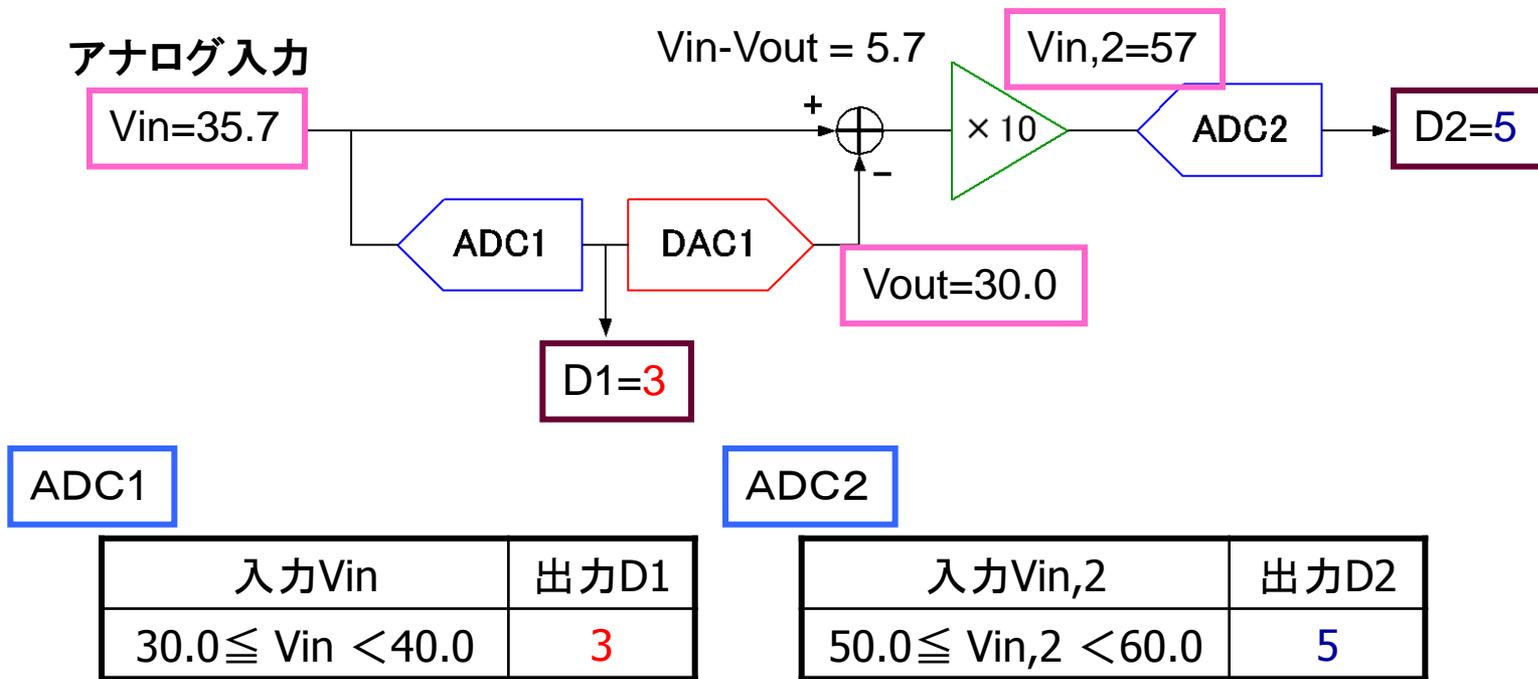
パイプラインADCの高性能化

自己校正技術

- 内部回路(DA変換器、利得アンプ)の
不正確さを計測して、
その値をテーブルに記憶。
デジタル演算で補正。
- 誤差計測回路は
パイプラインADC自体を用いる。

パイプラインADCの構成と動作

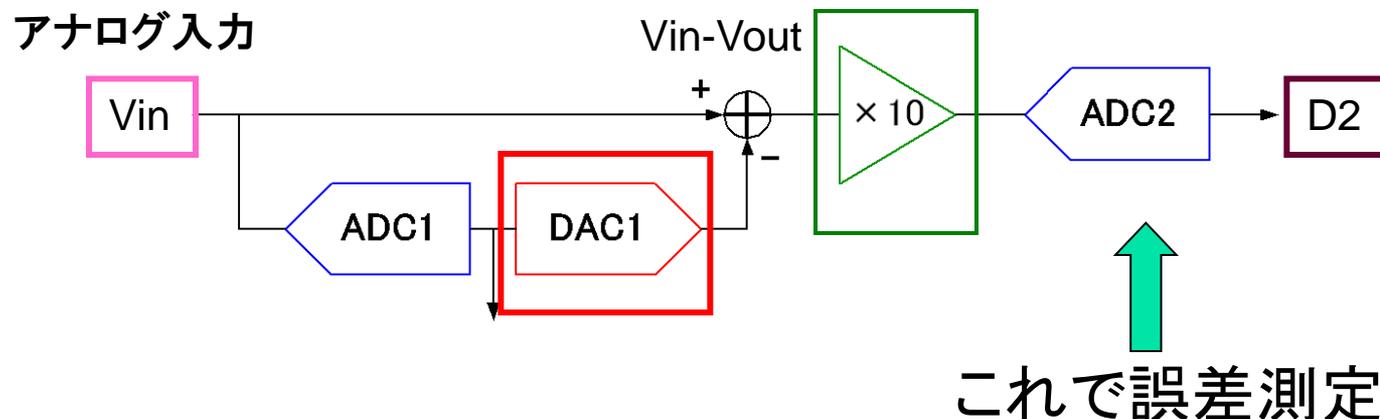
パイプライン = バケツリレー



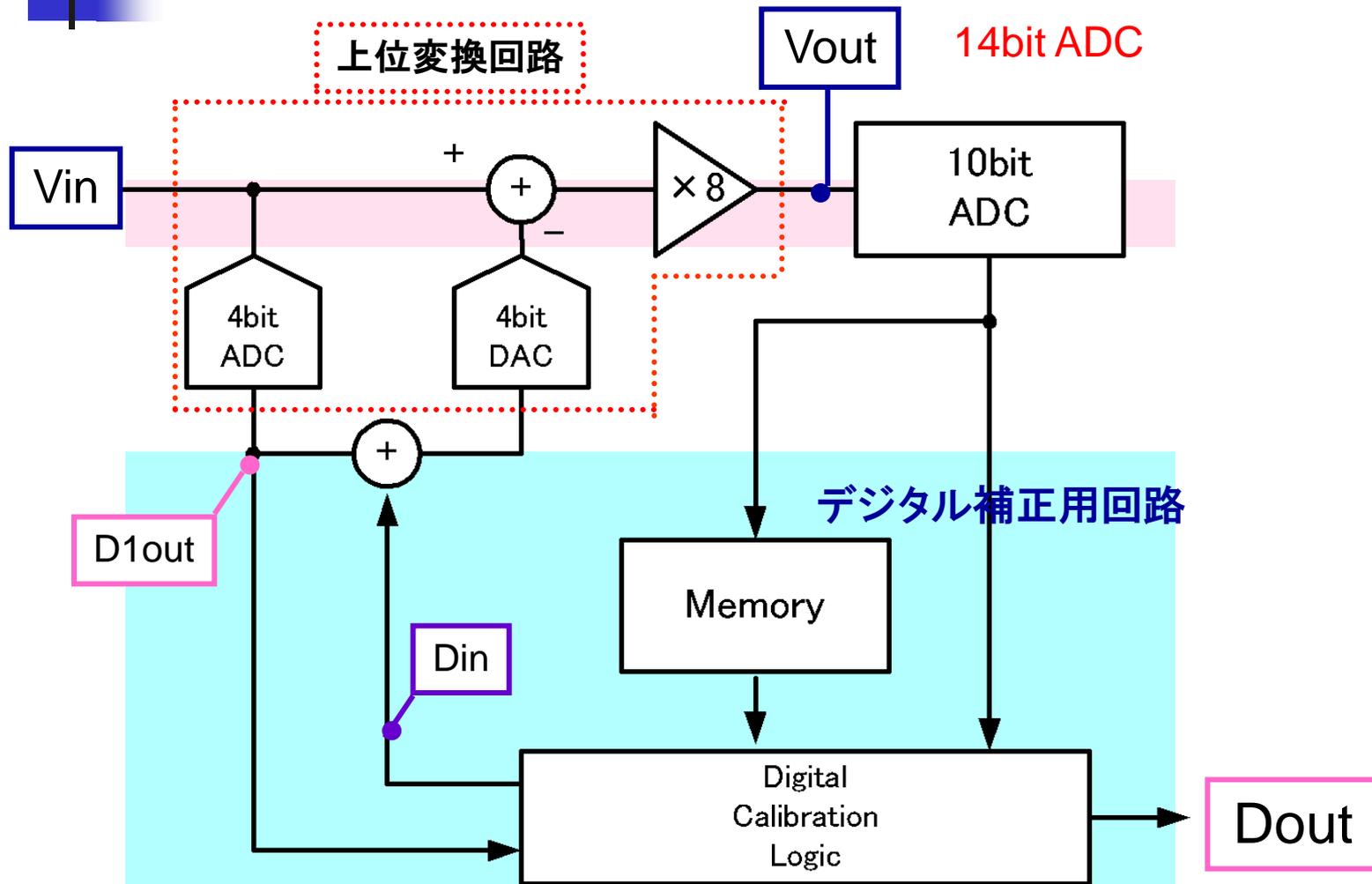
出力 $D_{out}=3 \times 10+5=35$

パイプラインADC全体の 精度劣化要因

ADC1の非線形性の影響	問題	小
<u>DACの非線形性の影響</u>	問題	大
<u>段間アンプのゲイン誤差の影響</u>	問題	大

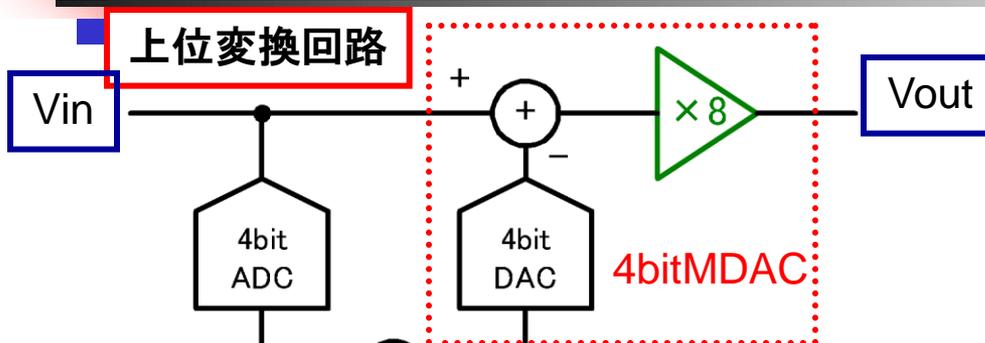


自己校正回路を含んだ パイプラインADC全体回路

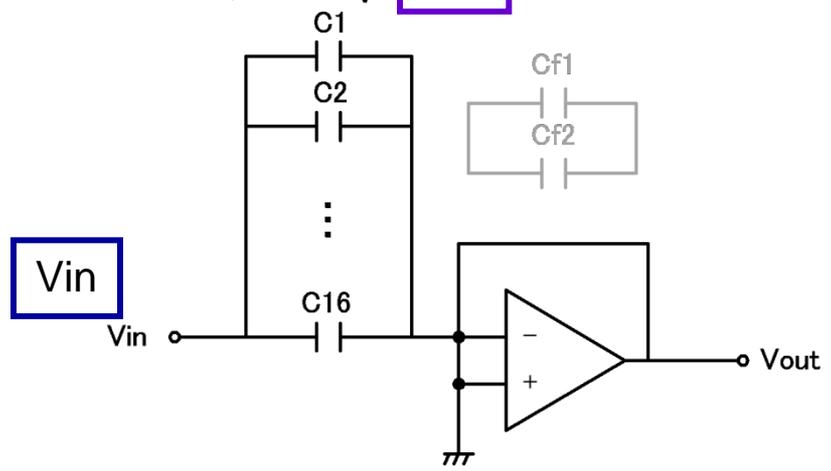


マルチプライDACのゲイン・非線形性測定

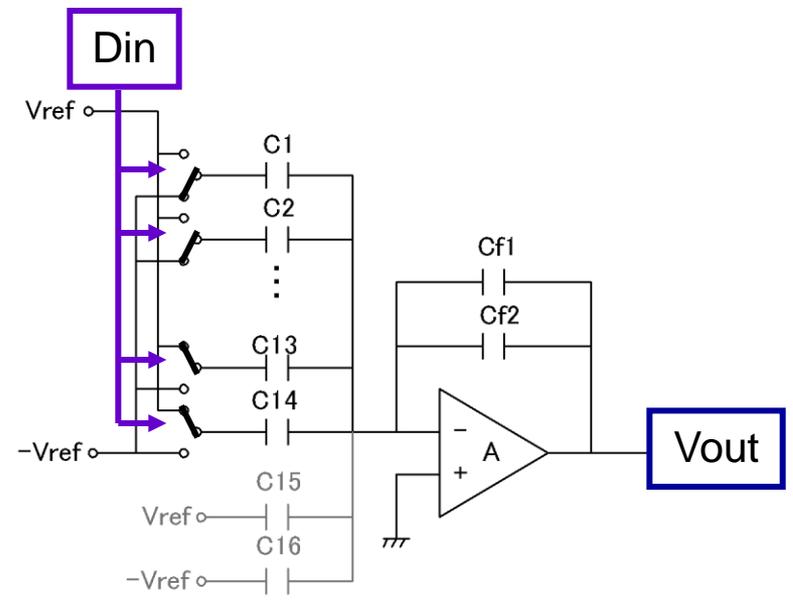
- 内部の容量を後段ADCで測定 -



$$V_{out} = 8 \left(V_{in} - [D_1 + D_2 + \dots + D_{14}] \frac{V_{ref}}{16} \right)$$

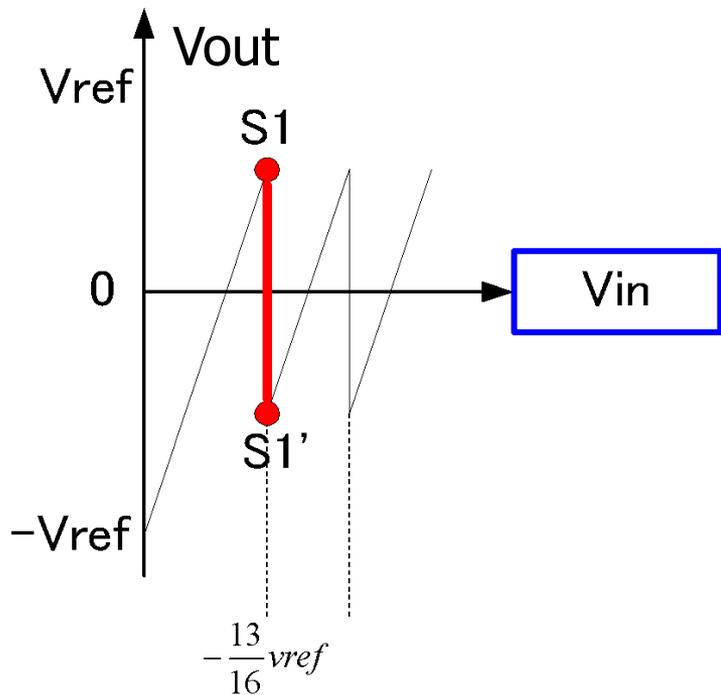


Sampling phase

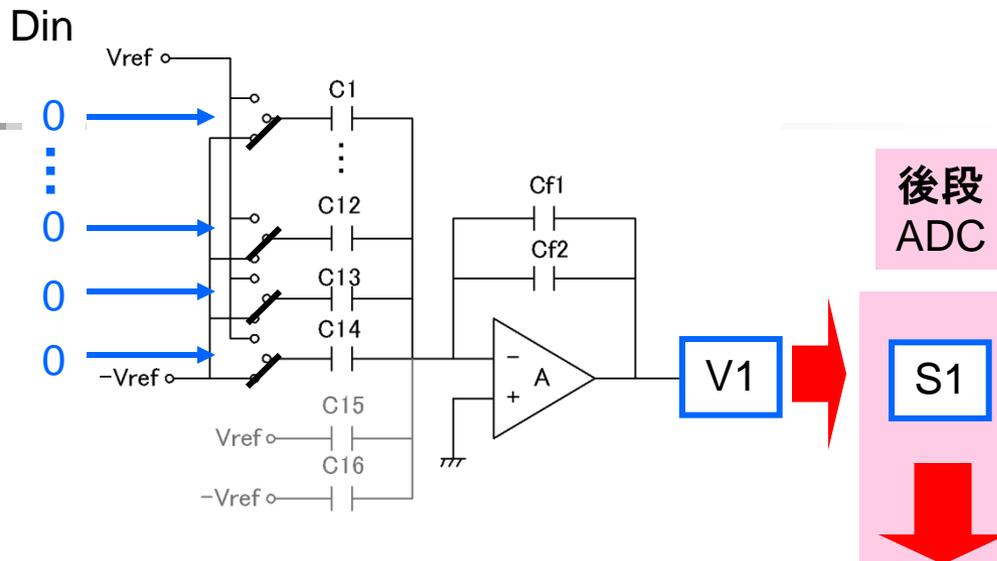


Hold phase

フォアグラウンド自己校正



各容量の測定

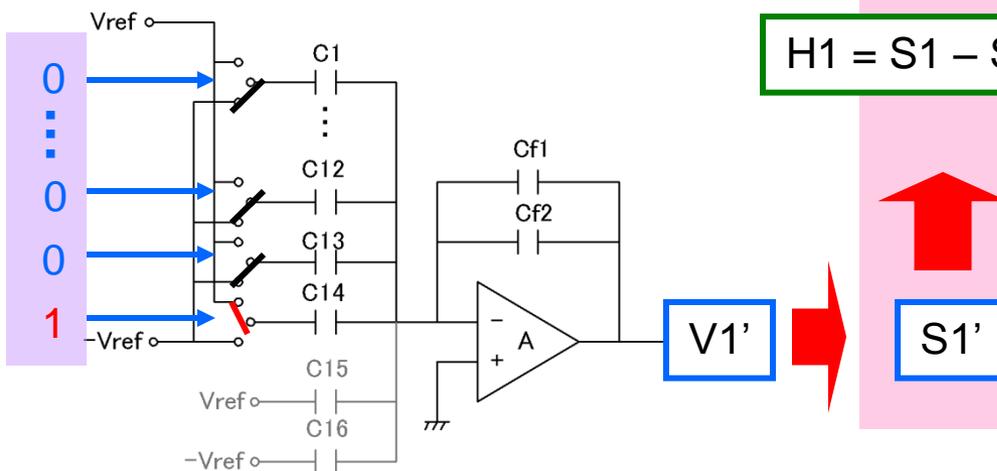


後段
ADC

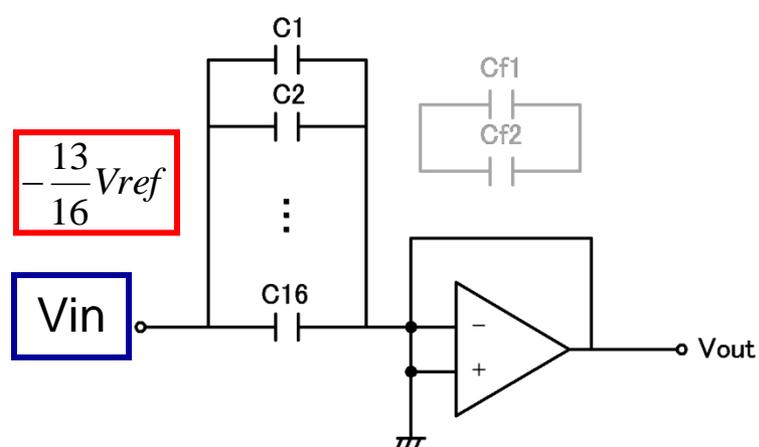
$S1$

メモリ保持

$$H1 = S1 - S1'$$



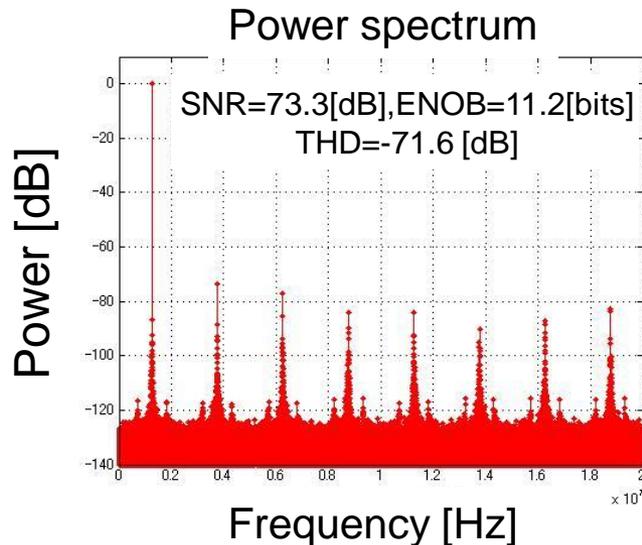
$S1'$



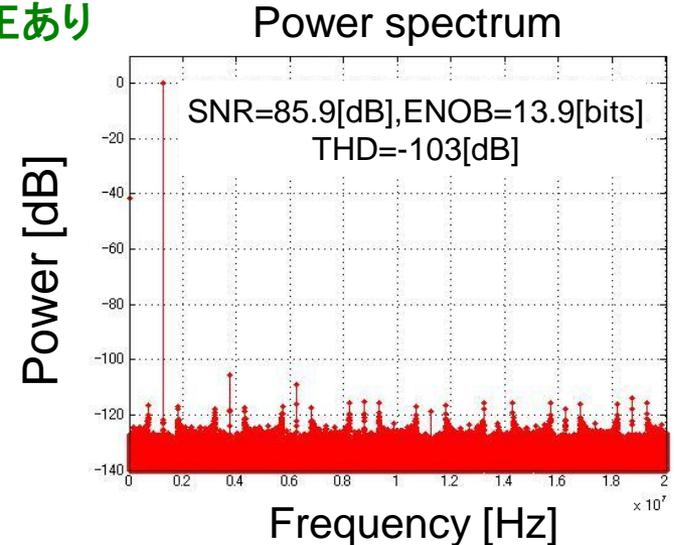
段間アンプのゲイン誤差の自己校正 (シミュレーション)

単一正弦波入力の出カパワースペクトル

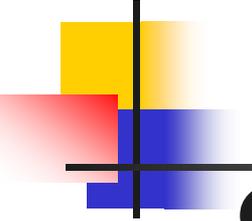
自己校正なし



自己校正あり



SNDR 12.7dB (有効ビット2.7bits) 向上



ADC自己校正と計測制御技術

- フォアグラウンド自己校正

通常動作をストップして

自己校正のための時間をもつ



計測技術

- バックグラウンド自己校正

通常動作はストップしない。

自己校正はユーザからは全く見えない。



適応制御技術

フォアグラウンド、バックグラウンド自己校正の
両者のアルゴリズムは全く異なる

ADC自己校正技術の 理論的基礎は未解決

計測制御研究者
の問題

ADC内部回路の誤差

→ ADC内回路自体を用いて測定

→ 測定自体に誤差
測定内容も制限

どの条件で、なぜ自己校正で精度がでるのか？

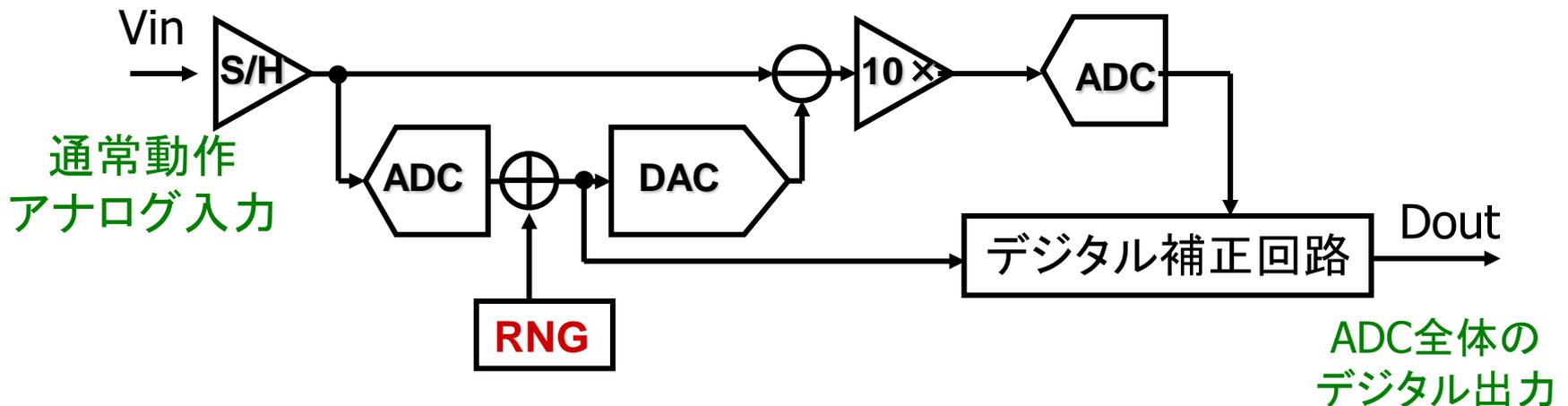
結果としてADC精度確保。

個別技術では解決。

一般論では未解決。

Abidi 先生 (UCLA)
指摘

パイプラインADCの バックグラウンド自己校正の構成例

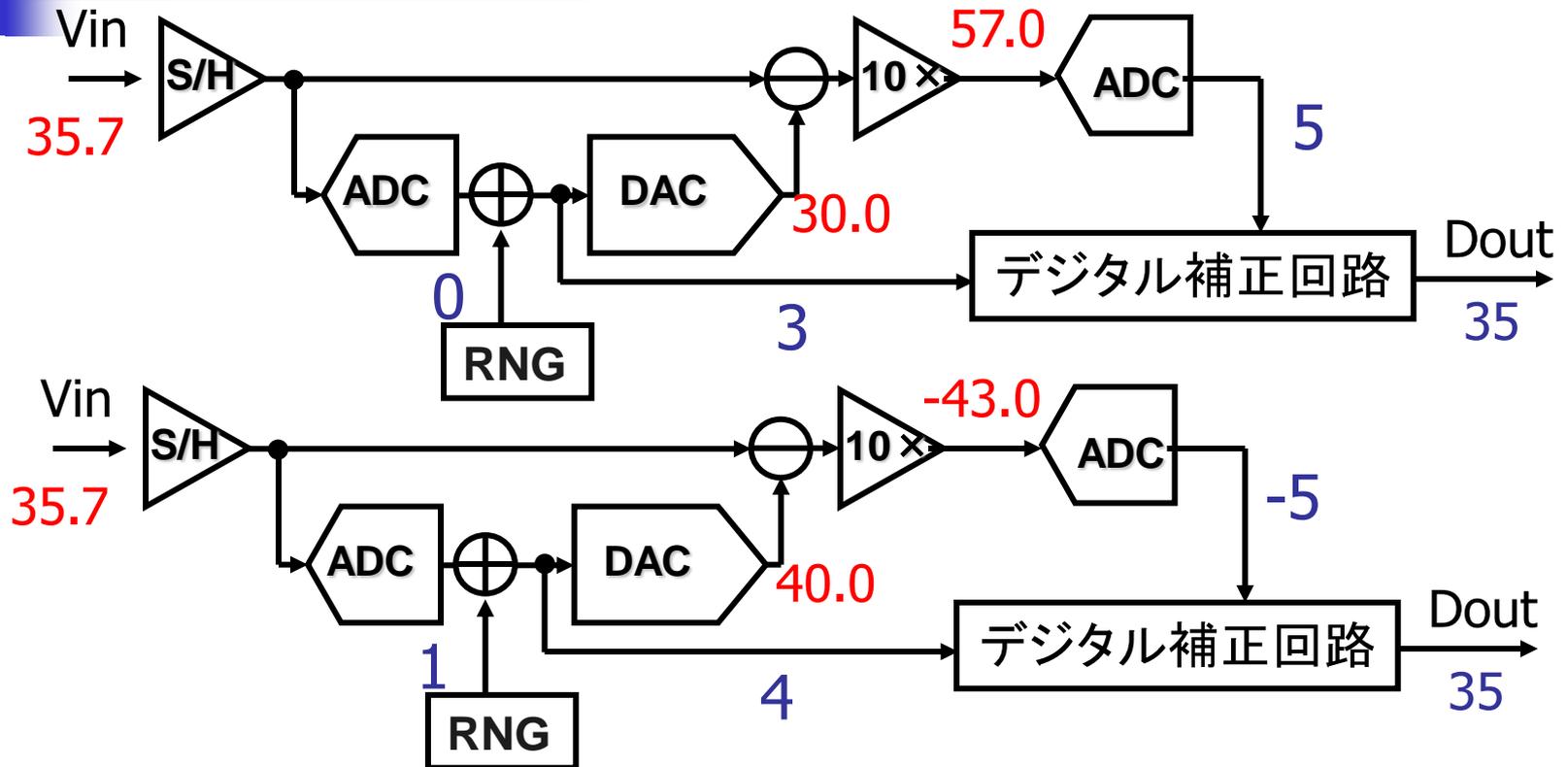


0 or 1 を各50% の確率で発生
入力 V_{in} とは無相関
(Random Number Generator)

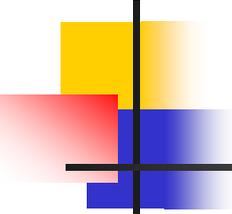
統計的考え方を使う

パイプラインADCの バックグラウンド自己校正アルゴリズム

一例の概念的説明



RNG=0 のとき $D_{out}=35$ となる頻度と
RNG=1 のとき $D_{out}=35$ となる頻度が
等しくなるように適応的にデジタル演算係数を調整する。



発表内容

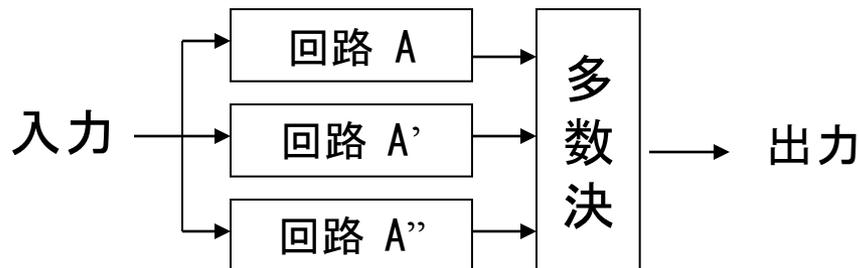
- アナログ電子回路と計測制御技術
- AD変換器
 - 計測制御機器のキーコンポーネント
 - 高性能化のためには計測制御技術が必要
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
 - ③ フラッシュADC
 - ④ インターリーブADC
- まとめ

冗長性によるデジタル誤差補正

- **空間**の冗長性と**時間**の冗長性
- 回路の非理想要因を許容して正解を出力。
- 非理想要因は計測しない。
- デジタル誤差補正技術により
 - 高信頼性化
 - 高速化
- ここで紹介するのは

時間の冗長性を用いた
逐次比較近似ADC

cf. 空間の冗長性の例





逐次比較近似AD変換器の背景

- 高分解能
- 中速
- 低消費電力
- 小型・小チップ面積

産業界で広く使用

- 車載用マイコンに混載
- ペンデジタイザ
- 工業用制御機器

- 大部分がデジタル回路で構成
ナノCMOSでの実現に適す

逐次比較近似ADCの構成と動作

アナログ入力

Analog input u

コンパレータ
天秤

Comparator

S/H

サンプル
ホールド回路

Analog output

天秤の原理で動作

天秤がコンパレータ
分銅がDAC

SAR

SAR logic

Po1

Po2

Po3

Po4

Clock

SAR 論理回路

1

2

3

4

MSB

Digital output

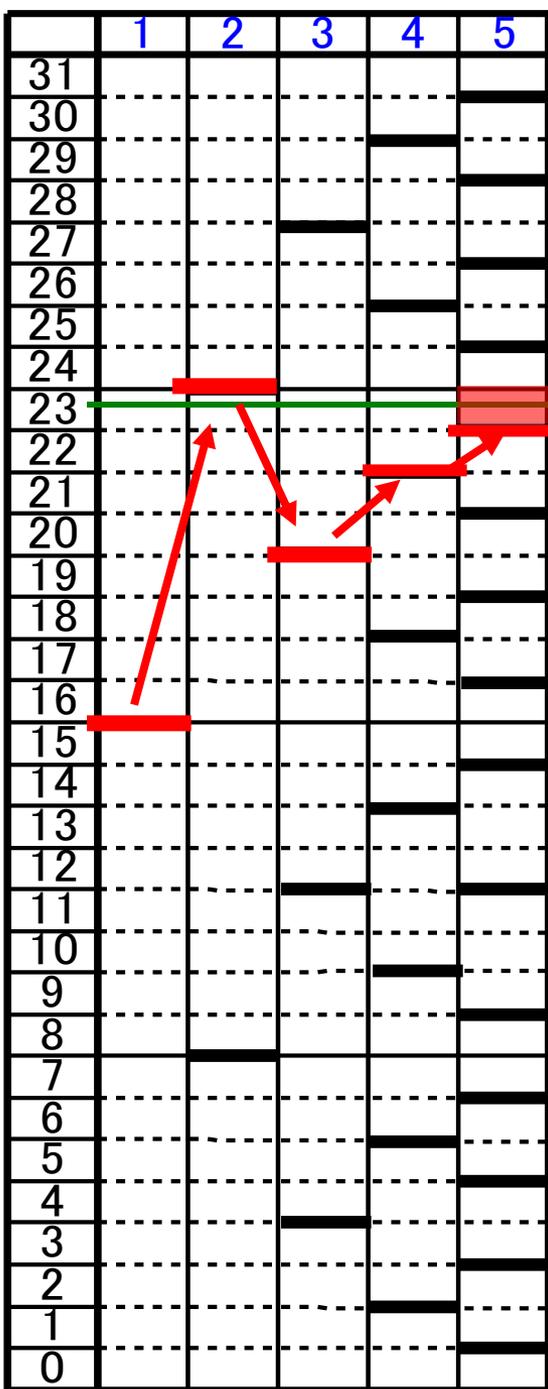
LSB

デジタル出力

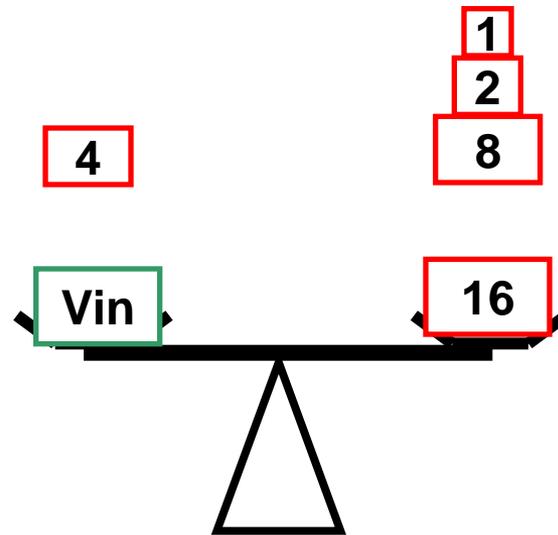
DAC

DA変換器
分銅

5ビット 逐次比較近似ADC 2進探索アルゴリズム動作



23.5 動作例: アナログ入力 23.5 のとき



$$\boxed{\text{Vin}} = \begin{matrix} \boxed{1} \\ \boxed{2} \\ \boxed{8} \\ \boxed{16} \end{matrix} - \boxed{4} = \boxed{23}$$

2進探索アルゴリズム コンパレータ誤判定時の動作



$V_{in}=23.5$ 動作例: アナログ入力 23.5のとき

1ステップ目で誤判定したとき

誤差大

デジタル
出力15

$V_{ref}(1)=16$

$V_{ref}(2)=8$

$V_{ref}(3)=12$

$V_{ref}(4)=14$

$V_{ref}(5)=15$

デジタル出力 15

非2進探索 冗長アルゴリズム

kステップ目の判定 $d(k) : +1$ or -1

2進探索アルゴリズム

$$D_{out} = 2^4 + d(1)2^3 + d(2)2^2 + d(3)2^1 + d(4) + d(5)0.5 - 0.5$$

非2進アルゴリズム: 5ビット分解能を6ステップで実現。

従来の非2進探索アルゴリズム

$$D_{out} = 2^4 + d(1)\gamma^4 + d(2)\gamma^3 + d(3)\gamma^2 + d(4)\gamma^1 + d(5) + d(6)0.5 - 0.5$$

$$1 < \gamma < 2$$

アルゴリズムが一意的に決まる。 $\gamma = 2^{\frac{5}{6}}$

非2進探索アルゴリズムの一般化

$$D_{out} = 2^4 + d(1)p(2) + d(2)p(3) + d(3)p(4) + d(4)p(5) + d(5)p(6) + d(6)0.5 - 0.5$$

$p(k)$ を自由に決める。 $p(k)$:分銅の重さ

非2進探索アルゴリズムの デジタル誤差補正原理

入力5のとき

2進探索

判定出力:101

$$Dout = 4 + 2 - 1 + 0.5 - 0.5 = 5$$

非2進探索

2通り

判定出力:1101

$$Dout = 4 + 1 + 1 - 1 + 0.5 - 0.5 = 5$$

判定出力:0111

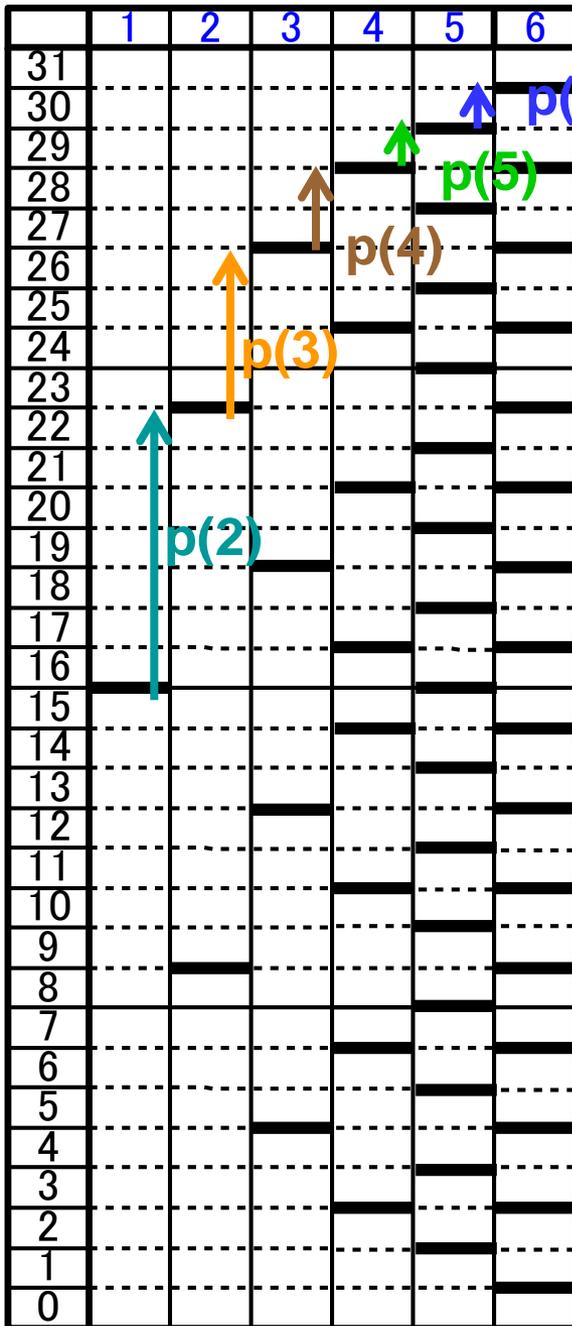
$$Dout = 4 - 1 + 1 + 1 + 0.5 - 0.5 = 5$$

1ステップ目で判定誤りをしても補正できる

非2進探索アルゴリズム

5ビット分解能(32レベル)

6ステップ (k=1,...,6)の場合



$$p(2)=7$$

$$p(3)=4$$

$$p(4)=2$$

$$p(5)=1$$

$$p(6)=1$$

と設計する。

分銅の重さに対応

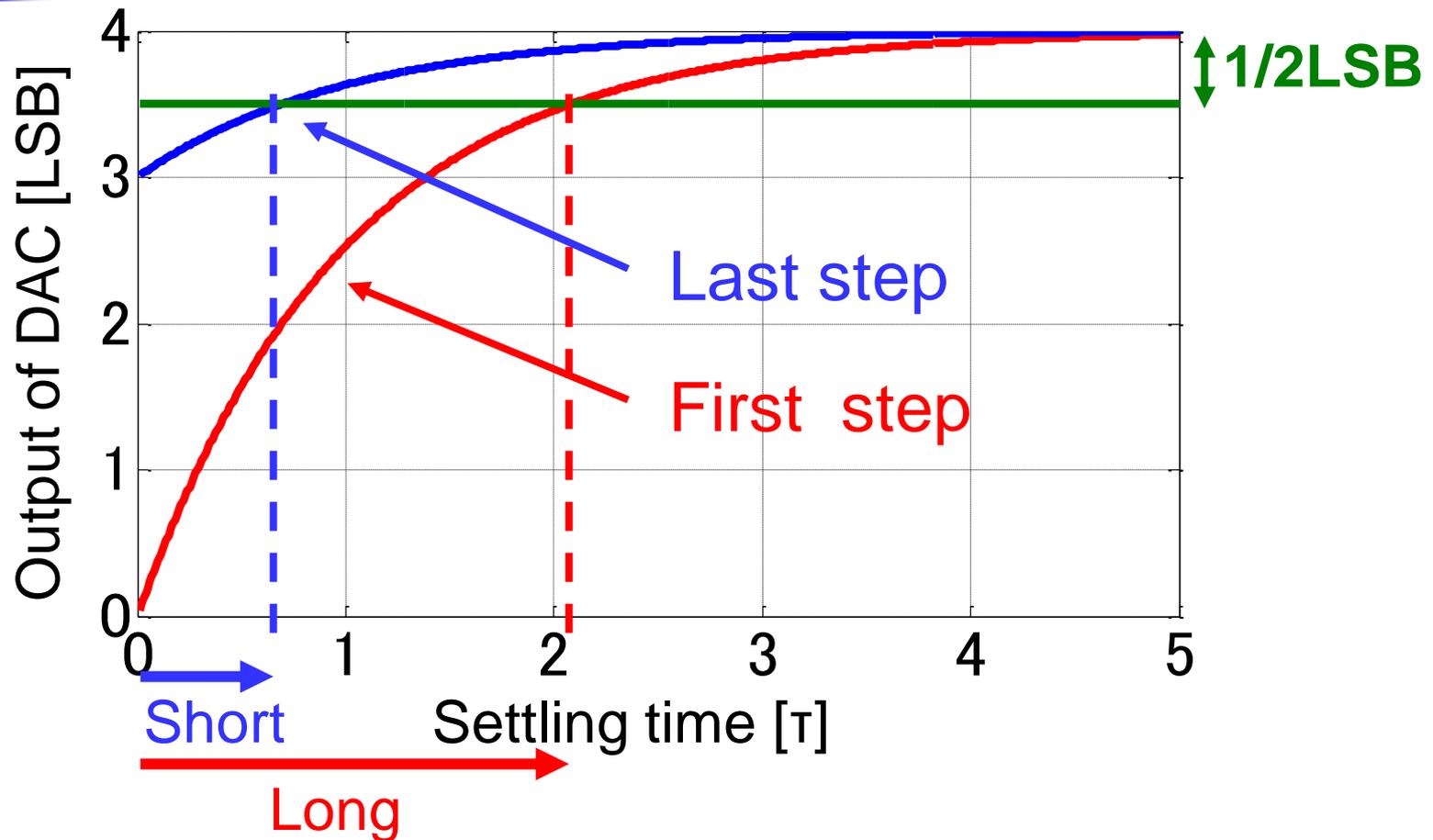
$$2^{5-1} = 1 + p(2) + p(3) + p(4) + p(5) + p(6)$$

$$2^4 = 1 + 7 + 4 + 2 + 1 + 1 = 16$$

$$2^{N-1} = 1 + \sum_{i=2}^M p(i)$$

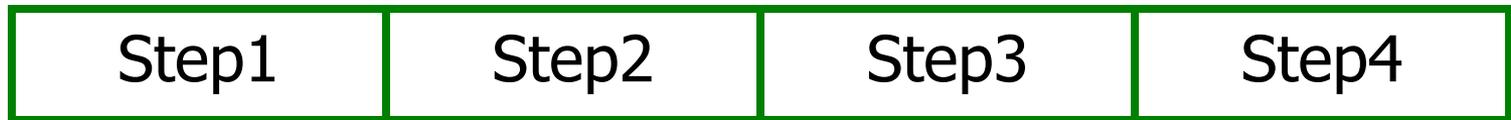
を満たしている

参照電圧発生用の 内部DA変換器の整定時間



非2進探索アルゴリズムによる AD変換 高速化 (原理説明)

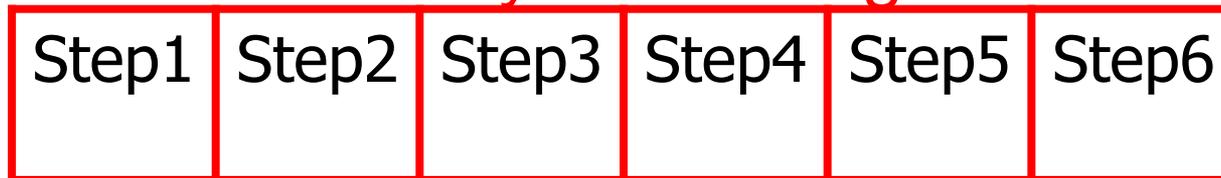
Binary search algorithm



Exact DAC settling → Long
time

A/D conversion time

Non-binary search algorithm



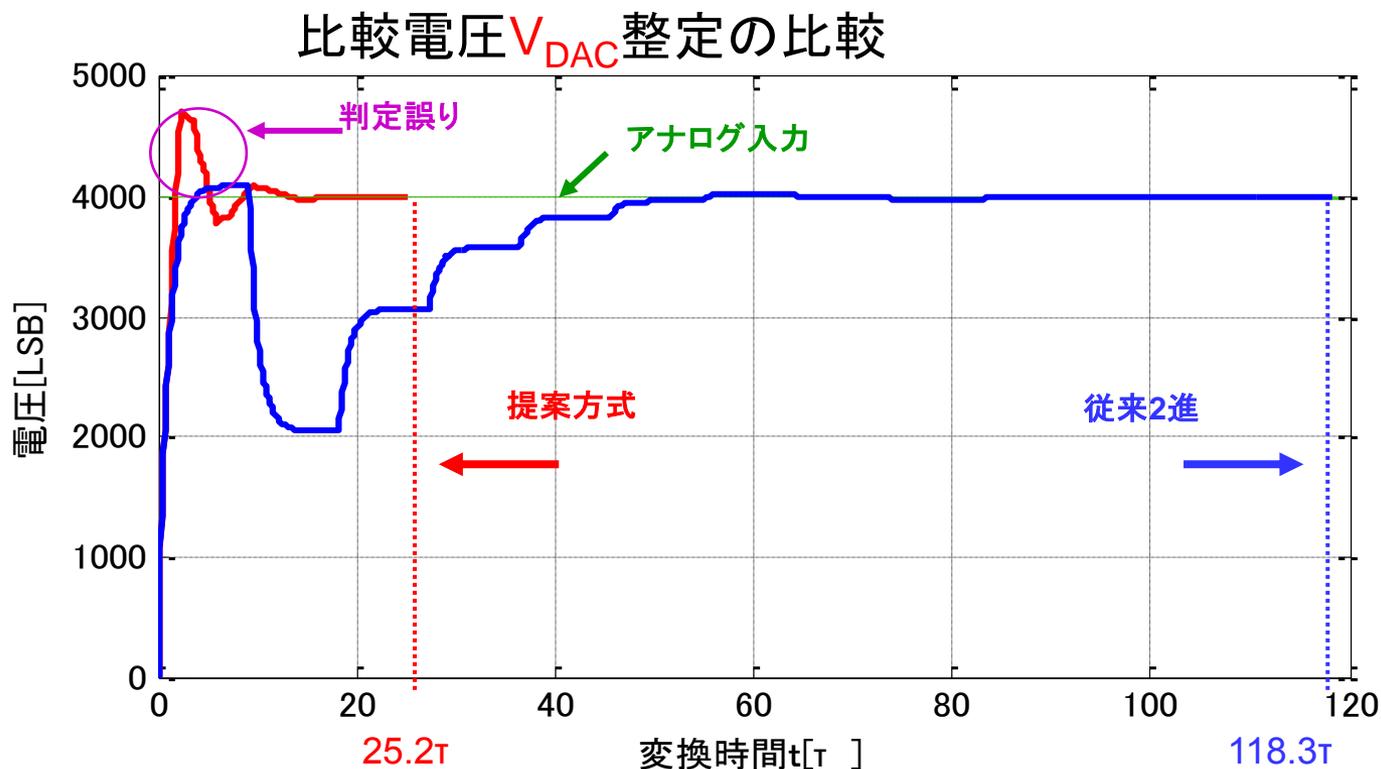
Correct incomplete settling error.

Incomplete DAC settling → Short

非2進探索アルゴリズムによる AD変換 高速化 (シミュレーション確認)

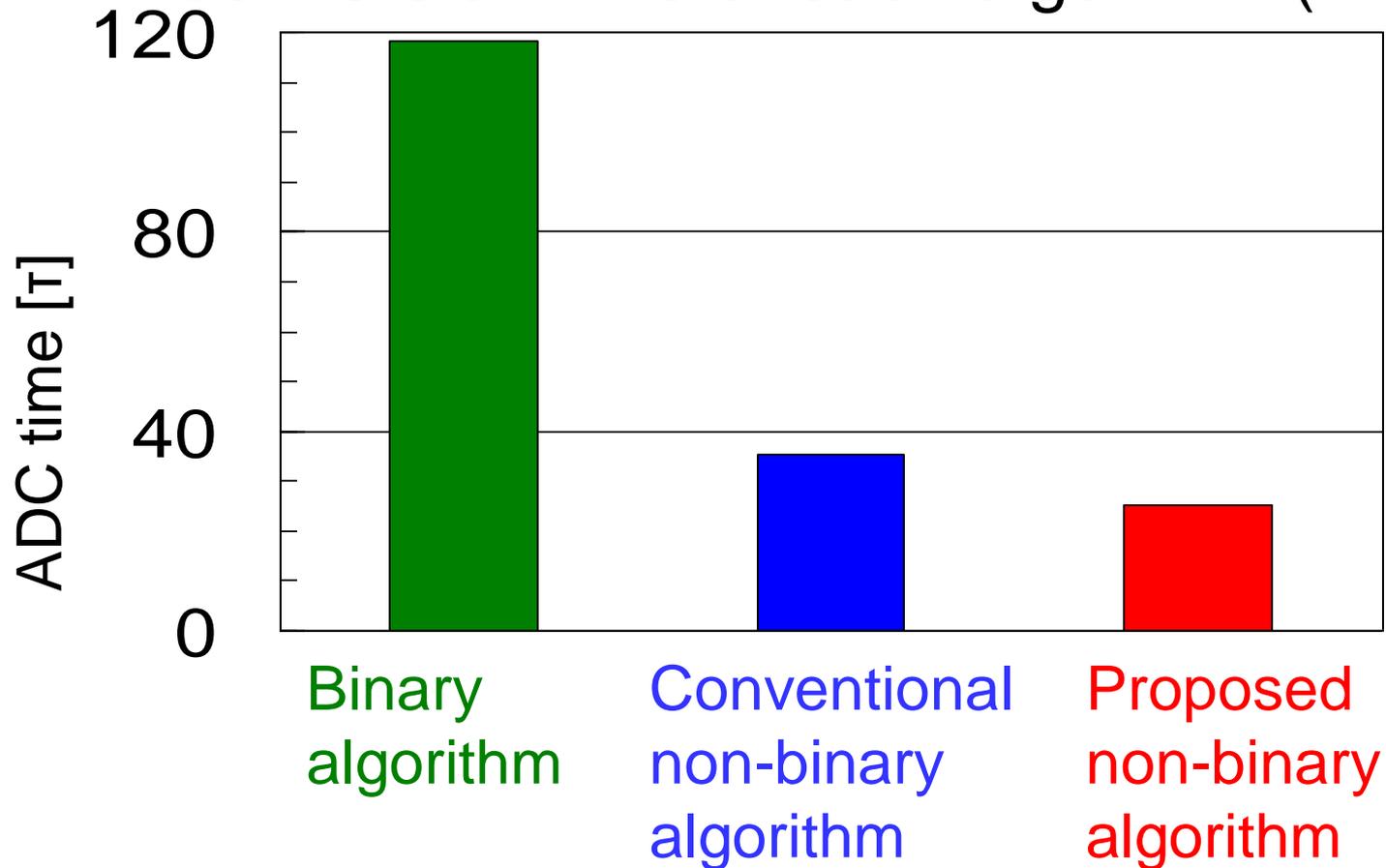
従来2進: 14ビット14ステップ 1サイクル9.1 τ

提案非2進: 14ビット22ステップ 1サイクル1.2 τ



AD変換スピードの比較

Conversion time of each algorithm (14-bit)





逐次比較ADCへの期待

- 昔からの方式
 - 産業界で広く使用
 - 微細CMOS実現での研究活発
 - 冗長アルゴリズム(信号処理技術)
 - ➡ デジタル回路部だけの設計変更で
 - 高信頼性化
 - 高速化
- が可能。

人生訓のような結果

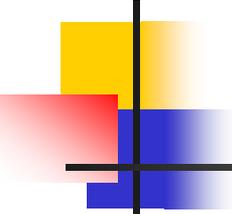
2進 SAR ADC はADC構成の中で最も効率(Figure of Merit) がよいと期待されて現在研究がホット。



冗長性を持たせることで、より効率が良い。

「無用の用」(老子、荘子)

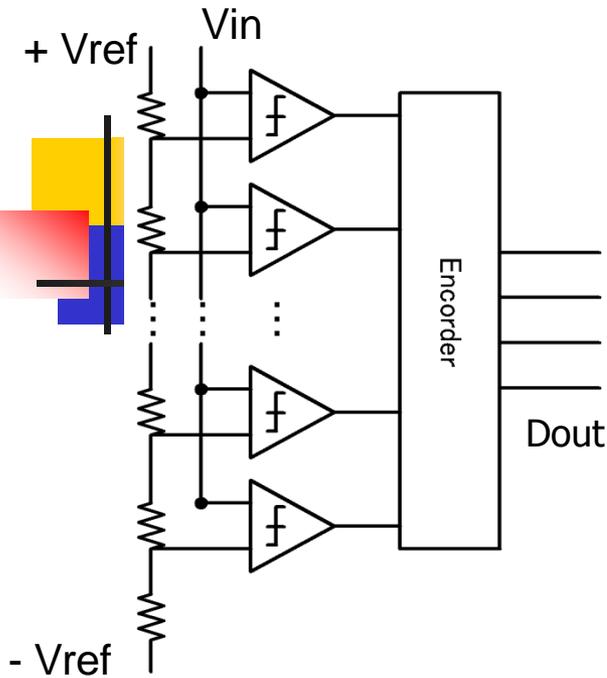
一見役に立たないものが、実は大きく役立つ



発表内容

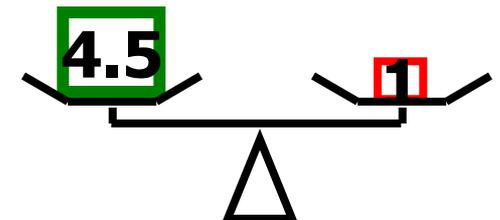
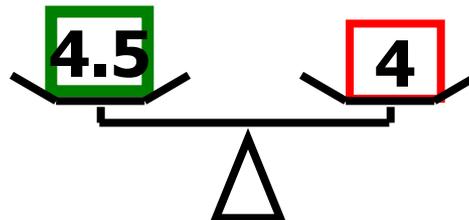
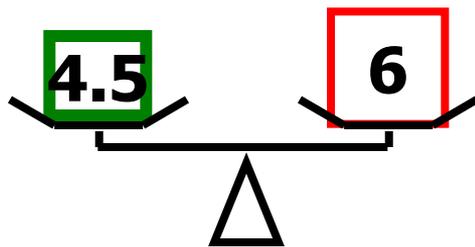
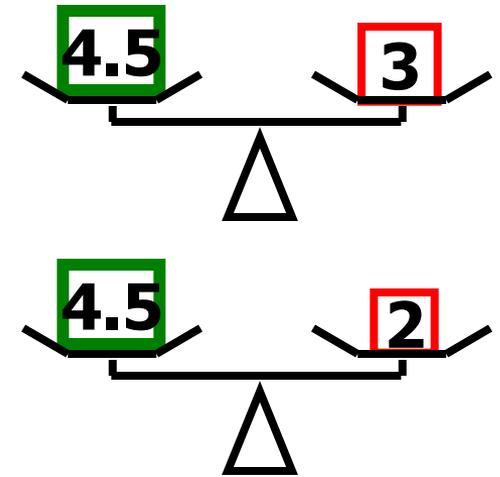
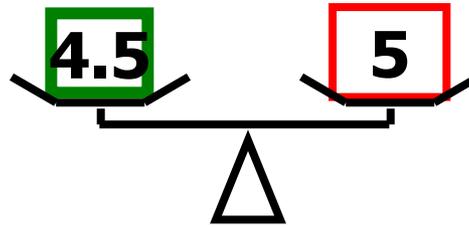
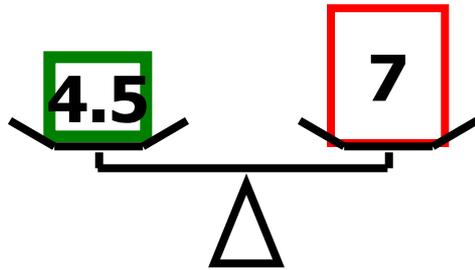
- アナログ電子回路と計測制御技術
- AD変換器
 - 計測制御機器のキーコンポーネント
 - 高性能化のためには計測制御技術が必要
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
 - ③ フラッシュADC
 - ④ インターリーブADC
- まとめ

フラッシュ型ADC - 大きな冗長性の回路 -



全ての重さの分銅と
それを載せる天秤を用意

入力 V_{in} 4.5



フラッシュ型ADCへの見方

「フラッシュ型ADCは無駄な回路が多く賢い構成ではない」
「6bit フラッシュADC など目をつぶっても実現できる」



「フラッシュ型ADCは偉大な構成」

- 低分解能・超高速ADCのアーキテクチャとしてフラッシュ型を超えようとして、(公表されてないが、まわりで) いくつかの研究が失敗している (UCLA Abidi 先生)
- 産業界で フラッシュ型は生き残っている。



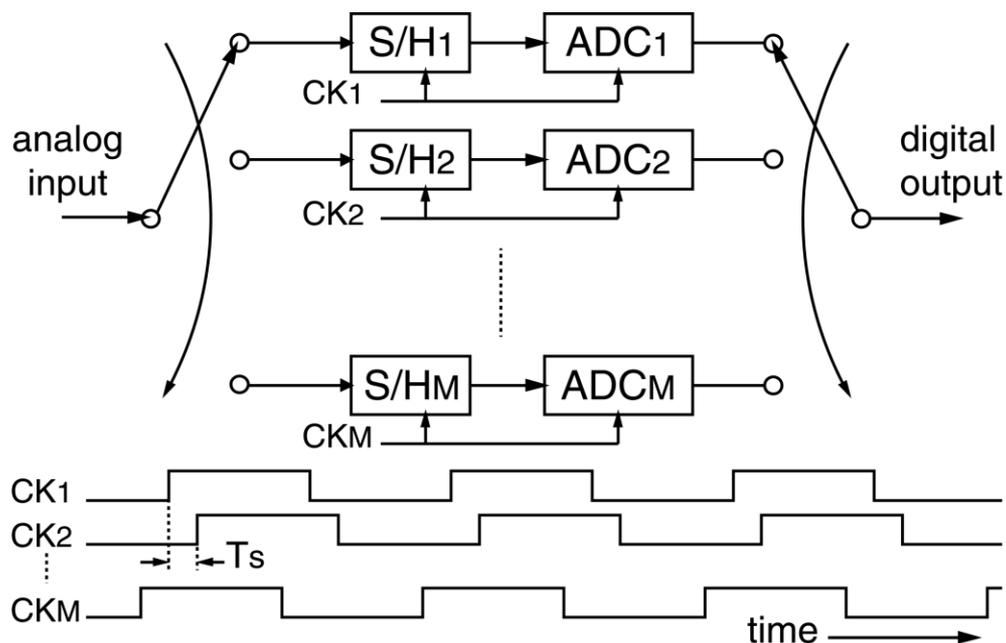
発表内容

- アナログ電子回路と計測制御技術
- AD変換器
 - 計測制御機器のキーコンポーネント
 - 高性能化のためには計測制御技術が必要
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
 - ③ フラッシュADC
 - ④ インターリーブADC
- まとめ

インターリーブADCの構成と動作

M個のADCのインターリーブでM倍のサンプリングレートを実現

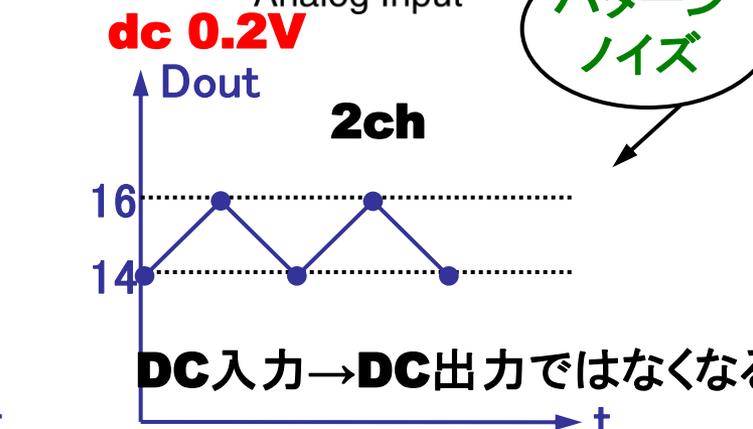
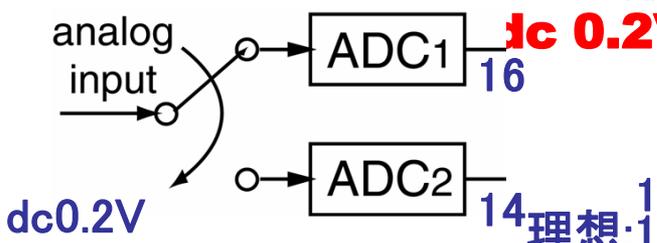
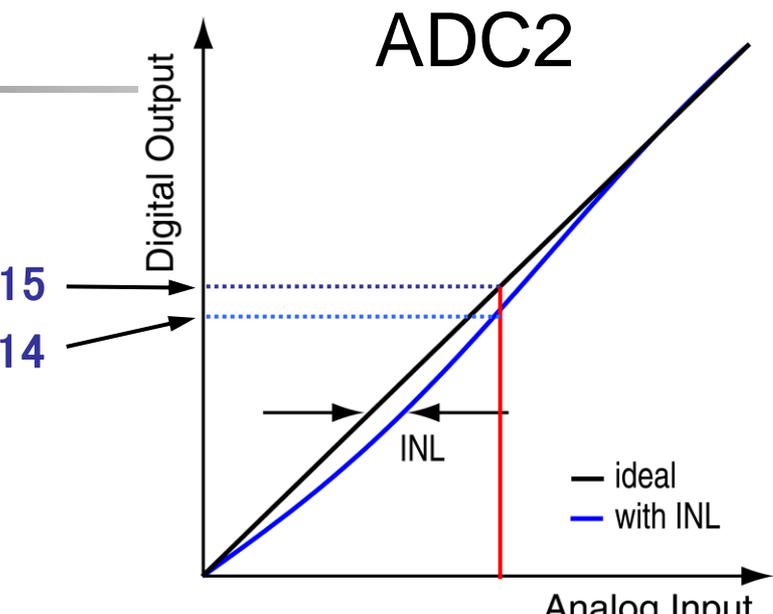
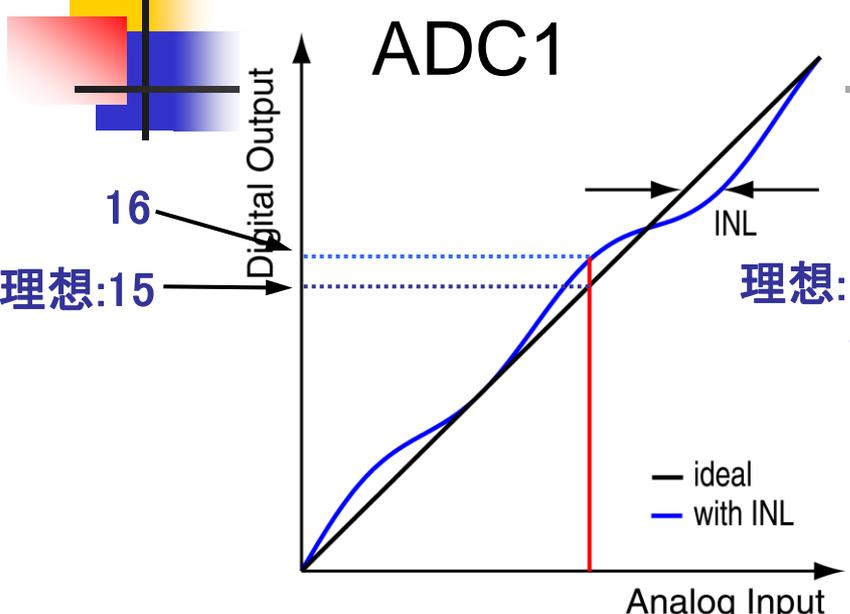
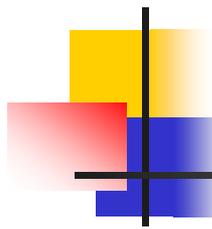
- サンプリングレートの高いADC実現（電子計測器等に使用）
- 最近では低消費電力化の観点からも注目



「一人のスーパーマン」
より
「多数の普通の人
が連携して」

インターリーブADCの問題点

- チャンネルADC間ミスマッチ -

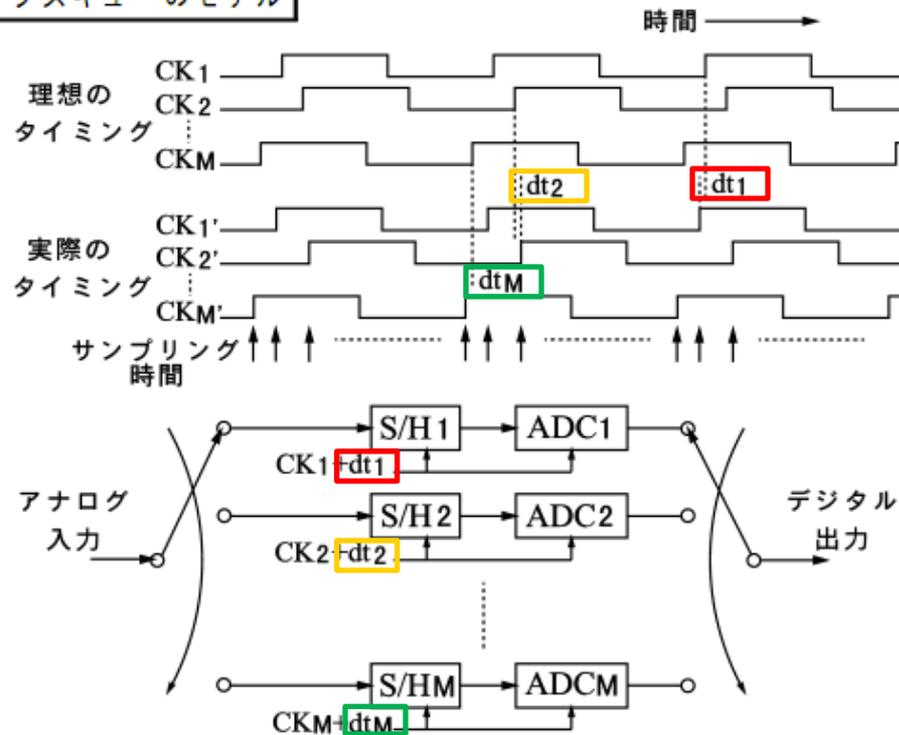


パターンノイズ

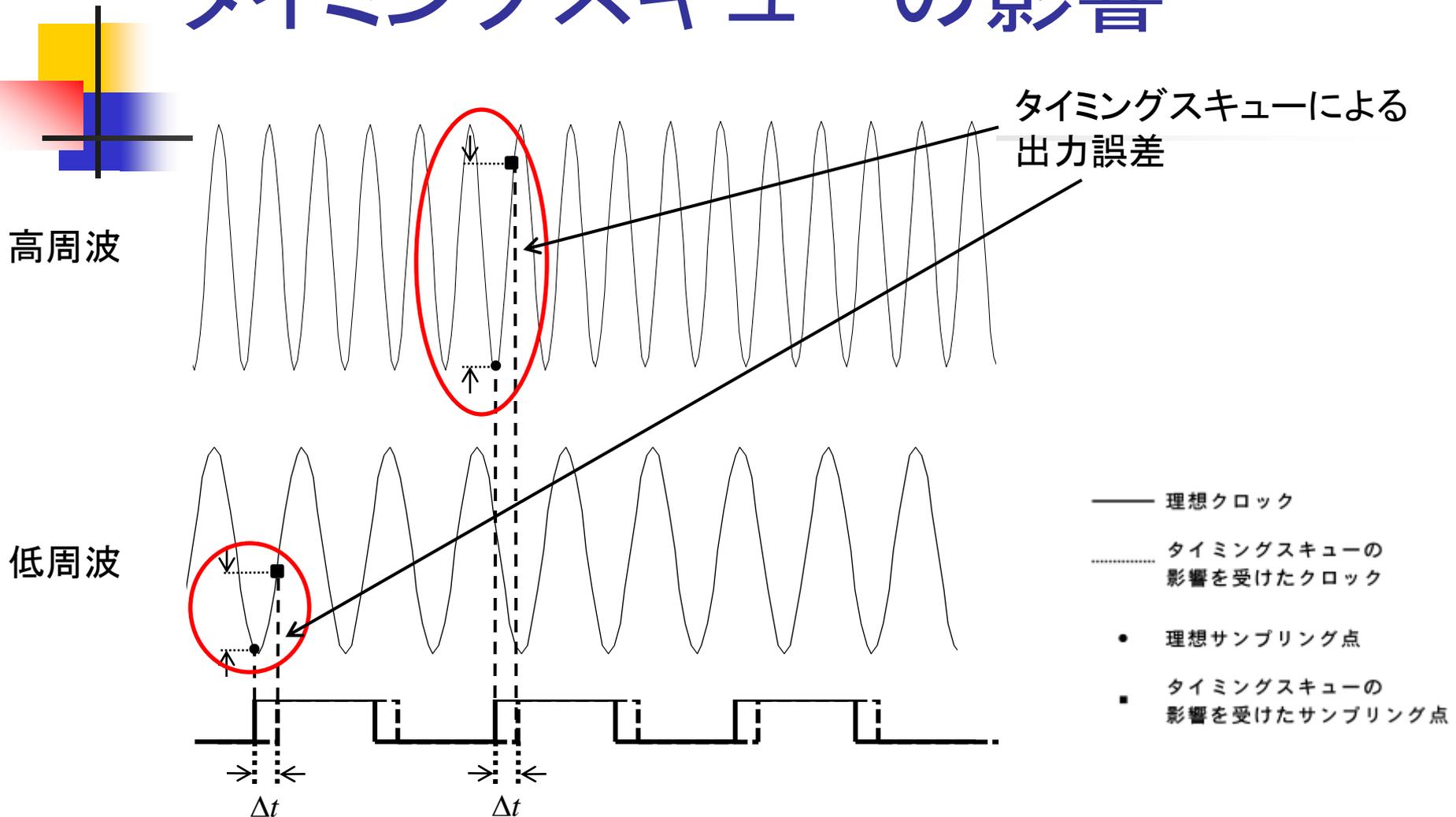
チャンネルADCクロック間 タイミング・スキュー

正確なM相クロックを生成することは難しい

タイミングスキューのモデル



タイミングスキューの影響

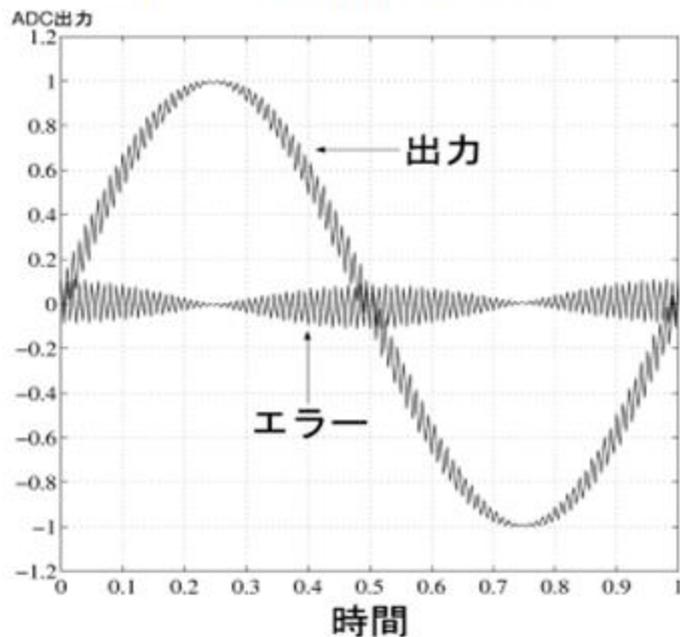


入力信号が高周波になるほど影響が大きくなる

タイミングスキューの 時間・周波数領域での影響

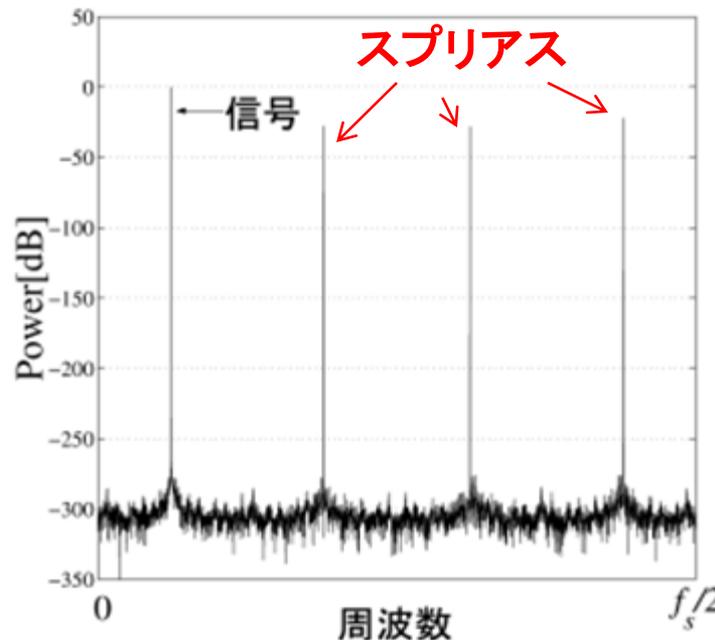
4chインターリーブADC

ADCシステムの出力とエラー



時間領域の影響

ADC出力のパワースペクトラム

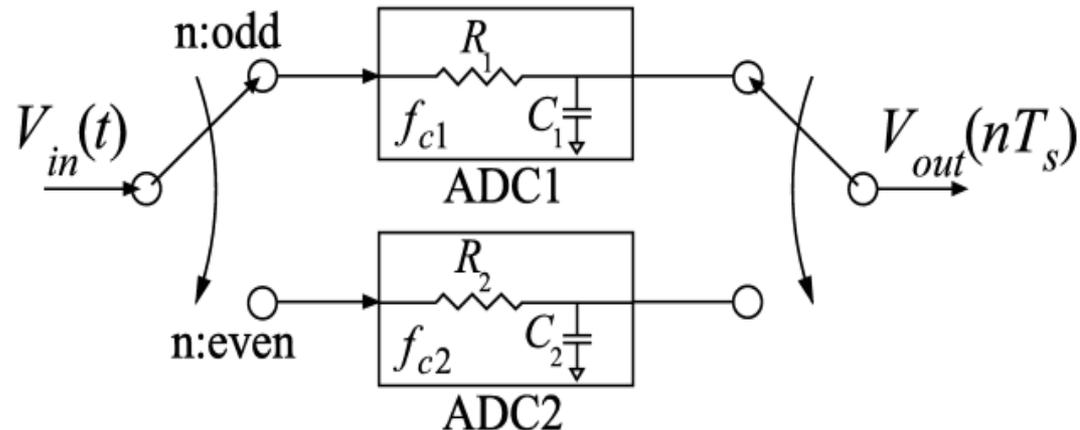


周波数領域の影響

- 入力信号の傾きが大きいほど影響が大。
- 位相変調(PM)的ノイズ

帯域ミスマッチのモデル

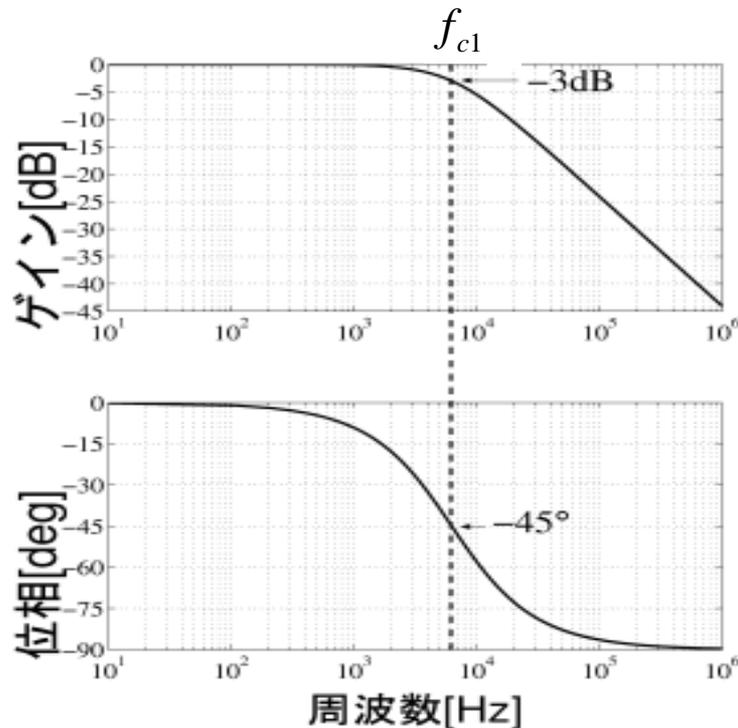
2ch ADCに帯域のミスマッチが存在する場合のモデル



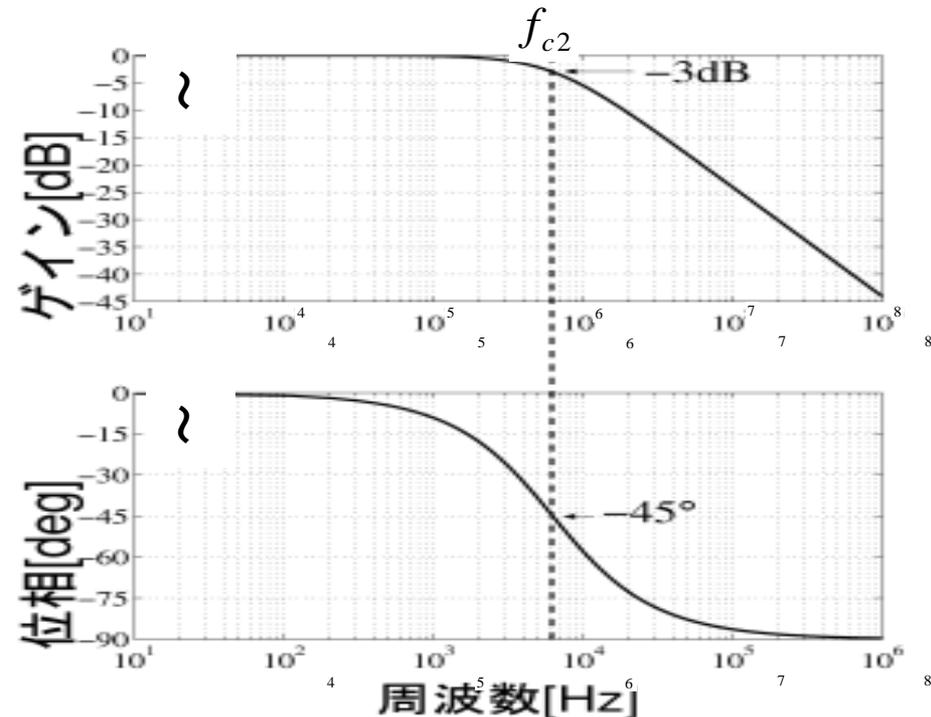
- アナログ素子から成る一次遅れ系近似ADC
- -3dB 周波数はランダムにばらつく

帯域ミスマッチの影響

ADC1の-3dB周波数

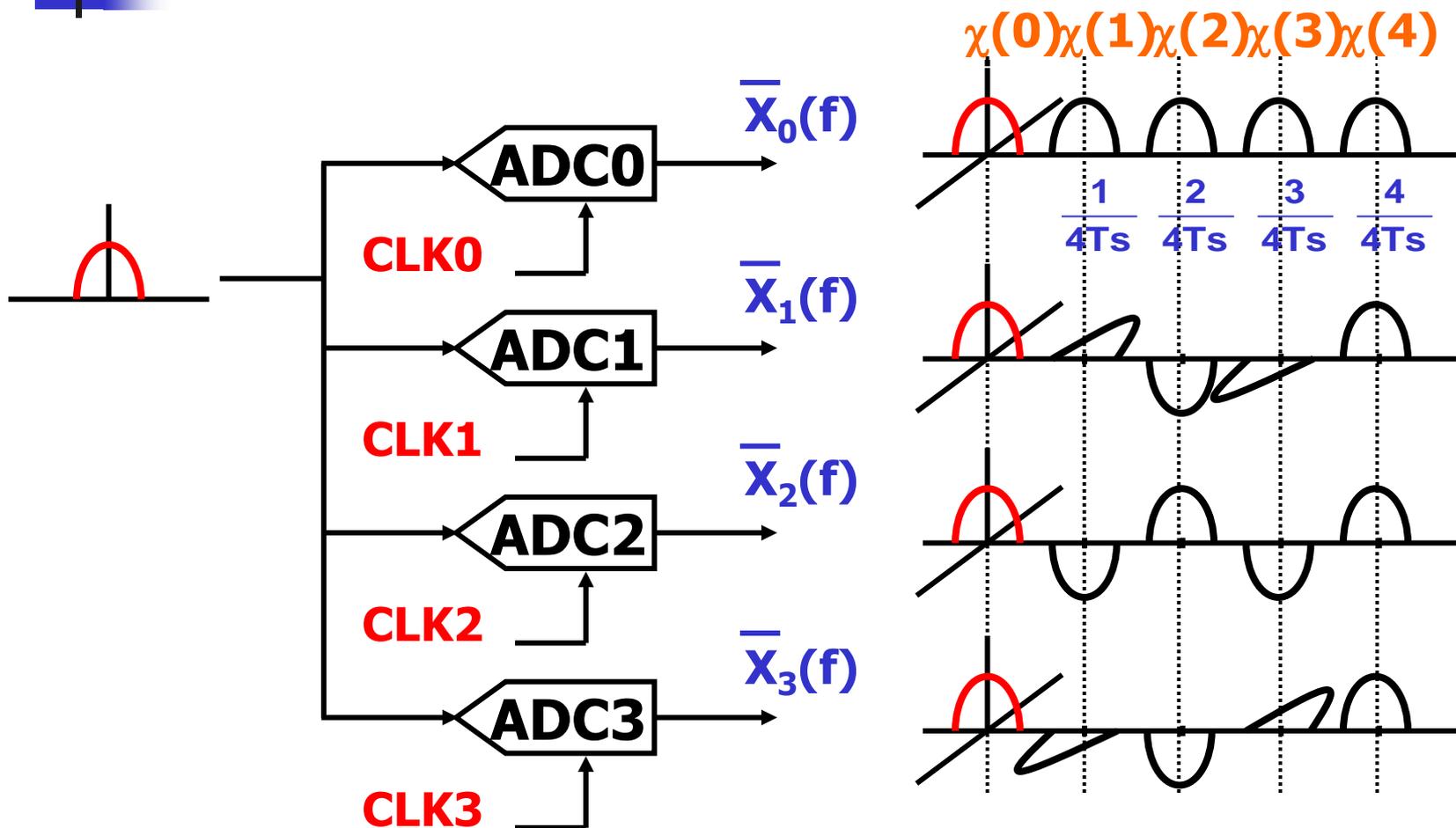


ADC2の-3dB周波数

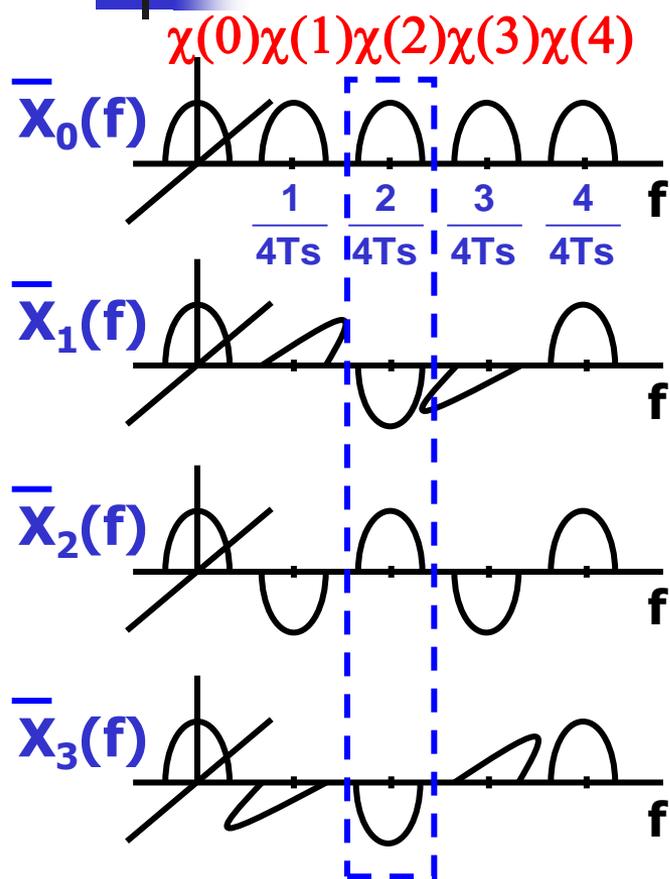


- 入力周波数に依存したゲインのミスマッチ
- 入力周波数に依存した位相遅れ(時間遅れ)のミスマッチ

各チャネルADC出力の 周波数特性

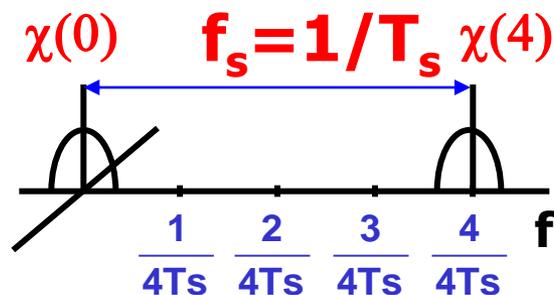


インターリーブADC全体の ふるまい



アドバンテスト社
群馬大学社会人博士
浅見幸司氏

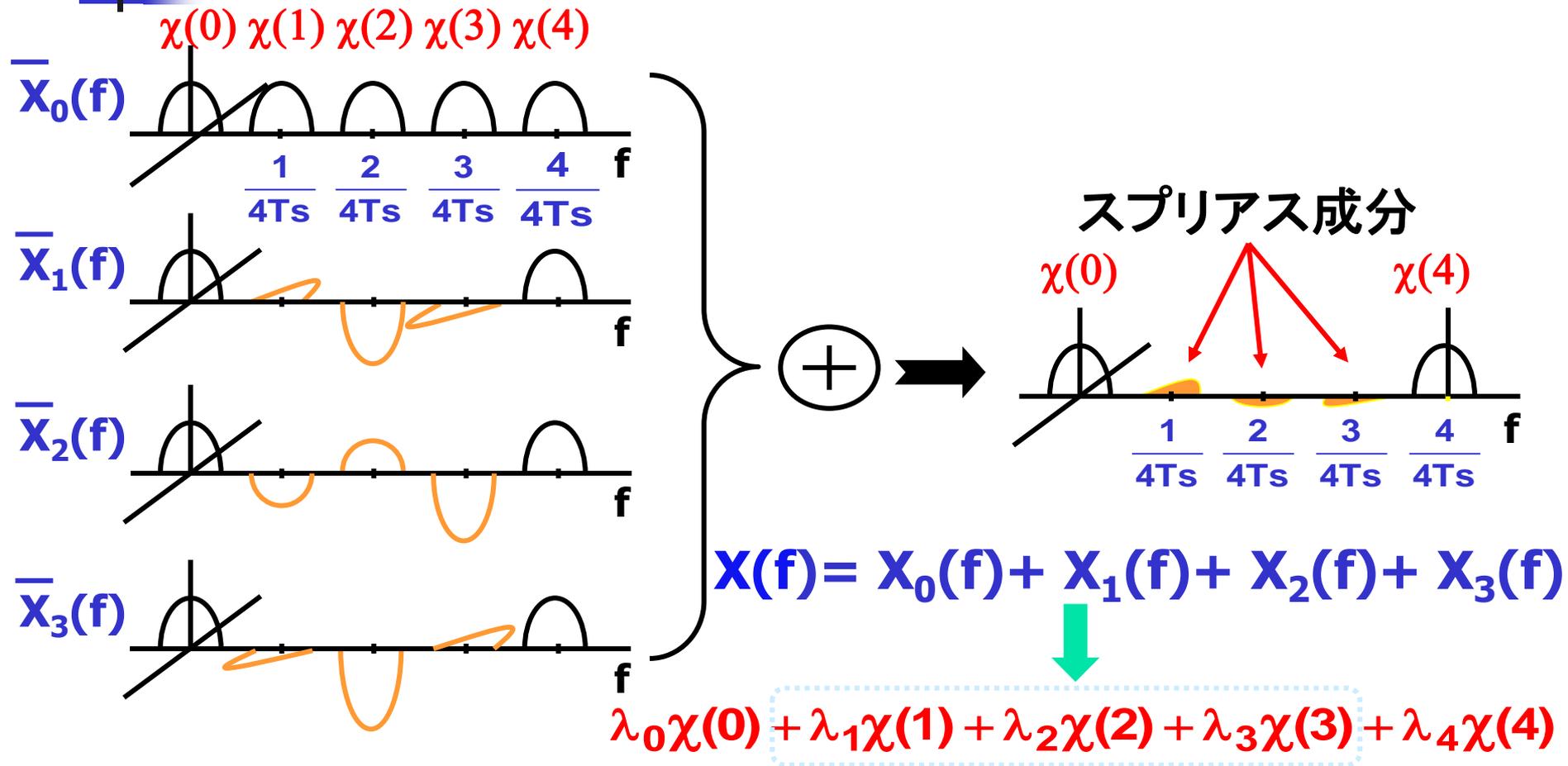
\oplus



$$X(f) = X_0(f) + X_1(f) + X_2(f) + X_3(f)$$

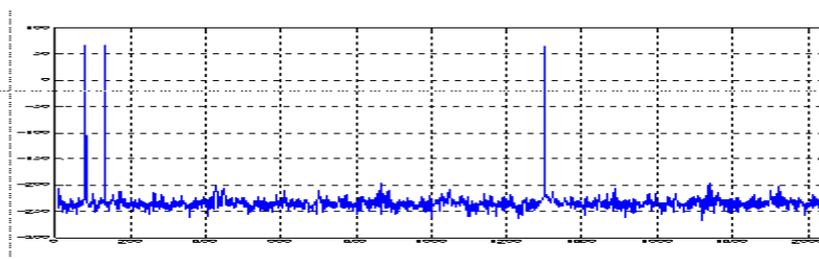
$$= \chi(0) + \chi(4)$$

各チャネルADCの周波数特性に ミスマッチがある場合

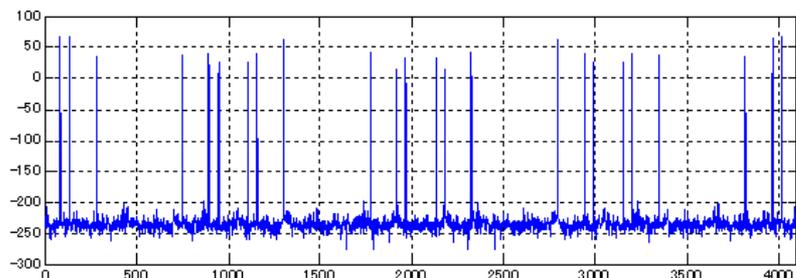


インターリーブADCチャンネル間ミスマッチの デジタル自己校正

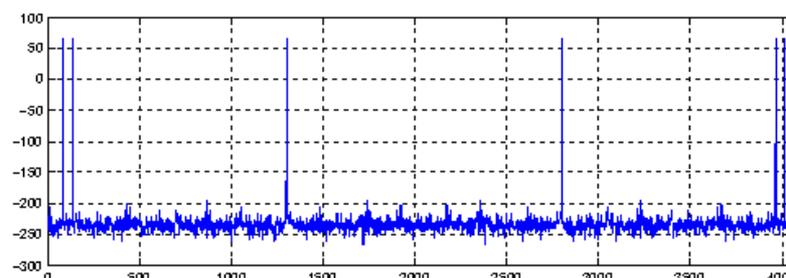
- ミスマッチの自動測定・補正 -



入力周波数特性

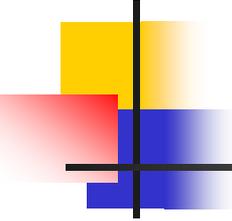


周波数特性
補正前



周波数特性
補正後

アナログの高速化の問題をデジタル信号処理で解く



発表内容

- アナログ電子回路と計測制御技術
- AD変換器
 - 計測制御機器のキーコンポーネント
 - 高性能化のためには計測制御技術が必要
- ADCでの計測制御・信号処理技術による高性能化
 - ① パイプラインADC
 - ② 逐次比較近似ADC
 - ③ フラッシュADC
 - ④ インターリーブADC
- まとめ

まとめ

キーコンポーネント

- アナログ電子回路  計測制御
高性能化技術

- ADC高性能化の最先端

自己校正(高精度化)



計測制御技術

誤差補正(高速化)



信号処理技術