



完全デジタルPLL回路の設計

R. B. Staszewski  
P. T. Balsara

著

CQ出版社

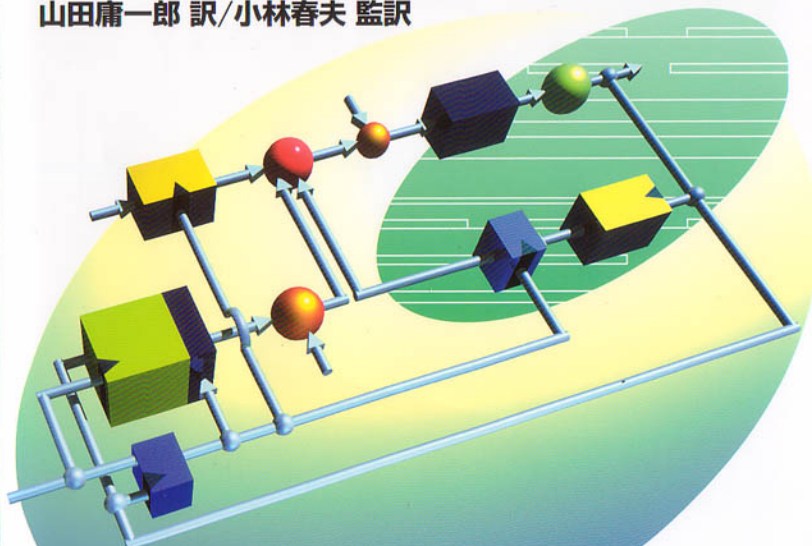
ディープ・サブミクロン  
CMOSプロセスで実現する

Semiconductor Series  
半導体シリーズ 

ALL-DIGITAL FREQUENCY SYNTHESIZER

# 完全デジタル PLL回路の設計

Robert Bogdan Staszewski/Poras T. Balsara 著  
山田庸一郎 訳/小林春夫 監訳



CQ出版社

Semiconductor Series  
半導体シリーズ 

半導体デバイスを使って回路設計を行う技術者のための技術参考書シリーズです。

半導体デバイスの基礎(構造、動作原理、特性)や、応用回路を半導体デバイスごとに解説します。

## 本書の特徴

無線通信回路の周波数シンセサイザやマイクロプロセッサの高速クロック生成回路において必須となるPLL(位相同期回路)を完全にデジタル回路で構成するという設計思想が、完全デジタルPLL回路(ADPLL)である。本書は、この設計思想を解説した「All-Digital Frequency Synthesizer in Deep-Submicron CMOS」を翻訳したものである。

「ディープ・サブミクロン・プロセスでは、デジタル信号のエッジ遷移の時間領域の分解能のほうがアナログ信号の電圧分解能よりも優れている」という考え方に基いており、アナログ回路をデジタル回路と共存させて集積化する重要な技術となっている。

# 翻訳にあたって

無線通信回路の周波数シンセサイザやマイクロプロセッサの高速クロック生成回路において必須となる回路がPLL(Phase-Locked Loop, 位相同期回路)である。通常は、アナログ回路もしくはアナログ・デジタル混載回路で実現する。このPLLをすべてデジタル回路で構成するという設計思想が、完全デジタルPLL回路である。その考案者のRobert Bogdan Staszewski博士〔元テキサス・インスツルメンツ社(米国), 現デルフト工科大学(オランダ)], Poras T. Balsara博士〔テキサス大学ダラス校(米国)〕による下記の原書に詳しい内容が示されている。この日本語翻訳が本書である。

Robert Bogdan Staszewski, Poras T. Balsara  
All-Digital Frequency Synthesizer in Deep-Submicron CMOS  
Wiley-Interscience (2006)

完全デジタルPLLのメリットは、以下ようになる。

- 微細デジタルCMOS回路での低電源電圧動作に適している。
- CMOSプロセスの微細化が進むほど、性能向上を期待できる(従来のアナログPLLでは、微細化しても必ずしも高性能化するわけではない)。
- 小さなチップ面積で実現できる。
- 初回の試作チップで完全動作が期待できる。
- 半導体プロセス開発と並行して回路設計が行える。
- プロセス・ポータビリティおよびプロセス・スケラビリティが確保できる。
- 他のデジタル回路と集積化できる。

これらの完全デジタルPLLのメリットは、下記の特徴からもたらされている。

- デジタル回路で構成するだけでなく、回路設計や検証、そしてテストもデジタル回路と同様の手法を用いることができる。
- アナログ・フィルタ(抵抗やキャパシタを使用)をデジタル・フィルタに置き換えられるので、チップ面積を縮小できる。

- チャージ・ポンプ回路が不要である。このため、低い電源電圧での動作が可能となる。また、チャージ・ポンプのスイッチ動作がなくなるので、位相ノイズを低減できる。
- 発振出力の位相ノイズの要因を、DCO周波数分解能、DCO位相ノイズ、TDC (time to digital converter)時間分解能の三つに特定できる。
- デジタル回路のためプログラム制御が可能になる。これにより高速整定と位相ノイズのトレードオフの問題を解決できる。
- デジタル自己較正により、製造プロセスや電源電圧、温度変動のループ伝達関数への影響を自動的にキャンセルできる。

完全デジタルPLL回路の研究開発には、PLL回路技術に加えてデジタル信号を処理する知識が不可欠である。デジタルCMOS回路は、スピードや消費電力の観点から極めて優れており、これがLSIにおいてCMOSプロセスが主流になった理由である。この考え方に基づく完全デジタルPLL回路は、まさに微細CMOSの良さを最大限に利用した方式と言えよう。現在、この技術に多くの関心が集まっており、回路分野の国際会議では様々な機関から活発に完全デジタルPLL回路関係の技術の発表が行われている。

さらに、Straszewski博士らによる本書は、PLL回路・周波数シンセサイザ回路を完全にデジタルで実現する新技術の「技術書」であると同時に、微細CMOSでのアナログRF回路の新しい設計思想を示した「哲学書」でもある。

LSIの微細化の進展とともに、デジタル回路は面積の縮小・高速化・低消費電力化が進んでいる。しかし、従来のアナログRF回路では微細化に伴うトランジスタ特性のばらつき、真性利得の低下、電源電圧の低下などのため必ずしも性能は向上せず、アナログRF回路設計のパラダイム・シフトが必要である。現在、多くのアナログRF集積回路の技術者や研究者はこのような思いをもっている。

Straszewski博士らが本書で何度も強調している

「ディーブ・サブミクロン・プロセスでは、デジタル信号のエッジ遷移の時間領域の分解能のほうがアナログ信号の電圧分解能よりも優れている」

という考え方は、微細CMOSでの実現に適した時間分解能型アナログ回路として多くの研究者により様々な展開がなされている。

さらに、本書の内容は次のような近年の微細CMOS SOC内のアナログRF回路を実現する際の設計コンセプトにつながっている。

「半導体プロセスの微細化は、デジタル回路の低消費電力・高速・高集積化・低コスト化のために行う。したがって、デジタルでメリットがなければ半導体微細化をする理由はない。微細化プロセスでもデジタルは必ず動作する。そこで、微細CMOSトランジスタを用いるLSIではデジタル技術を用いてアナログ性能を向上させる技術(デジタル・アシスト・アナログRF技術, Digitally-Assisted Analog RF Technology)が重要な設計思想である。」

Straszewski博士らによる本書は、その具現化したものを示している。

本書は、これらを理解するのに格好のテキストになると思う。Straszewski博士らによる原著は非常に深い内容であるので、英文でそのまま理解するにはハードルが高く、日本のアナログRF回路設計に関係する技術者の方々からは、日本語訳のテキストがあれば研究開発のスピードが上がるとの声をあちこちで聞いてきた。また、訳者らもぜひこのテキストの内容を完全に理解したいというモチベーションからこの翻訳の仕事を行った。

この日本語翻訳を快くご承認していただいた筆頭著者のRobert Bogdan Straszewski氏、この翻訳の仕事をアレンジしていただいた神奈川工科大学 小室貴紀氏、著者との仲介の労をとっていただいた日本テキサス・インスツルメンツ社 濱崎利彦氏に深く謝意を表したい。さらに、群馬大学との完全デジタルPLL回路の共同研究を通じて、この翻訳をご支援いただいた三洋半導体(株) 壇 徹、内藤智洋、高橋伸夫、坂田浩司、北村真一、奥村昌夫、関口豊、和田淳、馬場清一 各位、および群馬大学 田邊朋之、三田大介、長谷川賀則、林海軍、西村繁幸、湯本哲也、村上健、立岩武徳、高井伸和、新津葵一、土井佑太 各位ならびに関係者に深く感謝したい。最後に、翻訳書の出版を快諾していただいたCQ出版社社長の蒲生良治氏、本書の校正でお世話になった同社 山岸誠仁、寺前裕司、中澤里美 各位に深く感謝の意を表したい。

この翻訳書が、日本の半導体分野の技術者・研究者にとって意義のあるものになれば幸いである。