

逐次比較近似 ADC コンパレータ・オフセット影響の 冗長アルゴリズムによるデジタル補正技術

小川 智彦[†] 松浦 達治^{††} 小林 春夫^{†a)} 高井 伸和[†]
堀田 正生^{†††} 傘 昊^{†††} 阿部 彰^{††} 八木 勝義^{††}
森 俊彦^{††}

Non-binary SAR ADC with Digital Compensation for Comparator Offset Effects

Tomohiko OGAWA[†], Tatsuji MATSUURA^{††}, Haruo KOBAYASHI^{†a)},
Nobukazu TAKAI[†], Masao HOTTA^{†††}, Hao SAN^{†††}, Akira ABE^{††}, Katsuyoshi YAGI^{††},
and Toshihiko MORI^{††}

あらまし 研究機関 IMEC より逐次比較近似 A-D 変換器 (SAR ADC) の低消費電力化の技術が二つ提案されている (コンパレータを二つ用いる方式及び電荷共有型方式). しかしそれらはコンパレータ・オフセットの影響により SAR ADC の線形性が劣化するという特有の問題があるので, コンパレータ・オフセットをアナログ的に校正している. 本論文では, これらの SAR ADC の低消費電力化技術に逐次比較近似冗長アルゴリズムを併用してコンパレータ・オフセットの影響をデジタル補正することでアナログ校正を不要にする方式を提案する. 提案デジタル補正方式は CMOS 微細化の進展に伴いアナログ校正に比べ実現がより有利になることが期待できる.

キーワード 逐次比較近似 ADC, 比較器, 低消費電力, 冗長アルゴリズム, デジタル・アシスト・アナログ技術

1. ま え が き

CMOS 微細化に伴いトランジスタ真性利得が低下し信頼性確保及び低消費電力化のため電源電圧が低くなり, オペアンプなどのアナログ回路を多用する A-D 変換器 (ADC) の高性能化が難しくなっている. これに対して逐次比較近似 (Successive Approximation Register: SAR) ADC (図 1) はオペアンプを使用せず大部分をデジタル回路で構成できるので微細 CMOS SOC 内での高効率 ADC 実現に適した構成と

して関心が高まっている [1]~[6].

その技術トレンドの中で研究機関 IMEC より SAR ADC の低消費電力化のための二つの技術が提案されている [1], [2]. しかしながらこれらはコンパレータ・オフセット影響により SAR ADC の線形性が劣化するという特有の問題があるので, IMEC ではコンパレータ・オフセットをアナログ的に校正している.

本論文では, これらの SAR ADC 低消費電力化技術に逐次比較近似冗長アルゴリズムを併用してコンパレータ・オフセットの影響をデジタル補正しアナログ校正を不要にする方式を以下のように提案する.

(1) IMEC より低消費電力化技術として二つのダイナミックコンパレータをもち, 逐次比較のステップの前半で低消費電力・高ノイズ, 後半で高消費電力・低ノイズのコンパレータを用いる SAR ADC 方式が提案された (図 2)[1]. すべてのステップで高消費電力・低ノイズのコンパレータを使用する通常の SAR ADC に比べて低消費電力化が図れる. しかしながら IMEC

[†] 群馬大学大学院工学研究科電気電子工学専攻, 桐生市
Dept. of Electronic Engineering, Gunma University, 1-5-1
Tenjin-cho, Kiryu-shi, 376-8515 Japan

^{†††} 東京都市大学知識工学部情報ネットワーク工学科, 東京都
Dept. of Information Network Engineering, Tokyo City Uni-
versity, Tokyo, 158-8557 Japan

^{††} (株) 半導体理工学研究センター, 横浜市
Semiconductor Technology Academic Research Center,
Yokohama-shi, 222-0033 Japan

a) E-mail: k.haruo@el.gunma-u.ac.jp

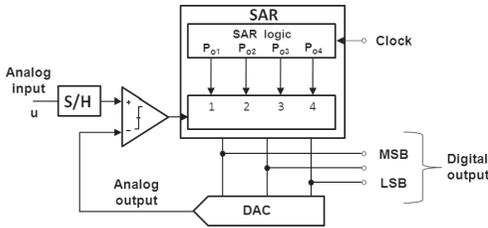


図 1 SAR ADC の構成図
Fig.1 SAR ADC block diagram.

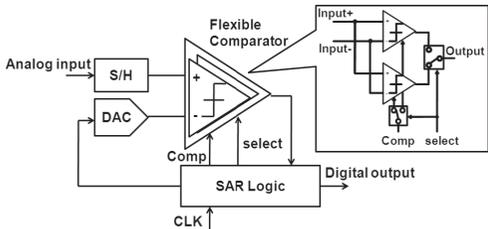


図 2 二つのコンパレータを用いた SAR ADC の構成図
Fig.2 Block diagram of an SAR ADC with two comparators.

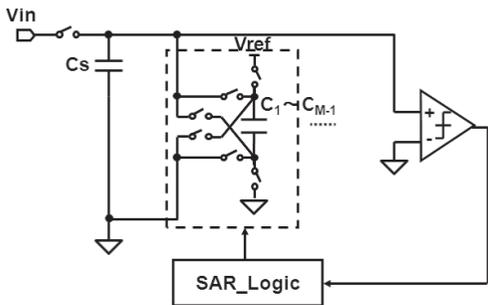


図 3 電荷共有 SAR ADC の構成図
Fig.3 Block diagram of a charge-sharing SAR ADC.

方式では二つのコンパレータのオフセット・ミスマッチにより SAR ADC に非線形性が生じるので [1] ではオフセットをアナログ的に校正している．本論文ではこの方式に冗長アルゴリズムを併用することを提案する．前半のステップでのノイズによるコンパレータ誤判定，二つのコンパレータのオフセット・ミスマッチ間の影響がデジタル演算で補正できることを示す．

(2) IMEC よりもう一つの低消費電力化技術として電荷共有 2 進 SAR ADC 構成が提案された (図 3 [1], [2])．しかしここではコンパレータ・オフセットにより SAR ADC 全体の線形性が劣化するので，コンパレータ・オフセットをアナログ校正している．本論文では冗長アルゴリズムを用いてこのオフ

セット影響をデジタル補正する方式を示す．

(3) 更に低消費電力化を実現するために (1), (2) を組み合わせて，ダイナミックコンパレータ 2 個，電荷共有構成，冗長アルゴリズムを用いて SAR ADC を実現する方式を検討する．コンパレータ・オフセットの影響をデジタル補正できることを示す．

微細化・低電源電圧化の SOC においては設計容易性・信頼性・プロセス間移植性・スケーラビリティのためアナログ校正の要素を回避したい．提案する冗長アルゴリズムによるコンパレータ・オフセットの影響のデジタル誤差補正技術は，この観点から従来のアナログ校正方式に比べて微細化でより有効になり得る．

以下の章で提案手法の原理，アルゴリズム設計例とシミュレーションによる効果確認結果を示す．

2. 2 進及び非 2 進 SAR ADC アルゴリズム

逐次比較型 A-D 変換器はトラック・ホールド回路，コンパレータ，D-A 変換器，論理回路とタイミング発生回路から構成される (図 1)．内部回路がほとんどデジタル回路で実現できるので微細 CMOS での ADC 実現に適した構成である．

通常の逐次比較型 ADC は“天秤の原理”で 2 進探索アルゴリズムに従って動作する．2 進アルゴリズムは N ビット分解能を N 回の比較で実現する．図 4 (左側) に $N = 5$ の場合を示す．ここではアナログ入力範囲を 0.0 から 32.0 に正規化して考える．分銅に対応する DAC 出力の重み付けは 2 進荷重で初段は 16.0，2 段目は初段のコンパレータ出力に応じて $24.0 (= 16.0 + 8.0)$ 若しくは $8.0 (= 16.0 - 8.0)$ とする．2 進アルゴリズムは各ステップでの比較で誤判定が起きた場合に出力に誤差が生じてしまう．すなわち k ステップ目で比較したコンパレータ出力を b_k とすると ($b_k = -1$ または $1, k = 1, 2, \dots, N$)，ADC デジタル出力 D_{out} は次のように表せる．

$$D_{out} = 2^{N-1} + \left(\sum_{k=1}^{N-1} b_k 2^{N-k-1} \right) + \frac{1}{2}(b_N - 1).$$

ここで $0 \leq D_{out} \leq 2^N - 1$ である．ある D_{out} 値に対して (b_1, b_2, \dots, b_N) の組は一意に決まる．

冗長 (非 2 進) アルゴリズムでは N ビット分解能を M 回 ($N < M$) の比較で実現する．図 4 に $N = 5, M = 6$ の場合を示す．分銅に対応する DAC 出力の重み付けは非 2 進荷重で初段は 16.0，2 段目は初段の

ンパレータ出力に応じて $23.0 (= 16.0 + p_2, p_2 = 7.0)$ 若しくは $9.0 (= 16.0 - p_2)$ とする．比較回数を増やすことにより各出力コードに対応する比較パターンが複数となり，前半の判定で間違えた場合でも正解を出力できるようになる [3]~[6]．各ステップで許容できる誤差の範囲は比較ステップ数 M と分銅重み付けにより決まる．すなわち k ステップ目で比較したコンパレータ出力を s_k とすると ($s_k = -1$ または $1, k = 1, 2, \dots, M$) ADC デジタル出力 D_{out} は次のように表せる．

$$D_{out} = 2^{N-1} + \sum_{k=1}^{M-1} s_k p_{k+1} + \frac{1}{2}(s_M - 1). \quad (1)$$

$p_k = \gamma^{M-k-1}$ の場合は基数 γ 進 ($\gamma = 2^{N/M}, 1 < \gamma < 2$) である [3], [4]．これに制限されずにある程度の自由度をもって p_k を設計することも可能である [5], [6]． (s_1, s_2, \dots, s_M) は 2^M 通りの組があり $N < M$ なので $2^N < 2^M$ である． $0 \leq D_{out} \leq 2^N - 1$ の 2^N 通りの整数値のある一つの D_{out} 値に対して (s_1, s_2, \dots, s_M) の組 (式 (1) の解) は複数個あり得る．これは回路ではコンパレータ判定 s_k が誤っても正解の D_{out} が得られる場合があることに対応しており，これが冗長アルゴリズム SAR ADC のデジタル誤差補正の原理である．またある D_{out} 値に対してどの複数の (s_1, s_2, \dots, s_M) の組を対応させるかが冗長アルゴリズムの設計である [5], [6]．

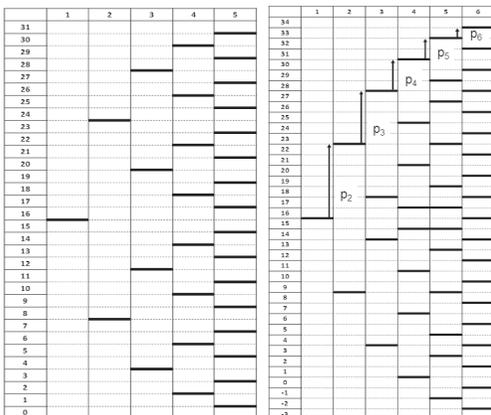


図 4 5 ビット 5 ステップ 2 進逐次比較近似アルゴリズム (左)．5 ビット 6 ステップ冗長アルゴリズム (右)．
Fig. 4 Binary search algorithm of a 5-bit SAR ADC with 5 steps (Left). Non-binary search algorithm of a 5-bit SAR ADC with 6 steps (Right).

3. コンパレータを二つ用いた SAR ADC 低消費電力化技術でのデジタル補正

3.1 従来技術

通常の SAR ADC ではすべてのステップで高消費電力・低ノイズのコンパレータを使用する [7]．それに対して IMEC からノイズ特性 (及び電力) の異なるコンパレータを二つ用いた SAR ADC が提案された (図 2, [1])．この方式は 2 進アルゴリズムの最後に 1LSB 遷移の冗長ステップを追加し，最初は低消費電力・高ノイズのコンパレータを用い，最終 2 ステップで高消費電力・低ノイズのコンパレータを用いる．高ノイズのコンパレータのノイズによる誤差を低ノイズコンパレータを用いた最後の 2 ステップで補正することにより，全体として高精度・低消費電力化を実現している．

図 5 は IMEC 提案方式の 4 ビット分解能の場合を示している．最初の 3 ステップで低消費電力コンパレータを用い，4 ステップ目及び冗長の 5 ステップ目 (最初の 3 ステップ目のノイズによる誤判定補正のため) で高消費電力コンパレータを用いている．最初の 3 ステップ間でのノイズによるコンパレータ誤判定は ± 1 LSB 以内であれば冗長の 5 ステップ目の判定で補正できる．この構成ではダイナミックコンパレータを用いているので比較動作するときのみ電力を消費する．したがって，前半で低消費電力コンパレータを用いるので低消費電力化できる．

この IMEC 提案方式の問題点は，二つのコンパレータ間のオフセットのミスマッチにより SAR ADC 全体の精度が劣化することである．図 6 にオフセットミ

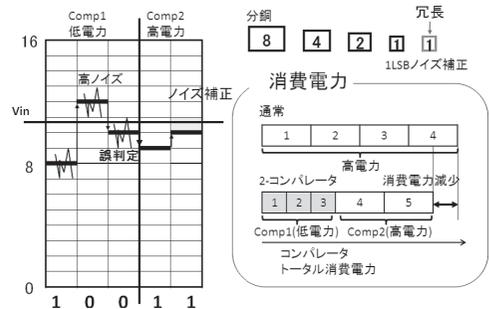


図 5 二つのコンパレータを用いた低消費電力 SAR ADC [1]
Fig. 5 SAR ADC with two comparators for low power.

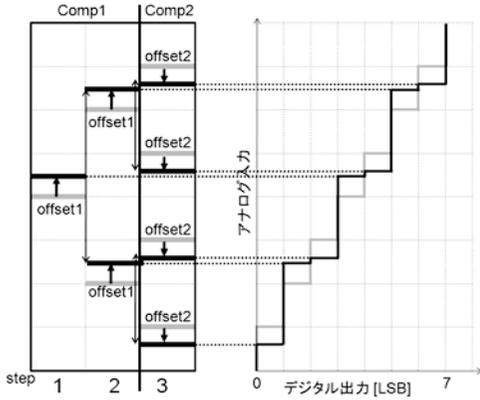


図 6 二つのコンパレータを用いた SAR ADC でのコンパレータ・オフセット・ミスマッチによる線形性劣化
Fig. 6 Non-linearity caused by the comparator offset mismatch in an SAR ADC with two comparators.

スマッチによる線形性劣化の説明を示す。後段のコンパレータ・オフセットが SAR ADC 全体のオフセットとなる。最初の 3 ステップ間ではコンパレータ・オフセット・ミスマッチが 3 ステップ目までの参照電圧の誤差として見えてしまう。それが冗長の 5 ステップ目で補正できる $\pm 1\text{LSB}$ の範囲を超えているときは SAR ADC 全体の非線形性となってしまう。この問題を解決するために [1] では二つのコンパレータのオフセットが $(1/2)\text{LSB}$ 以内になるようにアナログ的に調整している。

3.2 提案する 2 コンパレータ使用冗長アルゴリズム SAR ADC

通常の電荷再配分型や抵抗配列による電圧分割 DAC を用いる 2 進 SAR ADC はコンパレータ・オフセットは ADC 全体のオフセットとなり、線形性は劣化しない [7]。しかし、この IMEC 提案 [1] の方式では二つのコンパレータ間のオフセットのミスマッチにより線形性が劣化する。

ここでは冗長アルゴリズムを用いて線形性をデジタル演算で改善する方式を提案する。図 7 にオフセットミスマッチがあっても冗長アルゴリズムで最終 ADC 出力は線形性が得られる説明を示す。後段のコンパレータのオフセットは SAR ADC 全体のオフセットとなる。前段ではコンパレータ・オフセット・ミスマッチにより等価的に参照電圧の誤差となる。すなわちこれは理想的参照電圧値の場合に対してコンパレータが誤判定するとみなすことができる。このこと及び

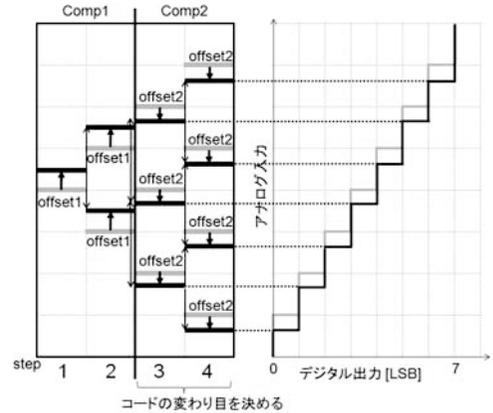


図 7 二つのコンパレータを用いた SAR ADC でのコンパレータ・オフセット・ミスマッチの冗長アルゴリズムによる補正
Fig. 7 Digital error correction of the comparator offset mismatch effects by the non-binary algorithm in an SAR ADC with two comparators.

ノイズによるコンパレータ誤判定の影響は、一定範囲以内ならば冗長アルゴリズムによりデジタル補正できる。

我々が先に提案した一般化冗長アルゴリズム [5], [6] を用いて非 2 進 SAR ADC アルゴリズムを次のように設計する。まずコンパレータ・オフセットのワースト値を見積もる。前半で使用するコンパレータの入力換算オフセットを V_{os1} 、後半で使用するコンパレータの入力換算オフセットを V_{os2} とする。提案冗長アルゴリズムでは最終ステップを基準に誤差を考慮するので、前半での比較で参照電圧が等価的に $V_{os1} - V_{os2}$ の誤差があることになる。 V_{os2} が冗長アルゴリズム SAR ADC 全体のオフセットになる。コンパレータを二つ用いた技術では前半のコンパレータでノイズの大きいものを使用するため、冗長アルゴリズムはオフセット誤差とノイズの影響を補正できるように設計する。

ここで次の場合を例として考える。SAR ADC の分解能を 10 ビット、前半のコンパレータのオフセットを $+4\text{LSB}$ 、入力換算ノイズを $6\sigma = 1\text{LSB}$ 、後半のコンパレータのオフセットを -2LSB 、入力換算ノイズを $6\sigma = 0.2\text{LSB}$ とする。

従来の IMEC 方式アルゴリズムで用いた、各ステップの重み付け、誤差、誤差許容値を表 1 に示す。またランプ波入力で求めた DNL シミュレーション結果を図 8 に示す。ここでランプ波ヒストグラムの全点数は 0-1023 フルスケールで 2^{14} 点、すなわち 1LSB 当り

表 1 従来の二つのコンパレータ使用 10b SAR ADC のアルゴリズム

Table 1 Conventional 10-bit SAR ADC algorithm with two comparators.

	ステップ k	重み付け p_k	$er(k)$ [LSB]	許容値 [LSB]
コンパレータ 1 低電力・高ノイズ	1	512	7.0	1
	2	256	7.0	1
	3	128	7.0	1
	4	64	7.0	1
	5	32	7.0	1
	6	16	7.0	1
	7	8	7.0	1
	8	4	7.0	1
	9	2	7.0	1
コンパレータ 2 高電力・低ノイズ	10	1	0.2	0
	11	1	0.2	0

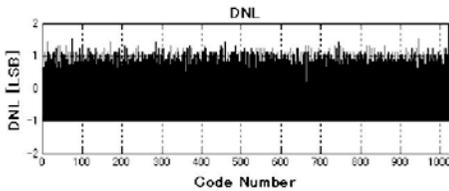


図 8 従来の二つのコンパレータを用いた 2 進 SAR ADC の DNL のシミュレーション結果 (コンパレータ・オフセットのアナログ校正なしの場合)

Fig. 8 Simulation result of the conventional SAR AD with two comparators (in case of no analog calibration of comparator offset).

16 点で分解能は $(1/16)\text{LSB}$ とした。また「重み付け」は $p_1 = 2^{N-1}$ ，また $k > 2$ の p_k に対しては式 (1) の p_k である。「誤差」($er(k)$) はノイズ，コンパレータ・オフセットによる等価的に参照電圧に加わる誤差の最大値であり、「誤差許容値」はその誤差がどの範囲までであれば冗長アルゴリズムでデジタル補正できるかを示したものである。

この表 1 の IMEC 方式アルゴリズムでは 10, 11 ステップでノイズの小さいコンパレータを使用している。誤差許容値が 1LSB なので，二つのコンパレータのオフセットミスマッチとノイズの合計を $\pm 1\text{LSB}$ 以内に抑える必要がある。コンパレータのオフセットミスマッチが大きい場合は第 10, 11 ステップの比較で入力にかかわらず同じ判定になるため 9 ビット精度の性能しか達成できない。

次に提案方式の場合を考える。提案アルゴリズムの設計例を表 2 に，シミュレーション結果を図 9 に示す。この提案アルゴリズムでは第 7~11 ステップでノイズの小さいコンパレータを使用している。誤差許容値が 8LSB なので，二つのコンパレータのオフセットミス

表 2 提案する二つのコンパレータ使用 10b SAR ADC のアルゴリズム

Table 2 Proposed 10-bit SAR ADC algorithm with two comparators.

	ステップ k	重み付け p_k	$er(k)$ [LSB]	許容値 [LSB]
コンパレータ 1 低電力・高ノイズ	1	512	7.0	8
	2	256	7.0	8
	3	128	7.0	8
	4	64	7.0	8
	5	32	7.0	8
	6	16	7.0	8
コンパレータ 2 高電力・低ノイズ	7	8	0.2	0
	8	8	0.2	0
	9	4	0.2	0
	10	2	0.2	0
	11	1	0.2	0

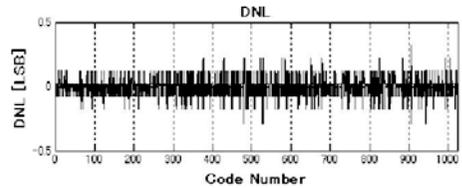


図 9 提案する二つのコンパレータを用いた冗長アルゴリズム SAR ADC の DNL のシミュレーション結果

Fig. 9 Simulation result of the proposed SAR ADC with two comparators and using the non-binary algorithm.

マッチとノイズの合計が $\pm 8\text{LSB}$ 以内であればデジタル誤差補正可能である。また，出力の階調が $-8 \sim 1031$ であるので後半のコンパレータのオフセットが $\pm 8\text{LSB}$ 以内であれば，出力が飽和することなく 1024 階調で出力される。最終デジタル出力から後段コンパレータ・オフセット分を減算すれば ADC 全体のオフセットを補正できる。

3.3 考 察

二つのコンパレータを用いる技術では前半のコンパレータ比較動作で各ステップの誤差は均等でありコンパレータ・オフセット・ミスマッチ分になる。この場合は [1] や上記提案アルゴリズム例のように DAC を 2 進に重み付けし，許容したい誤差に応じて表 2 の例のように同じ DAC の重み付けを追加し，その前のステップの比較から後半のコンパレータに切り換えると効果的である。誤差が 1LSB 以内の場合は [1] に示されるように参照電圧変化 1LSB を 2 ステップ続けて，コンパレータを切り換えるステップは最後から 2 ステップ目にする。誤差が 2LSB 以内の場合は参照電圧変化 2LSB を 2 ステップ続けて最後から 3 ステップ目

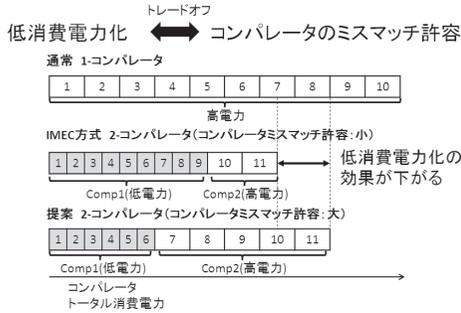


図 10 消費電力とコンパレータ・ミスマッチ許容のトレードオフ
Fig. 10 Trade-off between power consumption and comparator offset mismatch allowance.

で切り換える．誤差が 4LSB 以内の場合は参照電圧変化 4LSB を 2 ステップ続けて最後から 4 ステップ目で切り換える．このようにすると低消費電力かつコンパレータ・オフセットとノイズの影響が少ない構成が達成できる．

この提案手法では、消費電力とノイズ、コンパレータ・オフセット・ミスマッチ許容はトレードオフの関係にある．前半ステップでの大きなノイズやコンパレータ・オフセット・ミスマッチを許容するためには、後半の低ノイズ・高消費電力のコンパレータに早いステップで切り換える必要があるが、それにより消費電力低減効果は削減される．図 10 は二つのコンパレータ使用による低消費電力化とコンパレータ・オフセットのミスマッチ許容のトレードオフ関係を示している．

また、冗長アルゴリズムでステップ数を増やすと、より大きなノイズやコンパレータ・オフセット・ミスマッチを許容できるがロジック回路やコンパレータの動作回数が増えるので消費電力が増加するというトレードオフがある．

4. 電荷共有 SAR ADC でのデジタル補正

4.1 従来技術 (電荷共有 2 進 SAR ADC)

高効率 ADC として IMEC より電荷共有 2 進 SAR ADC が報告されている [1], [2] (図 3)．電荷再配分 SAR ADC では電圧で信号処理が行われるのに対し、電荷共有 SAR ADC は電荷で信号処理が行われる．電荷共有 SAR ADC はサンプリング時にアナログ入力を C_s に充電し、そのときに 2 進荷重の容量配列 $C_1 \sim C_{M-1}$ に参照電圧 V_{ref} を充電する．そして、逐次比

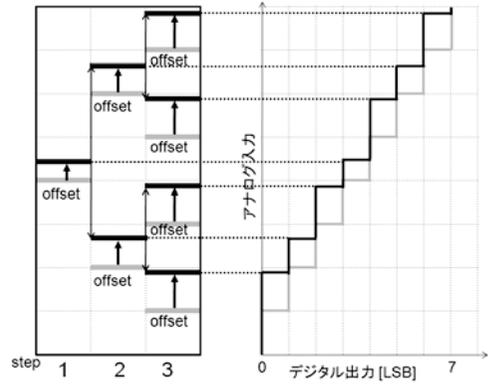


図 11 電荷共有型 2 進 SAR ADC でのコンパレータ・オフセットによる線形性劣化
Fig. 11 Non-linearity caused by the comparator offset in the charge-sharing SAR ADC.

較サイクル時に C_s の電荷の正負をコンパレータで判定し、High 判定のときは電荷を減算する向きに、Low 判定のときは電荷を加算する向きに C_1 を接続する．これを繰り返し、 $C_1 \sim C_{M-1}$ を MSB から順にそれぞれのステップの判定に従って接続する．

電荷共有 SAR ADC では最初に参照電圧 V_{ref} から容量配列 $C_1 \sim C_{M-1}$ に充電し、このとき V_{ref} で電力消費が生じる．その後のステップでは容量配列は V_{ref} からは切り離されているので、 V_{ref} の電力消費はない．一方電荷再配分 SAR ADC [3], [4] では各ステップでコンパレータ出力の 1, 0 に応じて参照電圧 V_{ref} または GND に容量が接続されるので、各ステップで V_{ref} の電力消費が生じ得る．この観点から電荷共有 SAR ADC は電荷再配分 SAR ADC より低消費電力化できる．

しかし、この電荷共有 SAR ADC には次の問題点がある．電荷共有 SAR ADC ではコンパレータ・オフセットが SAR ADC 全体の線形性を劣化させる．この原因は、コンパレータの入力換算オフセットは電圧であり、ステップが進むごとに容量が追加されるため、電荷換算オフセット Q_{os} が増加するためである．図 11 に電荷共有 SAR ADC のコンパレータ・オフセット電圧による線形性劣化の計算例を示す．電荷共有型 SAR ADC では各ステップでコンパレータ入力換算オフセット電圧が一定でも、それを等価的に参照電圧誤差と換算した場合にその誤差が各ステップで一定でないために ADC 全体として非線形特性が生じる．この問題を解決するために [1], [2] ではコンパレータ内

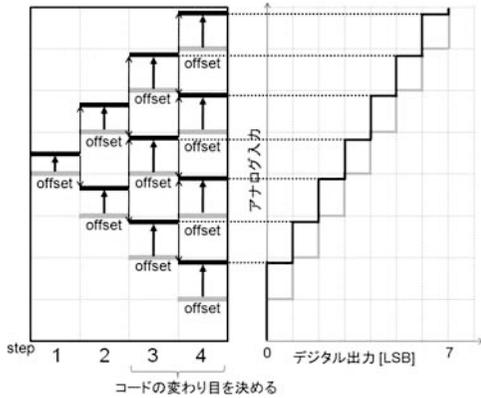


図 12 冗長アルゴリズムによる電荷共有型 SAR ADC のコンパレータ・オフセットの影響のデジタル補正
Fig. 12 Digital error correction by the non-binary algorithm for the comparator offset effects in the charge-sharing SAR ADC.

部に可変容量を入れ、オフセットが $(1/2)$ LSB 以内になるように調整している。

4.2 提案する電荷共有冗長アルゴリズム SAR ADC

この節ではコンパレータ・オフセットによる電荷共有 2 進 SAR ADC の線形性の劣化の問題を、冗長アルゴリズムを用いてデジタル演算で改善する方式を提案する。図 12 にその説明を示す。コンパレータの入力電圧オフセットは等価的に各段の参照電圧の理想値からのずれ（図 12 の左側の濃い線）となる。電荷共有型では電荷モードで動作するため通常の SAR ADC とは異なりそのずれの値が各段で異なる。このため理想参照電圧値近辺の入力に対してコンパレータが判定誤りを生じる。これを冗長アルゴリズムでデジタル誤差補正する。コンパレータ入力電圧オフセットによる最終段前（3 段目）と最終段（4 段目）の等価的に参照電圧値がずれた値（両者のずれはほぼ等しい）が ADC 出力コード変わり目の遷移点となり、図 12 の右側の濃い線で示される一定オフセットのほぼ線形な SAR ADC 入出力特性を得る。

我々が提案した一般化冗長アルゴリズム [5], [6] を用いて非 2 進 SAR ADC アルゴリズムを設計する。N ビット M ステップ ($N < M$) の SAR ADC を考える。k ステップ目での容量の合計値を $C_{sum}(k)$ とすると、以下のように表せる。

$$C_{sum}(1) = C_s.$$

$$C_{sum}(k) = C_s + \sum_{i=1}^{k-1} C_i \quad (k \geq 2).$$

コンパレータの入力換算オフセット電圧を V_{os} とすると k ステップ目の電荷換算 Q_{os} オフセットは次のようになる。

$$Q_{os}(k) = C_{sum}(k) \cdot V_{os}.$$

冗長アルゴリズムでは最終ステップを基準に誤差を考える。したがって、k ステップ目のオフセットによる電荷誤差 $Q_{er}(k)$ は次のようになる。

$$Q_{er}(k) = Q_{os}(k) - Q_{os}(M).$$

入力電荷のフルスケールを Q_{FS} とすると 1LSB 換算のオフセット誤差 $er(k)$ は次のようになる。

$$er(k) = Q_{er}(k) \frac{2^N}{Q_{FS}}. \quad (2)$$

これを許容してデジタル誤差補正で正解を出力できるアルゴリズムを設計する。この場合最終比較値のオフセット $Q_{os}(M)$ が ADC 全体のオフセットとなる。1LSB に換算した ADC オフセット D_{os} は以下のようになる。

$$D_{os} = Q_{os}(M) \cdot \frac{2^N}{V_{inFS} \cdot C_s}.$$

ADC 全体にオフセットがある場合、端の入力に対してデジタル出力の飽和が生じる。冗長アルゴリズムにオーバーレンジをもたせ、出力の階調が $2^N + 2 \cdot D_{os}$ になるように設計することで、デジタル出力が飽和することをなくすることができる。

ここで次の例を考える。SAR ADC 分解能を 10 ビット、 $V_{in} : -1 \sim +1 \text{ V}$, $V_{ref} = 1 \text{ V}$, $C_s = 512 \text{ C}$, $V_{os} = 55 \text{ mV}$ とする。

2 進アルゴリズムの場合の容量アレーと $er(k)$ を表 3 に、MATLAB を用いたシミュレーション結果を図 13 に示す。次にオフセット誤差を許容する 10 ビット 11 ステップの提案冗長アルゴリズムの容量アレー、 $er(k)$ 、誤差許容値を表 4 に、シミュレーション結果を図 14 に示す。このアルゴリズムは $-60 \sim 1083$ の階調があり、この例では、 $59 \sim 1083$ の出力となっている。

ADC 入力をゼロとして ADC 出力を得るなどして ADC 全体のオフセットを測定し、最終出力からオフセット分を減算すれば、ADC のオフセットを補正できる。

表 3 10 ビット 2 進 SAR ADC アルゴリズム
Table 3 10-bit binary SAR ADC algorithm.

ステップ k	容量サイズ C_k	$er(k)$ [LSB]
1	256	28.1
2	128	14.0
3	64	7.0
4	32	3.5
5	16	1.7
6	8	0.8
7	4	0.4
8	2	0.2
9	1	0.1
10	0	0.0

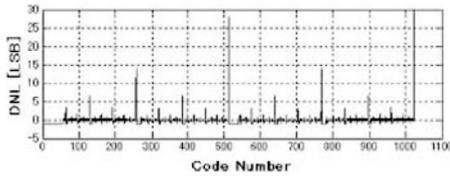


図 13 従来の電荷共有 2 進 SAR ADC の DNL のシミュレーション結果 (コンパレータ・オフセットのアナログ校正なしの場合)

Fig. 13 Simulation result of the conventional charge-sharing SAR ADC with the binary algorithm (in case of no analog calibration of comparator offset).

表 4 10 ビット 11 ステップ冗長アルゴリズム (電荷共有 SAR ADC 用)

Table 4 10-bit 11-step algorithm for a charge-sharing SAR ADC.

ステップ k	容量サイズ C_k	$er(k)$ [LSB]	許容値 [LSB]
1	270	31.4	32
2	142	16.6	18
3	75	8.7	10
4	40	4.6	5
5	21	2.4	3
6	11	1.3	2
7	6	0.7	1
8	3	0.3	1
9	2	0.2	0
10	1	0.1	0
11	0	0.0	0

このように ADC 全体のオフセット分の階調を増やし, “誤差-誤差許容値”が $(1/2)$ LSB 以下になるように設計することにより冗長アルゴリズムで誤差補正できる. ここで示した例の場合, 2 進アルゴリズムでは DNL を $(1/2)$ LSB 以内にするためにはコンパレータの入力換算オフセットが ± 1 mV 以内である必要があるが [1], [2], 図 14 のシミュレーション結果に示すように冗長アルゴリズムでは ± 55 mV 以内と大幅にオ

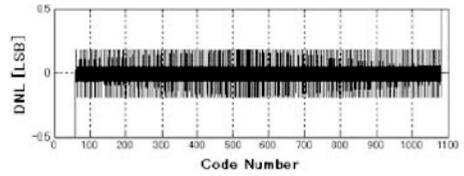


図 14 提案電荷共有冗長アルゴリズム SAR ADC の DNL のシミュレーション結果

Fig. 14 Simulation result of the proposed charge-sharing SAR ADC with the non-binary algorithm.

フセットを許容できる. なおこの理論的解析式を附録に示す.

5. 2 個コンパレータ使用電荷共有 SAR ADC でのデジタル補正

3., 4. で記述した二つの技術を組み合わせると, コンパレータを二つ用いた電荷共有冗長アルゴリズム SAR ADC の場合の誤差補正アルゴリズムを考える. コンパレータ 1 (前半) のオフセットばらつきが $\pm a$ [V] の範囲, コンパレータ 2 (後半) のオフセットばらつきが $\pm b$ [V] の範囲とする. 前半の比較のオフセットによる電荷換算誤差 Q_{er} は次のようになる.

$$Q_{er}(k) = C_{sum}(k) \cdot V_{os1} - C_{sum}(M) \cdot V_{os2}.$$

前半のコンパレータの入力換算ノイズ V_{no1} の 3σ を c [V] とすると前半での比較の誤差は次のようになる.

$$Q_{er}(k) = C_{sum}(k) \cdot (V_{os1} + V_{no1}) - C_{sum}(M) \cdot V_{os2}.$$

$$|Q_{er}(k)| < (a + b + c) \cdot C_{sum}(M).$$

後半の比較の電荷共有技術の誤差が十分小さい場合は二つのコンパレータを用いた技術と同様に前半の比較で誤差 $(a + b + c) \cdot C_{sum}(M)$ を許容できるように表 2 の例のように同じ DAC の重み付けを追加し, その前のステップの比較から後半のコンパレータに切り換えることで補正できる.

ここで次の条件の例を考える. SAR ADC 分解能 10 ビット, $V_{in}: -1 \sim +1$ V, $V_{ref} = 1$ V, $C_s = 512C$, 前半のコンパレータの入力換算オフセット電圧 $+8$ mV, 入力換算ノイズ $6\sigma = 1$ mV, 後半のコンパレータの入力換算オフセット電圧 -7 mV, 入力換算ノイズ $6\sigma = 0.2$ mV.

従来 2 進アルゴリズム [1] の場合の各ステップの容量アレーの重み付け, 誤差, 誤差許容値を表 5 に, シ

表 5 二つのコンパレータを用いた電荷共有 2 進 SAR ADC の従来アルゴリズム

Table 5 Conventional charge-sharing binary SAR ADC algorithm with two comparators.

	ステップ k	容量サイズ C_k	$er(k)$ [LSB]	許容値 [LSB]
コンパレータ 1 低電力・高ノイズ	1	256	11.3	1
	2	128	13.3	1
	3	64	14.3	1
	4	32	14.8	1
	5	16	15.1	1
	6	8	15.2	1
	7	4	15.3	1
	8	2	15.3	1
	9	1	15.3	1
コンパレータ 2 高電力・低ノイズ	10	1	0.2	0
	11	0	0.2	0

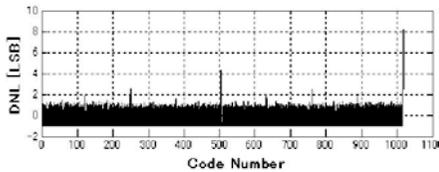


図 15 従来の二つのコンパレータを用いた電荷共有 2 進 SAR ADC の DNL のシミュレーション結果 (コンパレータ・オフセットのアナログ校正なしの場合)

Fig. 15 Simulation result of the conventional charge-sharing SAR ADC with two comparators (in case of no analog calibration of comparator offset).

表 6 二つのコンパレータを用いた電荷共有非 2 進 SAR ADC の提案アルゴリズム

Table 6 Proposed charge-sharing non-binary SAR ADC algorithm with two comparators.

	ステップ k	容量サイズ C_k	$er(k)$ [LSB]	許容値 [LSB]
コンパレータ 1 低電力・高ノイズ	1	256	11.4	16
	2	128	13.4	16
	3	64	14.4	16
	4	32	15.0	16
	5	16	15.2	16
コンパレータ 2 高電力・低ノイズ	6	16	0.4	0
	7	8	0.3	0
	8	4	0.3	0
	9	2	0.2	0
	10	1	0.2	0
	11	0	0.2	0

シミュレーション結果を図 15 に示す。二つのコンパレータを使用しているためオフセットが大きい場合、後半のコンパレータの判定は情報をもたない。そのため、電荷共有技術が要因となる誤差は 9 ステップを基準としたときの前のステップの電荷オフセット差となる。次に提案アルゴリズムの場合の各ステップの容量ア

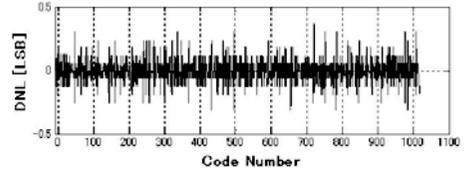


図 16 提案する二つのコンパレータを用いた電荷共有冗長アルゴリズム SAR ADC の DNL のシミュレーション結果

Fig. 16 Simulation result of the proposed charge-sharing non-binary SAR ADC with two comparators.

レーの重み付け、誤差、誤差許容値を表 6 に、シミュレーション結果を図 16 に示す。この例では 6 ステップ目から低ノイズコンパレータに切り換える。提案アルゴリズムは誤差をデジタル補正できていることが確認できる。

6. む す び

二つのコンパレータ使用及び電荷共有構成の低消費電力での SAR ADC の実現に際して、ノイズ及びコンパレータ・オフセットの影響の問題をデジタル誤差補正で解決するための冗長 SAR アルゴリズムを用いることを提案した。それらの影響の見積りと補正する冗長アルゴリズムの例とシミュレーション結果を示した。

我々は先に冗長アルゴリズムにより SAR ADC が高速化できることを示した [5], [6]。ここでは冗長アルゴリズムにより SAR ADC がアナログ校正不要で低消費電力化できることを示した。これを一般化して考察すると、冗長性をもった回路システムでは冗長性によりある程度の誤動作・回路の非理想要因を許容するので、各構成要素・動作に対する要求が緩和され、結果的に全体としてより効率が良くなるといえよう。

謝辞 有意義な御討論を頂きました、益子耕一郎氏、近藤守氏、K. Wilkinson 氏、上森聡史氏及びこの研究を御支援頂いた STARC に謝意を表します。

文 献

- [1] V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G.V. Plas, and J. Craninckx, "An 820 μ W 9 b 40 MS/s noise-tolerant dynamic SAR ADC in 90 nm digital CMOS," Tech. Digest of ISSCC, pp.238–239, San Francisco, Feb. 2008.
- [2] J. Craninckx and G. Van der Plas, "A 65 fJ/conversion-step 0-to-50 Ms/s 0-to-0.7 mW 9 b charge-sharing SAR ADC in 90 nm digital CMOS," Tech. Digest of ISSCC, pp.246–247, San Francisco, Feb. 2007.

- [3] M. Hesener, T. Eichler, A. Hanneberg, D. Herbison, F. Kuttner, and H. Wenske, "A 14 b 40 MS/s redundant SAR ADC with 480 MHz clock in 0.13 μm CMOS," Tech. Digest of ISSCC, pp.248–249, San Francisco, Feb. 2007.
- [4] F. Kuttner, "A 1.2 V 10 b 20 MS/S non-binary successive approximation ADC in 0.13 μm CMOS," Tech. Digest of ISSCC, pp.176–177, San Francisco, Feb. 2002.
- [5] T. Ogawa, H. Kobayashi, M. Hotta, Y. Takahashi, H. San, and N. Takai, "SAR ADC algorithm with redundancy," IEEE Asia Pacific Conference on Circuits and Systems, pp.268–271, Macao, China, Dec. 2008.
- [6] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, and T. Mori, "SAR ADC algorithm with redundancy and digital error correction," IEICE Trans. Fundamentals, vol.E93-A, no.2, pp.415–423, Feb. 2010.
- [7] B. Razavi, Data Conversion System Design, IEEE Press, 1995.

付 録

ここでは冗長アルゴリズム電荷共有型 SAR ADC の DNL が $\pm(1/2)\text{LSB}$ 以内に収まるためのコンパレータ入力換算オフセット電圧許容範囲の理論式の結果を記す。式 (2) より次を得る。

$$\begin{aligned} er(k) &= Q_{er}(k) \cdot \frac{2^N}{Q_{FS}} \\ &= [Q_{os}(k) - Q_{os}(M)] \cdot \frac{2^M}{Q_{FS}} \\ &= [C_{sum}(k) - C_{sum}(M)] \cdot V_{os} \cdot \frac{2^M}{Q_{FS}}. \end{aligned}$$

ここで $Q_{FS} = V_{inFS} C_s$ である。これより次式を得る。

$$V_{os} = \frac{er(k)}{[C_{sum}(k) - C_{sum}(M)]} \cdot \frac{2^M}{Q_{FS}}.$$

したがって、DNL が $\pm(1/2)\text{LSB}$ 以内に収まるためにはコンパレータ・オフセット V_{os} がすべての k ($k = 1, 2, \dots, M$) に対して次を満たすことが条件となる。

$$|V_{os}| \leq \left| \frac{q(k)}{[C_{sum}(k) - C_{sum}(M)]} \cdot \frac{2^M}{Q_{FS}} \right|. \quad (\text{A}\cdot 1)$$

ここで $q(k)$ は k ステップ目の冗長性であり [6], 導出過程は省略するが Table 4 の場合は $q(1) = 32$, $q(2) = 18$, $q(3) = 10$, $q(4) = 5$, $q(5) = 3$, $q(6) = 2$, $q(7) = q(8) = 1$, $q(9) = q(10) = q(11) = 0$ となる。この値を用いて式 (A-1) に従って計算すると

$|V_{os}| \leq 55 \text{ mV}$ が得られる。

(平成 22 年 5 月 9 日受付, 8 月 20 日再受付)



小川 智彦

2008 群馬大・工・電気電子卒, 2010 同大学院修士課程了。同年旭化成エレクトロニクス入社。アナログ集積回路設計に関心をもつ。



松浦 達治 (正員)

1976 東大・工・計数卒。1978 同大学院修士課程了。同年日立製作所入社。中央研究所にて、アナログ信号処理 LSI, 画像信号処理 LSI, AD/DA 変換器, ミックスドシグナル LSI 等について研究。1995 日立製作所半導体グループ, 2003 ルネサステクノロジ, 2010 ルネサスエレクトロニクス, 現在, 技術開発本部, ミックスドシグナルコア開発統括部, 主管技師長。IEEE 会員。1996-2002 IEEE CICC 技術プログラム委員 2006-2010 IEEE ISSCC 技術プログラム委員。群馬大学産学連携・先端研究推進本部客員教授。工博(東工大)。



小林 春夫 (正員)

1980 東大・工・計数卒。1982 同大学院修士課程了。同年横河電機製作所入社。1989 米国カリフォルニア大学ロサンゼルス校(UCLA)電気工学科修士課程了。1997 群馬大学助教授, 2002 同教授, 2007 同大学院教授。ミックスド・シグナル集積回路設計, 信号処理アルゴリズムに関心をもつ。IEEE 会員。工博(早大)。



高井 伸和 (正員)

1993 東京理科大・理工・電気卒。1995 同大学院修士課程了。1999 東工大・理工・電子物理 博士課程了。博士(工学)。同年東京工芸大学講師, 2005 群馬大学講師, 2007 同大学院講師, 2010 同大学院准教授。CMOS アナログ集積回路の設計に関する研究に従事。電気学会, IEEE 各会員。



堀田 正生 (正員:フェロー)

1976 北大・工・電子博士課程了。工博。同年日立製作所中央研究所入社。同中央研究所機能デバイス研究部長、同半導体グループアナログ技術本部長を歴任。2003 (株)ルネサステクノロジアナログ技術統括部長、同主管技師長を経て、2005年4月より武蔵工業大学教授。2009年4月より東京都市大学知識工学部情報ネットワーク工学科教授。一貫してアナログ技術、アナログ・デジタル混載集積回路の研究開発に従事。IEEE Circuits and Systems Society Japan Chapter Chair, 本会回路とシステム研究専門委員会委員長, 電気学会高周波集積回路効率的設計のための基盤技術調査専門委員会委員長などを歴任。IEEE フェロー。



森 俊彦

1983 阪大・工・電子卒。1985 同大学院修士課程了。同年富士通研究所入社。量子効果デバイスについて研究。1996~1998 スタンフォード大学客員研究員として低消費電力 SRAM の研究。1998~2005 ミックスシグナル LSI 等について研究。2005~2008 富士通電子デバイス事業本部。2008~2010 半導体理工学研究センター上級研究員。現在富士通研究所、プラットフォームテクノロジー研究所デザインソリューション研究部部长。東工大産学連携教授。IEEE 会員。1998~2002 VLSI Circuits プログラム委員。工博(阪大)。



傘 昊 (正員)

2004 群馬大学大学院博士課程了。同年群馬大・工助手, 2007 同工学研究科助教。2009 から東京都市大准教授, 現在に至る。アナログ集積回路に関する研究に従事。2005 本学会回路とシステム(軽井沢)ワークショップ奨励賞受賞。IEEE 会員。博士(工学)。



阿部 彰

セイコーエプソン(株)勤務。



八木 勝義

1997 電気通信大・電気通信・電子卒。同年三菱電機エンジニアリング入社。携帯電話関連 LSI のアナログマクロ設計・開発に従事。2005 沖電気工業入社。2008 OKI セミコンダクタ転籍。地上波デジタルテレビ・近距離無線関連 LSI のアナログマクロ設計・開発に従事。