

デジタルアシスト・アナログ RF テスト技術 - サブ 100nm ミックスシグナル SoC テストの考察 -

小林春夫 新津葵一 高井伸和 山口隆弘
Haruo Kobayashi Kiichi Niitsu Nobukazu Takai Takahiro J. Yamaguchi

群馬大学大学院 工学研究科 電気電子工学専攻 k.haruo@el.gunma-u.ac.jp
Department of Electronic Engineering, Gunma University

概要 この論文ではミックスシグナル SoC のアナログ部のテストに関して現状と問題点を示し、次の 2 つの内容について考察する。(i) デジタル自己校正やデジタル誤差補正を用いてアナログ RF 回路を高性能化するデジタルアシストアナログ技術が微細 CMOS を用いた SoC 内で多用されつつある。この製造出荷時テスト法に関する考察を行う。(ii) 微細 CMOS SoC 内では DSP コア、メモリ等の豊富なデジタル回路を有する 경우가多い。これらを利用して SoC 内アナログ RF 回路のテストを容易化する技術について考察する。

キーワード : デジタルアシスト・アナログ技術, デジタルアシスト・アナログ RF テスト技術, テスト容易化, 自己校正, デジタル誤差補正

1 はじめに

LSI 技術の進展とともにテストコストの削減が産業上の大きな問題となりつつある (図 1) [1, 2, 3]. その中でミックスシグナル SoC でアナログ RF 部のテストは技術的に難しく、チャレンジングな研究開発の課題がたくさんある。ここではミックスシグナル SoC のアナログ RF 部のテストに関して現状と問題点を述べ、次の 2 つの内容について考察する。

(i) デジタル自己校正やデジタル誤差補正を用いてアナログ RF 回路を高性能化するデジタルアシストアナログ技術, デジタルリッチなアーキテクチャが微細 CMOS SoC 内で多用されつつある。この製造出荷時テスト法に関する考察を行う。

(ii) 微細 CMOS SoC 内では多くの場合 DSP コア, メモリ等の豊富なデジタル回路を有する。これらを利用して SoC 内アナログ RF 回路のテストを容易化する技術について考察する。

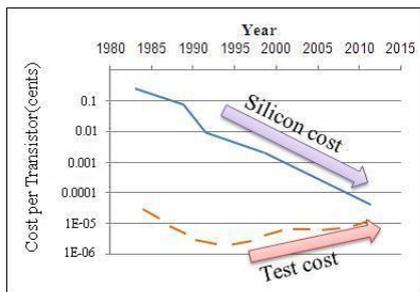


図 1 LSI でのシリコンコストおよびテストコストのトレンド。

2 ミックスシグナル SoC のテスト

LSI テストの技術的問題は「コスト」をその評価関数として考えると非常に明確になる [3]. LSI テスト技術はすべて「コスト」に収束すると言えよう。LSI テストは一般には「価値を付加しない」と言われるが、故障診断 (diagnosis), 歩留まり向上を助けることができる。さらに不良品を市場に出す確率を小さくし、不良品の修理/交換のコストを低減できる。また、注意すべきは「テスト」と「測定」は下記のように目的と技術が似ているが異なることである。

- **テスト** : 100% エンジニアリングであるという発想をするとわかりやすい。LSI の良品か不良品かの判別を行う量

産試験・生産技術でありテスト技術者により半導体工場、テストハウスで行われる。

- **測定** : 科学とエンジニアリングの両面性をもつ。IC 設計技術者によりの設計検証および性能評価 (characterization) であり、研究室レベルで行われる。

LSI テストは技術だけでなくそのマネージメント戦略にも大きく依存する。例えば SoC のアナログ部に関しては次の 2 つの戦略がありえよう。

(i) アナログ BIST (Built-In Self-Test) を開発し低コスト ATE (Automatic Test Equipment: 半導体試験装置) を用いてテストを行いテストコストを削減する。

(ii) 高性能ミックスシグナル ATE とそのサービス, ノウハウを利用し, 素早く LSI を市場に投入して収益を得る。(テストコスト削減以上に早期市場投入による先行者利益を優先する。)

また, 回路設計者, LSI テスト技術者, ATE メーカー技術者, 大学での LSI テスト研究者間の協力も重要である。

低コスト・テスト 実現のためには次の方法がある。

(i) 低コスト ATE を使用する。

(ii) 短いテスト時間 (ATE コスト, その設置場所のコスト, 人件費)。例えば 1US ドルの売り値のチップに対して 1 秒以下程度のテスト時間が妥当であるとされている。

(iii) 同時に多数個チップを並列テスト (マルチサイトテスト)。

(iv) 同時に SoC チップ内複数ブロックを独立に並列テスト (パラレルテスト)。

(v) BIST を用いる場合はその開発期間が短くチップ面積ペナルティが最小であることが必要である。

ここで **低コスト ATE** とは以下のようなものである。

(i) デジタル ATE, すなわち任意波形発生器 (Arbitrary Waveform Generator: AWG) のようなアナログオプションを使用せず, 入出力ピンがデジタルの ATE。

(ii) 特にピン数が少ないデジタル ATE。

(iii) 時間・電圧分解能が低く, 低速で安価な ATE。

(iv) アナログ ATE をデジタル ATE で置き換えるとマルチサイトテストが可能になる。

(v) 中古 ATE や内製 ATE。

また, LSI テストはパッケージ前の **ウェーハテスト** とパッケージ後の **パッケージテスト** に大別される。パッケージ前のウェーハプロービングテストで不良品を落とすと低コスト化できるが, 次の課題がある。

(i) プロービングのオン抵抗が問題になる。

(ii) プローブにより PAD がダメージを受ける (MEMS プロローブはこの問題を軽減し得る)。

(iii) 高周波信号のプロービングは高コストである (歩留まり向上後は省略することが多い)。

(iv) 複数チップ同時テストのプロービングは難しい。

現状ではウェーハテストでは低コスト ATE を用いて低周波信号でのテストを行い, パッケージ後のテストではより高性能 ATE を用いて高周波数でのテストを行うことが多い。また無線通信技術は接触なしのプロービング実現の可能性があり, 高周波測定が可能になりえるので次世代の技術として研究開発が行われている。

3 アナログ回路部テストの問題点

ミクストシグナル SoC 内アナログ回路部のテスト容易化の問題点として次のことがある [3].

- (i) 故障 (fatal fault, catastrophic fault) しているかどうかの判別に加えてパラメトリック故障 (parametric fault, 基本動作はしているが性能が足りない) を検出する必要があり, テストというより測定に近い.
- (ii) デジタル回路テストでのスキャン・パスやシグネチャ・アナリシスのような汎用的テスト容易化手法がない. (アナログ・バンドリ・スキャンは普及が限定している.)
- (iii) アナログ回路毎, さらにその性能指標毎の個別対応しなければならない. 例えば ADC の DC 線形性テストのためには高精度ランプ波発生技術が必要であり (図 2), 高周波特性テストのためには低ジッタ・クロック供給と高周波信号入力が必要である等, 要求される技術が大きく異なる.
- (iv) アナログ, RF, 高速 IO, パワーマネージメントのテスト容易化技術はそれぞれ異なる.
- (v) アナログ回路の実用的な故障モデル (fault model) がない.
- (vi) アナログ DFT (Design for Testability), BIST の回路規模が大きくなるとそれらの故障により歩留まりを落としてしまう. (アナログ DFT, BIST は簡単な回路でなければならない.)
- (vii) 被テストアナログ回路より DFT, BIST の性能要求が厳しくなりがちである.
- (viii) アナログ DFT, BIST を付加するとその負荷容量等でアナログ回路性能が劣化しがちである.
- (ix) DFT, BIST を使用する場合データ転送 (シリアルデータによるシフトレジスタへのモード設定) 時間が問題になり得る.
- (x) DFT, BIST によるチップ面積増加 (チップコスト増加) が問題になる.

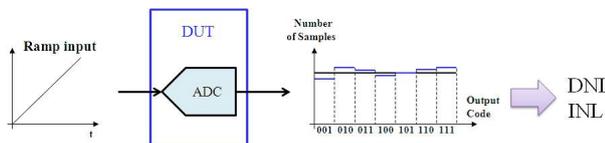


図 2 ランプ波入力ヒストグラム法による ADC 線形性テスト.

現状ではメモリチップやデジタル LSI のテスト容易化技術に比べてアナログ部のテスト容易化技術は課題が多い.

またアナログテストのためのミクストシグナル ATE 開発コストは大きいので, アナログテスト容易化技術はミクストシグナル ATE メーカーにもメリットがあると指摘されている. ATE の開発には「今日の技術で明日の (高性能な) チップをテストする」というジレンマが常に存在しそれを克服するための革新的技術が必要である.

4 アナログ回路のテスト容易化技術

アナログテスト容易化技術は 20 年以上にわたり研究されており充分普及しているとは言い難いが着実に進歩している. たとえば適用ルールは次のようにまとめられる [2].

- (i) オーバーサンプリング ($\Delta\Sigma$ 変調技術) を用いる.
- (ii) アンダーサンプリング (等価時間サンプリング) を用いる (図 3). テスト時には ATE で入力信号を制御可能なので繰り返し信号を与えて出力を等価時間サンプリングで観測可能である.
- (iii) デジタル技術を多用する.
- (iv) オフライン校正 (off-line calibration), 自動ゼロ技術 (auto zero technique) を用いる.
- (v) 差動信号等, 信号の差を利用する.
- (vi) 被テスト回路 (Circuit Under Test: CUT) 内の冗長性をテスト基準として用いる.

(vii) SoC 内の回路ブロックをテスト時に利用する. 例えば SoC 内 ADC, DAC でループバック構成をとる, 受信回路, 送信回路でループバック構成をとる.

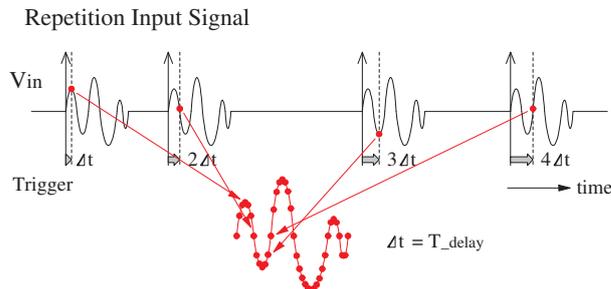


図 3 繰り返し入力波形に対する等価時間サンプリングの原理図. サンプリング時刻のトリガ信号 (繰り返し入力信号の起点) からの時間を知ることでサンプル値データから波形を再合成できる.

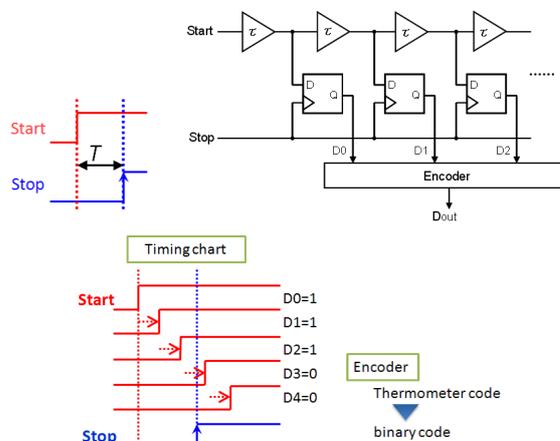


図 4 タイムデジタイザ回路の構成と動作.

等価時間サンプリング技術 (図 3) のためにはチップ内もしくは ATE 側で広帯域サンプラ回路が重要である [5].

個別アナログ回路のテスト容易化手法としては次のようなものがある.

- (i) オペアンプ, アナログフィルタ回路をテスト時にポジティブフィードバック構成にして発振を利用する.
- (ii) 電源線を利用する.
- (iii) タイムデジタイザ回路等の時間領域アナログ回路を用いる (図 4). PLL 回路ジッタ特性のテスト容易化はこの考え方で成功している例である [6].

(iii) については, 「ディープ・サブミクロン・プロセスでは, デジタル信号のエッジ遷移の時間領域の分解能のほうがアナログ信号の電圧分解能よりも優れている」という考え方で, 微細 CMOS での実現に適した時間分解能型アナログ回路として多くの回路設計の研究者により様々な展開がなされているが, アナログ・テスト容易化にも適用されつつある.

アナログテスト容易化技術の開発のためにはアナログ回路設計の技術的バックグラウンドが必要であり, また回路技術に加えて信号処理技術も有用である. アナログテスト容易化を考える際に可観測性 (observability), 可制御性 (controllability) は有用な概念である. BIST, BOST (Built-Out Self-Test), ATE との協調テストも重要であろう.

RF システム全体のテスト指標として BER (Bit Error Rate), EVM (Error Vector Magnitude) の有用な指標が広く実用化されている [1]. 個別の RF 回路用 BIST もいくつか提案され, またデジタル ATE でテストできることを考慮した RF フロントエンド部のアーキテクチャも提案されている.

SerDes 等の高速デジタル I/O インターフェース回路のテストでは ジッタ印加システムによる受信回路ジッタ耐性テストが必要である。回路で扱いが難しいのは「信号が高速・高周波で動く部分」であり高周波特性とともにタイミングの揺らぎであるジッタ関連テスト技術は今後ますます重要になってきている。

アナログ RF 回路部のテスト法として「代替テスト (alternative testing)」の概念が提案されている [1]。アナログ RF 部の「仕様ベースのテスト (specification-based test)」は測定に近くコスト増になる。一方デジタルのような「故障テスト (fault-based test)」だけでは不十分である。代替テストは仕様項目パラメータと等価で測定が容易なパラメータでテストを行ない仕様項目を満たしているかを推定する手法であり、有用な概念・手法と思う。

今後はアナログ RF 回路個別のテスト容易化技術に加えてアナログ RF 回路を含むシステムとしてのテスト容易化技術の研究開発が重要となると思われる (例えばアナログ RF 回路部のテスト部をベースバンドデジタル回路と協調して行う)。

5 デジタルアシスト・アナログ RF 技術

LSI の微細化の進展とともに、デジタル回路は面積の縮小・高速化・低消費電力化が進んでいる。しかし従来アナログ RF 回路では微細化に伴いトランジスタ特性ばらつき、真性利得低下、電源電圧低下のため必ずしも性能は向上せず、アナログ RF 回路設計のパラダイムシフトが必要である。

半導体プロセスの微細化はデジタルの低消費電力・高速・高集積化・低コスト化のために行う。したがってデジタルでメリットがなければ半導体微細化をする理由はない。微細化プロセスでもデジタルは必ず動作する。そこで微細 CMOS トランジスタを用いる LSI ではデジタル技術を用いてアナログ性能を向上させる技術 (デジタルアシスト・アナログ RF 技術 Digitally-Assisted Analog RF Technology) が微細 CMOS SOC 内のアナログ RF 回路を実現する際の重要な設計コンセプトである。

この思想でのアナログ RF 回路設計で次が期待できる。

- 微細デジタル CMOS 回路での低電源電圧動作が可能。
- CMOS プロセス微細化進展で性能が向上する。
- 小さなチップ面積で実現できる。
- 初回試作チップでの完全動作が期待できる。
- 半導体プロセス開発と並行して回路設計が行える。
- プロセス・ポータビリティおよびプロセス・スケラビリティが確保できる。
- 他のデジタル回路と集積化できる。
- デジタル的手法でテストが可能である (RF BIST)。

この設計思想は ADPLL (All Digital PLL, 完全デジタル PLL 回路) にその端緒をみることができ。微細 CMOS 向けすなわちこれまでの LSI 技術の考え方の延長線上であるスケラビリティを追求した「More Moore のアナログ」と言えよう。デジタル化が進めば技術のコピー、キャッチアップが容易になるという側面もある。

また逆に、SerDes 等の高速デジタル I/O インターフェース回路は「高速デジタル回路性能をアナログ技術でアシストしている」と言える。

量産時の歩留まり向上を考えると、「全てをデジタル補正する」という発想ではなく「できるだけばらつきを抑える回路設計を行いその後デジタル補正する」ことが必要である。我々は冗長アルゴリズムにより低消費電力 SAR ADC アーキテクチャでコンパレータオフセットの影響をデジタル誤差補正する方式を開発したが、これもコンパレータオフセットをできるだけ抑えた後に使用するとより有効である [4]。

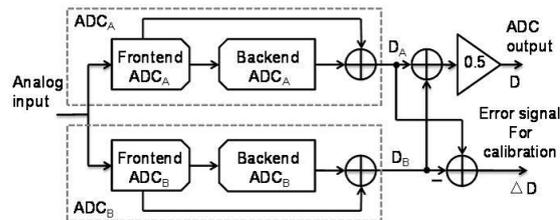


図 5 Split ADC 構成. バックグラウンド自己校正の収束時間が大きく短縮できる [8].

さらにオペアンプのゲイン低下の影響をデジタル補正する場合に高ゲインでは抑えられていた寄生容量の影響が見えてくる等、アナログ性能低下にともない補正すべきパラメータ空間が広がることの問題も指摘されている。デジタルアシスト技術を用いても高性能を得るためにはアナログ技術が必要である。

6 デジタルアシスト・アナログ RF テスト技術 (1)

近年のアナログ RF 回路では自動調整、自己校正、誤差補正技術により特性向上・歩留まり向上が図られているが、そのテストは難しい側面がある。回路がバックグラウンド自己校正を行っているためそのテスト時に技術的な課題がでてきていることがテスト現場から報告されている。

その一つがバックグラウンド自己校正はその収束時間がテスト時間の一部になってしまうテストコストを増大させるという問題が指摘されている。我々もテスト時にバックグラウンド自己校正の時間を短縮する技術 [7]、および通常動作時にも自己校正時間を短縮する技術 (AD 変換器の場合に、Split ADC の手法によりバックグラウンド自己校正の時間を大幅に短縮する (図 5) [8]) に取り組んでいる。

また、一般にロバストな設計とテスト容易化は相反する側面がある。例えばフィードバック回路は回路素子のパラメータ変動の観測を難しくし、自己校正と冗長性は被テスト回路の欠陥を隠す傾向にある。

バックグラウンドデジタル自己校正 AD 変換器等のデジタル・アシスト・アナログ技術を用いた回路では設計パラメータ空間が広がる。内部に不良箇所があっても補正され LSI テスト (出荷検査) の際に「良品」と判定されてしまう。その欠陥が補正できるぎりぎりのとき、市場で補正範囲を超え動作不良となることがある。この問題を軽減するために、テスト時に自己校正用のメモリ内容を読み込んで良否判定に利用する技術が提案されている。(なお校正メモリデータを読み込んで利用することはネットワークアナライザですすでに行われている。)

また我々は冗長性を含んだ回路の冗長経路のテストを容易化する技術として非 2 進冗長アルゴリズム SAR ADC のテスト容易化技術の検討を行っている。

デジタルアシスト・アナログ RF 技術の普及とともにそのテスト技術の研究開発が重要になってくるが、その研究開発は始まったばかりの状態である。

7 デジタルアシスト・アナログ RF テスト技術 (2)

SoC 内アナログ RF 回路部のテスト容易化・コスト削減が産業上の大きな課題であるその解決策として有効なのはテスト時に SoC 内の DSP やメモリ等のデジタル回路の力を積極的に利用することであると考えている。

トランシーバ IC の出荷時テストの際に受信機側に信号発生器で信号を与え送信機出力をスペクトラムアナライザでテストする構成では高価な電子計測器が必要になる。携帯電話では受信側と送信側のキャリア周波数が異なるので直接にはループバックが使用できない。しかしサンプリングミキサ受信機と ADPLL を用いた送信機で構成された携帯電話送受信 IC ではテスト時に受信側と送信側のキャリア周波数を合わせることでループバックのテストが構成可能である。

ADPLL 出力の位相ノイズは ADPLL 回路内のあるデジタル信号推移と密接な相関があるということを利用し、出荷時のテストの際に位相ノイズ特性を RF 測定器で直接測定するのではなくそのデジタル信号をモニタすることでテストコスト削減をすることが提案されている。

$\Delta\Sigma$ DA 変調を用いてテスト信号出力を生成する場合、その出力コードをチップ内メモリに記憶しておいて信号生成時に逐次読み出しアナログフィルタを通過させてテストアナログ信号を生成する手法も提案されている。

ATE 側での AWG で、DSP の信号生成アルゴリズムを工夫することで歪みの少ない正弦波信号、2 トーン信号および ADC 線形性の短時間テスト用マルチ正弦波信号を生成することができる [10]-[15]。

ATE 側の技術としてそのタイミングスキューを高時間分解能でデジタル的に調整するためのデジタルフィルタや ATE 内インターリーブ ADC のチャンネル間ミスマッチの影響のデジタル補正技術が開発されている [16]。

8 ミクストシグナル SoC テストの将来像

テストに関してトップダウンアプローチをとりデジタル的手法でテストが可能な手法をアーキテクチャ・回路設計とリンクさせて開発する必要がある。個別のアナログ回路ではなく、回路ブロック・チップ・システムレベルでのテスト容易化の戦略をとる必要がある。

信号が高速・高周波化するにつれて、LSI 外部から信号を入力してテストする手法に限界が生じつつあり、ATE からは低速高精度の基準信号を供給し、LSI 内部で高速・高周波テスト信号発生・計測・信号処理を行うチップ上計測器 (on-chip instrumentation)、埋め込みテスト (embedded test) の研究開発が欧米のメーカー・大学を中心に活発に行われている。

将来のミクストシグナル SoC アーキテクチャは、デジタルリッチな構成とすることで、アナログ RF 回路部の自己校正、自己診断、故障耐性 (自己修復、冗長性)、自己テスト機能を持つものが一つの候補になろう。

車載応用等で高い信頼性を要求される場所では自己診断・自己テスト機能が重要である。タイムデジタイザ回路を例にとりその機能のデジタルの実現手法を検討している [17]。

また近年 SoC 内に FPGA を埋め込み再構成可能にするものが出てきているが、この FPGA 部をテスト時に SoC 内のアナログ RF テスト用回路に再構成することも有力なテスト容易化手法であろう。

9 まとめ

ミクストシグナル SoC アナログ部のテスト容易化技術は今すぐ取り組まなければならない大きな技術課題である。ミクストシグナル SoC にデジタルアシスト・アナログ技術が多用されつつありそのテストが大きな課題である。またミクストシグナル SoC 内のデジタル回路をテスト時に積極利用することでアナログ部のテスト容易化が実現できる。これらは技術的にチャレンジングな領域である。

謝辞 有意義なご討論をいただきました宮下博之、小林修、力野邦人、矢野雄二、岸上真也、我毛辰弘、松浦達治、森俊彦、荒井智、古川靖夫、浅見幸司、山田庸一郎、小室貴紀、田澤勇夫、酒寄寛 各氏 ならびにこの研究をご支援頂いています STARC に謝意を表します。

参考文献

- [1] K.-T. Cheng, H.-M. Chang, "Recent Advances in Analog, Mixed-Signal and RF Testing", IPSJ Trans. on System LSI Design Methodology (Feb. 2010).
- [2] K. Arabi, "Mixed-Signal Test Impact to SoC Commercialization", IEEE VLSI Test Symp. (April 2010).
- [3] 小林春夫, 山口隆弘 「デジタルアシスト・アナログテスト技術」電子情報通信学会 集積回路研究会 (2010 年 7 月).
- [4] T. Ogawa, T. Matsuura, H. Kobayashi, N. Takai, M. Hotta, H. San, A. Abe, K. Yagi, T. Mori, "Non-binary SAR ADC with Digital Error Correction for Low Power Applications," IEEE APCCAS (Dec. 2010).
- [5] A. A. Abidi, M. Arai, K. Niitsu, H. Kobayashi, "Finite Aperture Time and Sampling Bandwidth," 電子情報通信学会 総合大会 (2011 年 3 月).
- [6] 櫻井正人, 針谷尚裕, 新津葵一, 山口隆弘, 小林春夫 「ジッタ測定 BIST に向けたインターリーブ PFD のプロセス依存性の解析」電子情報通信学会 総合大会 (2011 年 3 月).
- [7] T. Yagi, H. Kobayashi, Y. Tan, S. Ito, S. Uemori, N. Takai, T. J. Yamaguchi, "Production Test Consideration for Mixed-Signal IC with Background Calibration", IEEE Trans. on Electrical and Electronic Engineering, (Nov. 2010).
- [8] T. Yagi, K. Usui, T. Matsuura, S. Uemori, Y. Tan, S. Ito, H. Kobayashi, "Background Calibration Algorithm for Pipelined ADC with Open-Loop Residue Amplifier using Split ADC Structure," IEEE APCCAS (Dec. 2010).
- [9] S. Ito, S. Nishimura, H. Kobayashi, S. Uemori, Y. Tan, N. Takai, T. J. Yamaguchi, K. Niitsu, "Stochastic TDC Architecture with Self-Calibration," IEEE APCCAS (Dec. 2010).
- [10] 加藤啓介, 小林春夫, 「任意波形発生器での 2 トーン信号相互変調歪みのデジタル補正」電子情報通信学会 ソサイエティ大会 (2010 年 9 月).
- [11] 若林和行, 小林修, 小林春夫, 松浦達治, 「信号発生器用 DAC の非線形性補正」電子情報通信学会 ソサイエティ大会 (2010 年 9 月).
- [12] 山田貴文, 若林和行, 上森聡史, 小林修, 加藤啓介, 小林春夫 「デルタシグマ DAC 信号発生回路でのデジタル歪補正技術」電気学会 電子回路研究会 (2010 年 10 月).
- [13] S. Uemori, T. J. Yamaguchi, S. Ito, Y. Tan, H. Kobayashi, N. Takai, K. Niitsu, N. Ishikawa "ADC Linearity Test Signal Generation Algorithm," IEEE APCCAS (Dec. 2010).
- [14] 若林和行, 上森聡史, 山田貴文, 小林修, 加藤啓介, 小林春夫, 新津葵一, 松浦達治, 「ADC テスト信号生成のための AWG 非線形性補正技術」第 6 4 回 FTC 研究会 (2011 年 1 月).
- [15] 山田貴文, 若林和行, 上森聡史, 加藤啓介, 小林修, 新津葵一, 宮下博之, 小林春夫 「高次 $\Delta\Sigma$ DAC 信号発生回路での歪キャンセル・ノイズ低減技術」電子情報通信学会 総合大会 (2011 年 3 月).
- [16] K. Asami, H. Miyajima, T. Kurosawa, T. Tateiwa, H. Kobayashi, "Timing Skew Compensation Technique using Digital Filter with Novel Linear Phase Condition," IEEE International Test Conf. (Nov. 2010).
- [17] T. Ogawa, H. Kobayashi, Y. Tan, S. Ito, S. Uemori, N. Takai, K. Niitsu, T. J. Yamaguchi, T. Matsuura, N. Ishikawa, "SAR ADC That is Configurable to Optimize Yield," IEEE APCCAS (Dec. 2010).