

TV チューナ用広帯域 ADPLL の高性能化技術

Performance Improvement Techniques of Wideband ADPLL for TV Tuner Application

湯本 哲也 西村 繁幸 村上 健 土井 祐太 三田 大介 長谷川 賀則 壇 徹 2)
Tetsuya Yumoto Shigeyuki Nishimura Ken Murakami Yuta Doi Daisuke Mita Yoshinori Hsegawa Toru Dan
内藤 智洋 2) 高橋 伸夫 2) 坂田 浩司 2) 北村 真一 2) 小林 春夫 高井 伸和 新津 葵一
Tomohiro Naito Nobuo Takahashi Kouji Sakata Shin-ichi Kitamura Haruo Kobayashi Nobukazu Takai Kiichi Niitsu

群馬大学大学院 工学研究科 電気電子工学専攻
Department of Electronic Engineering, Graduate School of Engineering, Gunma University
2)三洋半導体(株)
SANYO Semiconductor Co.,Ltd.

1. はじめに

無線通信システムのマルチバンド化技術の実現が期待されている中、我々は ADPLL(All Digital Phase Locked Loop) [1] を次世代 RF 無線システムのキーコンポーネントとして着目している。ADPLL はシステムの大部分をデジタル回路で構成できるため、微細デジタル CMOS プロセスでの実現に適している。現在 TV チューナ用の広帯域動作化技術を適用した ADPLL の開発を進めており、本論文では開発中である TV チューナ用 ADPLL への高性能化技術の適用をシステムレベルシミュレーションで検討した結果を報告する。

2. ADPLL システムとその動作

ADPLL (図 1) はシステムの大半がデジタル回路により構成される。システムは基準周波数(FREF)をフィードバック信号(CKV)でリタイミングした CKR により演算の同期が取られ、周波数制御入力(FCW)を加算して得られたデータ Rr と CKV をカウントして得られたデータ Rv を演算することで位相差を粗く検出する。より細かな位相差は TDC (Time to Digital Converter)で検出し、得られた位相差 ϕ_E から発振器の制御信号(OTW)を生成する。発振器には DCO(Digital Controlled Oscillator)を用い、デジタル値で発振周波数を制御する。

DCO のゲインは温度や発振周波数に依存するが、デジタルキャリブレーションによりその影響をキャンセルする。また、発振周波数は DCO の最小バラクタ分解能に依存するが、MASH $\Delta \Sigma$ 変調器構成によるディザリングを使用することで、バラクタ分解能以上の高精度な周波数出力を得ることができる。

一般に収束時間と収束精度はトレードオフの関係にあるが、ADPLL ではトラッキング動作時に 3 つのモードを切り替えることで両者を実現する (図 2)。

3. 広帯域動作化技術

TV チューナのチャンネルに割り当てられる周波数の規格を満たすには、90MHz~800MHz(VHF~UHF)

の広帯域周波数に応じた PLL 動作が要求される。しかし、DCO の動作帯域には限界があり、一つの DCO では全ての周波数をカバーすることはできない。

そこで異なる発振周波数帯域を持つ 3 種類の DCO を切り替えて使用することで、広帯域な PLL を可能とした。さらに出力信号を可変分周することで TV チューナの帯域をカバーすることを可能とした。(図 3)

4. 高性能化技術 1 : ギアシフト

ADPLL の利点として、ループフィルタの定数をプログラマブルに変更可能であることが挙げられる。これを活かすことで収束時間の短縮を可能とする技術がギアシフトである。先述のように 3 つのモードをトラッキング動作に用いているが、依然として最終の small モード時の所要時間が大きい。そこで small モードの収束時間を短縮するために、small モード内でフィルタの定数を段階的に縮小するギアシフトを適用する (図 4)。2 次のループフィルタは α と ρ の 2 つのパラメータがあるが、ギアシフトではフィルタの α のみを変更する。あえてダンピングファクタを大きな値に設定することで誤差応答の速度を高め、適切なタイミングで α を元に戻すことで高精度・高速ロックを可能とする。ループゲイン α を突然切り替えることは OTW の値に大きな変化を起こし、誤差を発生させる要因になるため、ギアシフトの前後で OTW が変化しないよう誤差を推定し、補正をかける。システムレベルシミュレーションの結果、ギアシフトを採用することで、約 36%の収束時間の短縮が得られた。(図 5)

5. 高性能化技術 2 : ゼロ位相リスタート

もう一つの収束時間短縮の手法として、ゼロ位相リスタートが挙げられる (図 6)。3 つのモードを切り替える際は以前のモードの OTW を保持すると同時に位相差情報をリセットし、 ϕ_E をゼロとすることで前のモードの影響を受けずに新しいモードを始めることができる。しかし、実際にはリセット信号と CKR のタイミングの不一致により、モード切り替え後の ϕ_E に大きな誤差が発生する。そこで、Rr に着目し、従来のリセット方式の代わりに演算による切り替え補

正を行うことで誤差を解消する。前のモードの位相差データから、モード切り替え後に発生する誤差量を推定し補正する。リセットが不要なため、システムを連続して動作させることが可能である。結果としてモード切り替えが滑らかになり、収束時間を短縮することが可能である。システムレベルシミュレーションの結果、約41%の収束時間の短縮が得られた。(図7)

6. LSI 試作

開発中の ADPLL の TDC 及び高速ロジック動作部を $0.18\mu\text{m}$ CMOS プロセスで試作し動作確認を行った。(図8)

7. 結論

TV チューナ向け広帯域 ADPLL の高性能化技術について検証した。ギアシフト技術とゼロ位相リスタート技術により、収束時間がそれぞれ36%, 41%短縮することを信号処理解析により確認した。

参考文献

- [1] R. B. Staszewski, P. T. Balsara, *All-Digital Frequency Synthesizer in a Deep-Submicron CMOS*, Wiley-Interscience (2006).

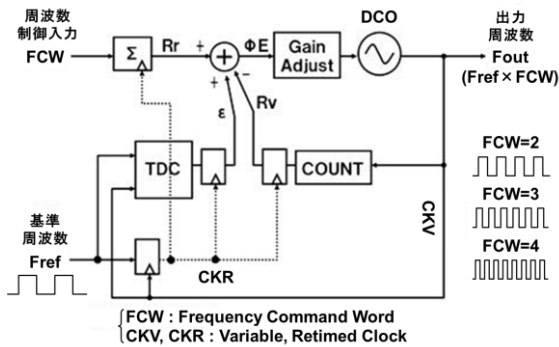


図1 ADPLL システムのブロック図

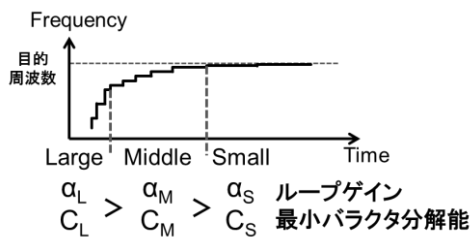


図2 トラッキング動作のモード切り替え

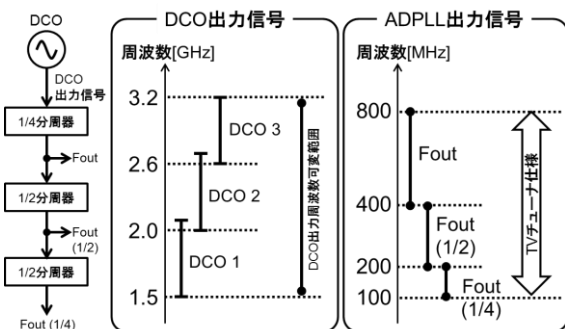


図3 広帯域動作化技術

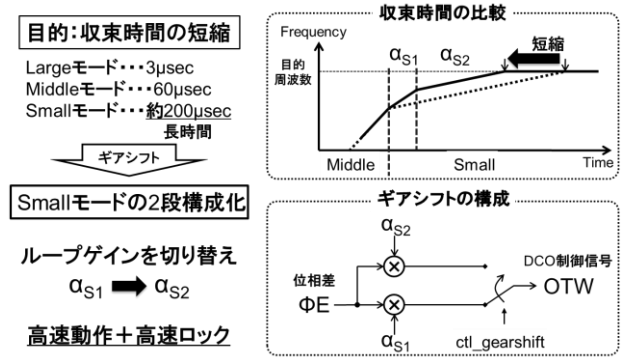


図4 ギアシフトの構成と動作

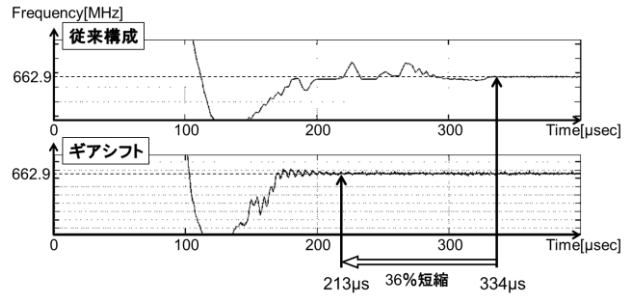


図5 ギアシフトのシミュレーション結果

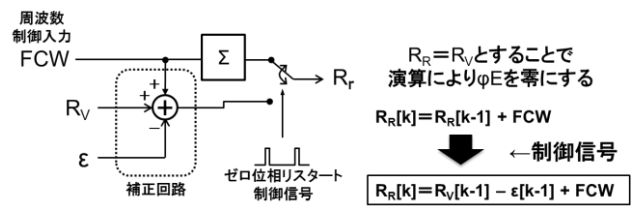


図6 ゼロ位相リスタートの構成と動作

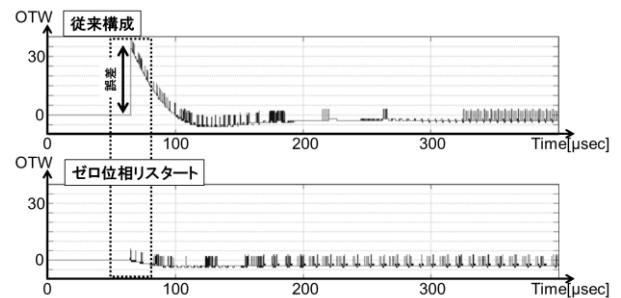


図7 ゼロ位相リスタートのシミュレーション結果

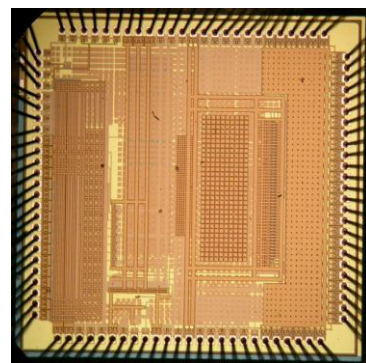


図8 試作したチップ写真
($0.18\mu\text{m}$ CMOS, size:2.5mm×2.5mm)