

# 開ループアンプを用いたパイプライン ADC の "Split ADC"構成によるバックグラウンド自己校正法

八木 拓哉\*, 上森 聡史, 丹 陽平, 伊藤 聡志 (群馬大学),  
松浦 達治, 臼井 邦彦 (ルネサステクノロジ), 小林 春夫 (群馬大学)

Background Calibration Algorithm for Pipelined ADC  
with Open-Loop Amplifier using Split ADC Structure

Takuya Yagi\*, Satoshi Uemori, Youhei Tan, Ito Satoshi (Gunma University)  
Tatsuji Matsuura, Kunihiko Usui (Renesas Technology Corporation)  
Haruo Kobayashi (Gunma University)

## Abstract

This paper describes a background calibration algorithm for a pipelined ADC with open-loop amplifier using Split ADC structure. The open-loop amplifier is employed at the first stage in the pipelined ADC to realize low power and high speed. However it suffers from non-linearity, and hence the calibration is needed. We have investigated the split ADC structure for its background calibration with fast convergence, and shown its effectiveness with MATLAB simulation.

キーワード : ADC、自己校正、デジタルアシストアナログ技術、パイプライン AD 変換器、Split AD 変換器 (ADC, Self-Calibration, Digitally Assisted Analog Technology, Pipelined ADC, Split ADC)

## 1. はじめに

パイプライン AD 変換器ではトランジスタのプロセス技術の微細化に伴い、アナログ回路部の要求性能を達成するための回路設計が難しくなっている。デジタル回路部ではトランジスタの微細化の恩恵を受け、小面積化、低消費電力化を実現している。そこでデジタル補正回路を用いてアナログ回路部の要求性能を緩和する、デジタルアシスト技術が検討されている<sup>(1)</sup>。特にパイプライン AD 変換器のアナログ回路部で用いられる段間アンプは低雑音、高速、高精度な線形性が同時に要求されるため、AD 変換器の消費電力の大半を占める。微細化により耐圧が低下し、高利得な段間アンプを設計することは難しくなり、AD 変換器全体の精度に大きく影響している。そこで低利得のオペアンプを用いることで AD 変換器の小面積化、低消費電力化、高速化を実現することが提案されている<sup>(1)(4)</sup>。しかし AD 変換器の変換誤差が大きくなり精度劣化の要因となるため、デジタル自己校正回路を付加することで AD 変換器の精度を得る手法が報告されている。

デジタル自己校正回路は主にフォアグラウンド自己校正法とバックグラウンド自己校正法に分類される。特にバック

グラウンド自己校正法は校正信号を必要とせず、不便さが生じない方式である。また多くのバックグラウンド自己校正回路では完全に補正されるまでの収束時間が長いという問題点があるが、収束時間を短縮するために Split AD 変換器の構成が提案されている<sup>(2)(3)</sup>。しかしこのバックグラウンド自己校正法では、段間アンプの有限ゲイン誤差、容量ミスマッチによる変換誤差しか補正することができず、段間アンプの非線形性も補正する手法の適用例は報告されていない。本論文ではバックグラウンド自己校正法に焦点を当て、段間アンプの非線形性の補正を高速に収束させる新たな手法を提案した。パイプライン AD 変換器の初段の段間アンプには開ループアンプを適用し、パイプライン AD 変換器の低消費電力化、高速化を目標とした。また収束時間を短縮するために Split AD 変換器構成を用いて、初段で生じる変換誤差をバックグラウンドで自己校正し、その有効性をシミュレーションにより確認した。

## 2. パイプライン AD 変換器の Split AD 変換器構成

### 〈2・1〉パイプライン AD 変換器の基本構成と動作

パイプライン AD 変換器の全体構成を図 1 に示す。低分解能のサブ AD 変換器とオペアンプを用いた乗算型 DAC を

含む単位変換回路の多段縦列接続によって構成される。アナログ入力信号をサンプルホールド回路で受け、サブ AD 変換器で上位ビットを求める。またサブ AD 変換器の出力データは乗算型 DAC に入力されアナログ入力信号との残差を求め増幅し、次の段へ入力され中間ビットを求める。以下同様に各段では”増幅モード”と”サンプルモード”を繰り返し、上位ビットからデジタル出力が得られる。出力は入力が最初に取り込まれたタイミングから段数分遅れて得られるが、半クロック毎に新しい入力が入り込まれパイプライン的に動作する。

最も精度が要求されるのは初段の構成要素であり、サブ AD 変換器のコンパレータの誤差や乗算型 DAC に用いられる容量のミスマッチ、オペアンプの有限ゲイン、非線形性が AD 変換器の変換誤差の主要因となる。この中でもサブ AD 変換器のコンパレータの誤差は影響が少なく、各単位変換回路に冗長性を考慮することでデジタル誤差補正することが可能である。その他の要因はデジタル自己校正回路で校正しなければならない。

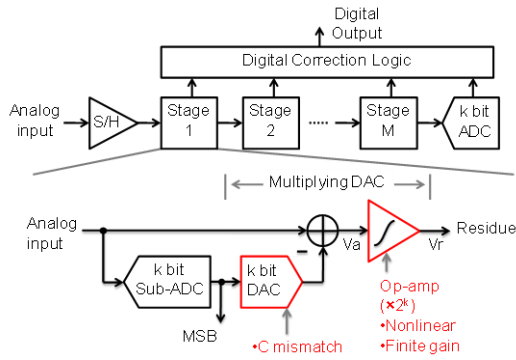


図1 パイプライン AD 変換器のブロック図と単位変換回路の非理想要因。

Fig.1 Pipeline ADC topology and stage circuit non-ideality.

### 〈2・2〉 パイプライン AD 変換器の Split AD 変換器構成

図2は Split AD 変換器構成を示す。Split AD 変換器は単一の AD 変換器を2チャンネルの AD 変換器に分割されており、ADC<sub>A</sub>と ADC<sub>B</sub>にはそれぞれに同じアナログ信号を入力する。それぞれの AD 変換器から出力コード D<sub>A</sub>、D<sub>B</sub>を得ることができ、二つの出力コードの平均値を計算することで Split AD 変換器の出力 D を求めることができる。出力コード D<sub>A</sub>、D<sub>B</sub>の差 ΔD はバックグラウンド校正信号として利用される。

仮に単一の N ビットの AD 変換器を定められた電力、速度、ノイズ特性を満たすように設計する。この AD 変換器のアナログ領域と同じ領域で、N ビットの ADC<sub>A</sub>と ADC<sub>B</sub>の2つの AD 変換器に分割し設計したものが Split AD 変換器である。それぞれの帯域幅、全体の電力は変わらず、2つの出力コードを平均化して出力コードを得るため、全体としてのノイズ特性も変わらない<sup>(2)</sup>。

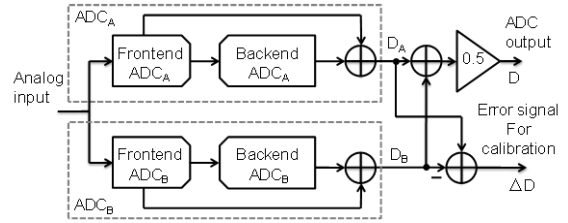


図2 Split AD 変換器の構成例。

Fig.2 Split ADC topology example.

## 3. パイプライン AD 変換器の自己校正法

### 〈3・1〉 パイプライン AD 変換器の乗算型 DAC の誤差とオペアンプの誤差の設定

この節では、本論文で検討するパイプライン AD 変換器の誤差要因について説明する。パイプライン AD 変換器の初段の精度が最も要求されるために初段の消費電力が非常に大きい。したがって初段のオペアンプを低精度な開ループアンプに代用して消費電力を低減することを提案する。しかし開ループアンプを用いることで、従来の閉ループアンプの歪みに対する負帰還の効果がなくなり、トランジスタの非線形性によってアンプの出力が歪み AD 変換器の精度を劣化させる大きな要因となる。アンプの入力レベルが大きくなるにつれて出力は強い非線形性となる。開ループアンプの入出力特性の非線形性を以下の3次までのテイラー展開の式で近似する<sup>(1)</sup>。

$$g_a(V_a) = V_r = \alpha_1 \cdot V_a + \alpha_3 \cdot V_a^3 \quad (1)$$

ここで開ループアンプが差動回路で構成されており、トランジスタのミスマッチが非常に小さいと仮定して二次の係数を省略している。

さらに、プロセスのばらつきにより乗算型 DAC で用いられている容量にミスマッチが生じ、AD 変換器の精度の劣化の要因となる。前述した1次の係数と容量ミスマッチによって、出力コードでは MSB が遷移した時にミッシングコードが生じる。以上に述べた非線形性と容量ミスマッチをバックグラウンドで自己校正する。(図1参照)

### 〈3・2〉 3次の非線形性の補正

本論文ではステージ 1A とステージ 1B のそれぞれに、RNG(Random number generator)から 0、1 の疑似ランダム信号を付加することで、初段の出力に二つの残差波形を生成し、オペアンプの3次の非線形性を補正する方法を提案する。ステージ 1 ではそれぞれ1ビットの冗長性を考慮し、オフセットを加えることでもう1つの残差波形を生成することを考える。オフセットを加えない場合の波形を”RNG=0”、オフセットを加えたときの波形を”RNG=1”として疑似ランダム信号で制御することで2つの残差波形を生成する。図3は本論文で検討した、4ビットのステージ 1A とステージ 1B を示している。それぞれの、入力と二つの残差波形の出力の関係は図4、図5に示している。残差波

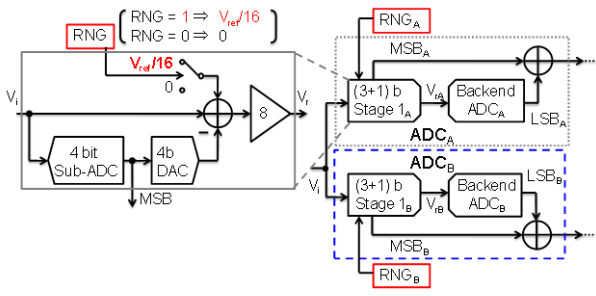


図3 ステージ1の構成.  
Fig.3 First stage topology.

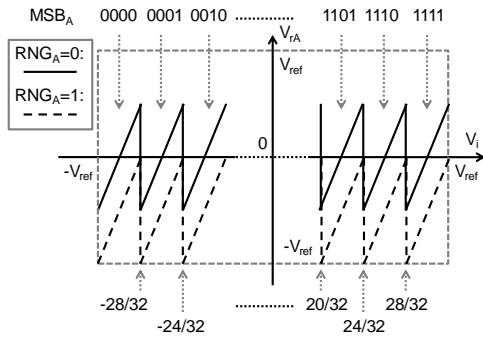


図4 ステージ1Aの入出力特性.  
Fig.4 Stage1A input-output characteristics.

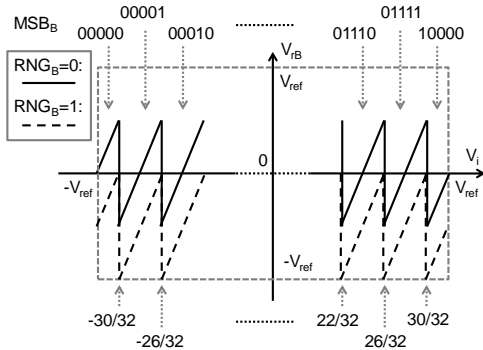


図5 ステージ1Bの入出力特性.  
Fig5. Stage1B input-output characteristics.

形をずらしているのは、ADC<sub>A</sub>とADC<sub>B</sub>が同じ誤差を持っていたとしても、それぞれの誤差を推定し補正することで理想のAD変換器に近づけるためである。後の有限ゲイン誤差と容量ミスマッチを補正する場合に活用される。

まずはステージ1Aとステージ1Bの出力の残差波形の差を求めることで非線形性を補正するための校正信号を得る。ステージ1Aとステージ1Bの疑似ランダム信号はそれぞれ初期値をずらし異なった周期で出力させ、RNG<sub>A</sub>=0、RNG<sub>B</sub>=0の時の差の平均値 $d_{ab00}$ 、RNG<sub>A</sub>=0、RNG<sub>B</sub>=1の時の差の平均値 $d_{ab01}$ 、RNG<sub>A</sub>=1、RNG<sub>B</sub>=0の時の差の平均値 $d_{ab10}$ 、RNG<sub>A</sub>=1、RNG<sub>B</sub>=1の時の差の平均値 $d_{ab11}$ の4通りの差の平均値 $d$ を求める。それぞれの平均値は任意の入力信号に対して時間平均している。

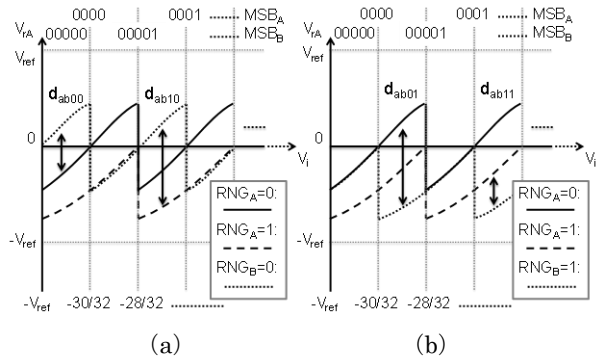


図6 残差波形からの差 $d_{ab00}$ 、 $d_{ab01}$ 、 $d_{ab10}$ 、 $d_{ab11}$ の測定。(a) ステージ1Aの残差波形とステージ1BがRNG<sub>B</sub>=0の時の残差波形。(b) ステージ1Aの残差波形とステージ1BがRNG<sub>B</sub>=1の時の残差波形。

Fig.6 Measuring the difference  $d_{ab00}$ ,  $d_{ab01}$ ,  $d_{ab10}$  and  $d_{ab11}$  of the residue curves. (a) Stage1A residue curves and Stage1B residue curves in case of RNG<sub>B</sub> = 0. (b) Stage1A residue curves and Stage1B residue curves in case of RNG<sub>B</sub> = 1.

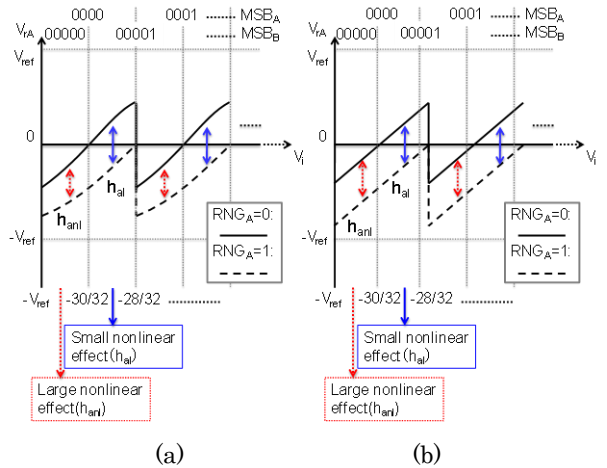


図7 残差波形から距離 $h_{al}$ 、 $h_{anl}$ の測定。(a) 自己校正前。(b) 自己校正後。

Fig.7 Measuring the distance  $h_{al}$  and  $h_{anl}$  of the residue curves. (a) Before calibration. (b) After calibration.

次にステージ1Aの二つの残差電圧の距離の平均値 $h_a$ を求める。ステージ1Aの残差電圧について、上位4ビットの出力が2進数で"0000"の時、残差波形の距離の平均値 $h_{anl}$ は、差の平均値 $d_{ab00}$ と $d_{ab10}$ 、もしくは差の平均値 $d_{ab01}$ と $d_{ab11}$ から求まる。このときのステージ1Aの残差波形はオペアンプの非線形性の影響が大きい区間になる。続いて上位4ビットの出力が2進数で"0001"の時、残差波形の距離の平均値 $h_{al}$ は、差の平均値 $d_{ab00}$ と $d_{ab10}$ 、もしくは差の平均値 $d_{ab01}$ と $d_{ab11}$ から求まる。このときのステージ1Aの残差波形はオペアンプの非線形性の影響が小さく、ほぼ線形とみなせる区間になる。よって非線形性の大きい区間から求めた距離の

平均値  $h_{anl}$  を、非線形性の影響が小さく、ほぼ線形とみなせる区間から求めた距離の平均値  $h_{al}$  に近づけ、 $h_{anl}$  と  $h_{al}$  の差が 0 になるように非線形性の逆関数を用いて収束させることでステージ 1A のオペアンプの非線形性を補正することができる。ステージ 1A の残差波形は上位 4 ビットの出力が 2 進数で“0000”から“1111”まで、非線形性の影響が大きい区間と非線形性の影響が小さい区間が交互に現れるため、それぞれの区間から同じように距離  $h_a$  を求めることができる。

同様にしてステージ 1B の二つの残差波形の距離の平均値  $h_b$  を求める。ステージ 1B の残差波形について、上位 5 ビットの出力が 2 進数で“00000”の時、残差波形の距離の平均値  $h_{bl}$  は、差の平均値  $d_{ab00}$  と  $d_{ab01}$ 、もしくは差の平均値  $d_{ab10}$  と  $d_{ab11}$  から求まる。このときのステージ 1B の残差波形はオペアンプの非線形性の影響が小さく、ほぼ線形とみなせる区間になる。続いて上位 5 ビットの出力が 2 進数で“00001”の時、残差波形の距離の平均値  $h_{bnl}$  は、差の平均値  $d_{ab00}$  と  $d_{ab01}$ 、もしくは差の平均値  $d_{ab10}$  と  $d_{ab11}$  から求まる。この時のステージ 1B の残差波形はオペアンプの非線形性の影響が大きい区間になる。よって非線形性の大きい区間から求めた距離の平均値  $h_{bnl}$  を、非線形性の影響が小さく、ほぼ線形とみなせる区間から求めた距離の平均値  $h_{bl}$  に近づけ、 $h_{bl}$  と  $h_{bnl}$  の差が 0 になるように非線形性の逆関数を用いて収束させる。よってステージ 1B のオペアンプの非線形性を補正することができる。ステージ 1B の残差波形は上位 5 ビットの出力が 2 進数で“00000”から“10000”まで、非線形性の影響が小さい区間と非線形性の影響が大きい区間が交互に現れるため、それぞれの区間から同じように距離の平均値  $h_b$  を求めることができる。

### 〈3・3〉 有限ゲイン誤差、容量ミスマッチの補正

本論文では、有限ゲイン誤差と容量ミスマッチによって生じる変換誤差を引用文献<sup>(9)</sup>で報告されているバックグラウンド自己校正法を応用して校正した。有限ゲイン誤差、容量ミスマッチは 3 次の非線形性を補正した後に補正を行う。まず初段にランダム信号で加えたオフセットを減算し 1 つの残差波形に戻す。加えられたオフセットは、3 次の非線形性を補正する時に求めた距離の平均値  $h$  から、疑似ランダム信号が“RNG=1”の時に平均値  $h$  を減算すればよい。(図 8 参照) またステージ 1A とステージ 1B の残差波形の傾きがオペアンプの非線形性の 1 次の係数によって異なる場合、正確に有限ゲイン誤差と容量ミスマッチを補正することができない。そのためステージ 1B の残差波形の傾きをステージ 1A の出力の残差波形の傾きを等しくするために、ステージ 1B の残差波形を一つにした後に残差波形に  $h_a/h_b$  を乗算することで傾きを等しくする。(図 9 参照)

有限ゲイン誤差と容量ミスマッチの補正は、まずは  $ADC_A$  と  $ADC_B$  の出力コードの差を取ることで校正信号を得る。有限ゲイン誤差と容量ミスマッチの影響により初段の出力の残差波形に誤差が生じ、ADC の出力コードにはそれぞれ上位ビットが遷移するときにミッシングコードが生じる。

$ADC_A$  と  $ADC_B$  は Sub-AD 変換器の比較値をずらしているため、 $ADC_A$  の上位 4 ビットが“0000”のとき  $ADC_B$  の上位 5 ビット MSB<sub>B</sub> は“00000”から“00001”へ遷移するように上位ビットが交互に遷移する。この時に  $ADC_B$  ではミッシングコードが生じる。したがって  $ADC_A$  を理想の直線として参照し、 $ADC_B$  のミッシングコードを測定する。同様に  $ADC_A$  の MSB<sub>A</sub> が遷移するときのミッシングコードを測定することができる。最後に各上位ビットに対して測定したミッシングコードを、 $ADC_A$ 、 $ADC_B$  の出力コードに減算することでミッシングコードを補正する<sup>(9)</sup>。

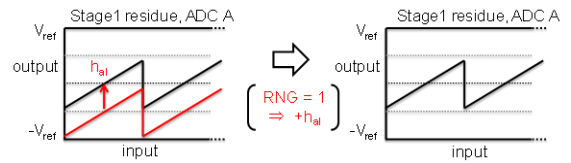


図 8 2つの残差波形から1つの残差波形の生成。

Fig.8 Translation of two residue curves into one residue curve.

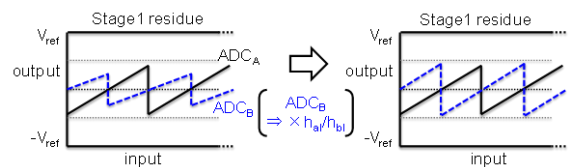


図 9  $ADC_A$  と  $ADC_B$  の傾きの補正。

Fig.9 Gain mismatch correction between  $ADC_A$  and  $ADC_B$ .

## 4. バックグラウンド自己校正回路の構成

バックグラウンド自己校正回路を用いたパイプライン AD 変換器の全体構成を図 10 に示す。また図 11 には Split AD 変換器で構成したアナログ回路部の詳細図を示す。 $ADC_A$  と  $ADC_B$  に分かれており、それぞれ有効分解能が 3 ビットのステージ 1、ステージ 2 からステージ 9 までは 1.5 ビットのステージ、最後のステージは 3 ビットのフラッシュ AD 変換器の構成である。ステージ 1 の段間アンプは開ループアンプを用いて 8 倍を実現している。またサブ AD 変換器は 5 ビットのフラッシュ AD 変換器の構成となり、 $MDAC_A$  と  $MDAC_B$  にはそれぞれ比較値がずれた出力コードが入力される。これは残差波形をずらすことで  $ADC_A$  と  $ADC_B$  のそれぞれの誤差を推定し補正するためである。本論文では、最も精度が要求されるステージ 1 の乗算型 DAC の容量ミスマッチ、オペアンプの有限ゲイン誤差、非線形性を考慮し、第 2 ステージから最後のステージまでは理想的な回路として近似して検討する。

後段の出力コードはデジタル自己校正ブロック 1 に入力され 3 次の非線形性を補正する。(図 12 参照) 4 通りの差  $d$  の平均値を 1 次の IIR フィルタを用いて移動平均値を求めて距離の平均値  $h$  を計算する。(図 14 参照) 積算器を用い

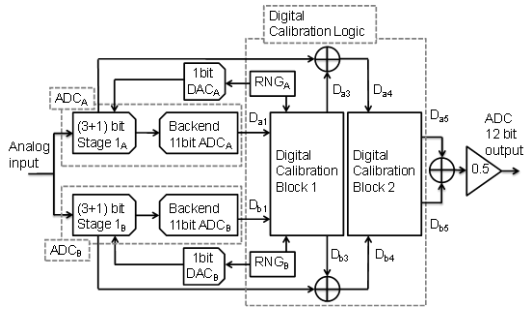


図 10 ADC の全体構成図。  
Fig.10 Whole ADC topology.

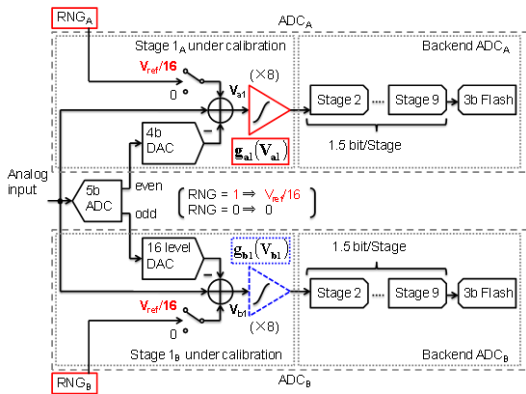


図 11 AD 変換器のアナログ回路部。  
Fig.11 Analog portion of ADC topology.

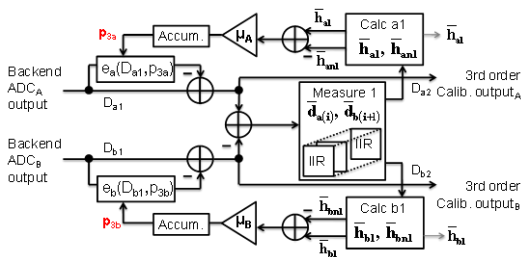


図 12 デジタル自己校正ブロック 1-1。  
Fig.12 Digital calibration block1-1.

て LMS(Least Mean Square)ループを構成し、LUT(Look Up Table)には非線形性の逆関数  $e$  の値を用いて、非線形の影響が大きいときの距離  $h_{nl}$  を非線形性の影響が小さい時の距離  $h_l$  に近づけるように差を 0 に収束させる。この時の 3 次の補正係数を  $p_3$  として、収束させている。その後、残差波形においてランダム信号が“1”の時にオフセット分の距離  $h$  を減算することで 1 つの残差波形に戻す。さらにステージ 1A とステージ 1B の残差波形の傾きを等しくするために、ステージ 1B の残差波形に係数  $h_{al}/h_{bl}$  を乗算し傾きのミスマッチを補正する。(図 13 参照)

最後に有限ゲイン誤差、容量ミスマッチを補正するためにデジタル自己校正ブロック 2 にデジタル自己校正ブロック 1 の出力コードを入力する。ADC\_A と ADC\_B の差  $\Delta$  を計算し、IIR フィルタを用いて移動平均値を計算する。差  $\Delta$  の

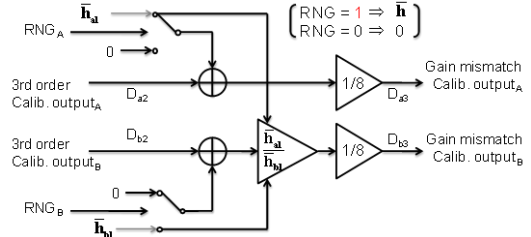


図 13 デジタル自己校正ブロック 1-2。  
Fig.13 Digital calibration block1-2.

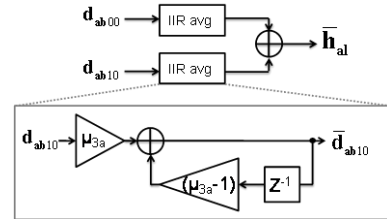


図 14 デジタル自己校正ブロック 1 で用いられる IIR フィルタのブロック図。  
Fig.14 IIR filter blocks used in digital calibration block1.

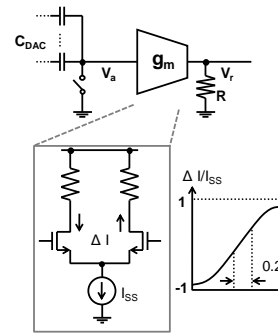


図 15 開ループアンプの構成例。  
Fig.15 Example of open loop amplifier.

平均値からミッシングコードが求められ、各 MSB に対して出力コードに減算することで、ミッシングコードを補正することができる<sup>(3)</sup>。よって補正後の ADC\_A と ADC\_B の出力コードの平均値を計算し 12 ビットの出力コードを得る。

## 5. シミュレーションによる自己校正法の有効性の確認

ここでは MATLAB シミュレータを用いて、数値計算で自己校正法の確認を行う。シミュレーション条件は、12 ビット 10MS/s のパイプライン AD 変換器を目標とし、初段の誤差を考慮した。開ループアンプの非線形性は以下の式で近似した<sup>(1)</sup>。

$$g_a(V_a) = V_r = g_m R \cdot \left[ \left( \frac{V_a}{V_{ref}} \right) - \frac{1}{8} \left( \frac{V_{ref}}{V_{ov}} \right)^2 \left( \frac{V_a}{V_{ref}} \right)^3 \right] \quad (2)$$

ここで開ループアンプが差動回路で構成されており、トランジスタのミスマッチが非常に小さいと仮定して二次の

係数を省略している。参照電圧  $V_{ref}$  を 1 V、ゲートオーバードライブ電圧  $V_{ov}$  を 0.25V とし、ステージ 1A のアンプの  $g_m R$  を 7.5、ステージ 1B のアンプの  $g_m R$  を 7.6 と設定した。また初段の乗算型 MDAC の容量ミスマッチを標準偏差で 2% を考慮した。デジタル自己校正ブロック 1 の LMS ループのステップゲイン  $\mu$  を 1/8192、IIR フィルタのゲイン  $\mu_3$  を 1/512 に設定しデジタル自己校正ブロック 2 の IIR フィルタのゲイン  $\mu_1$  を 1/1024 に設定しシミュレーションを行った。

図 16 は入力周波数が約 625kHz を想定した時の出力データの FFT 結果である。補正なし、有限ゲイン誤差と容量ミスマッチの補正、有限ゲイン誤差と容量ミスマッチと非線形性の補正の場合をプロットした。補正なしの場合 SNDR が 50.4dB に対して、全て補正した場合は SNDR が 73.9dB となり有効分解能 12bit を実現できることが確認できた。また DNL、INL についても同様の条件で図 17 に示した。補正前の INL のピーク値は +7.2LSB、-4.5LSB であるが、全て補正することで INL と DNL を  $\pm 0.5LSB$  以内に収めることができた。最後に図 18 には 3 次の補正係数の収束状況と、LMS ループ内の平均二乗誤差(MSE : Mean Square Error) の変化を示した。約  $6 \times 10^5$  サンプル点で MSE が -60dB 以下となりバックエンドの AD 変換器が 10 ビット以上の精度を得た。また平均化回路についても、約  $6 \times 10^5$  サンプル点以下で収束した。10MS/s の場合、収束時間は約 0.06 秒であった。

## 6. まとめ

パイプライン AD 変換器で最も精度が必要となる初段のオペアンプを、開ループアンプを用いることで低消費電力化、高速化を目標とした。このときに生じる開ループアンプの非線形性、有限ゲイン誤差、また乗算型 MDAC の容量ミスマッチを補正するためにバックグラウンド自己校正法を提案した。パイプライン AD 変換器に Split AD 変換器構成を適用し、提案したバックグラウンド自己校正法の有効性を MATLAB シミュレーションで確認した。収束時間は 10MS/s で約 0.06 秒となり、収束時間の短縮を実現した。

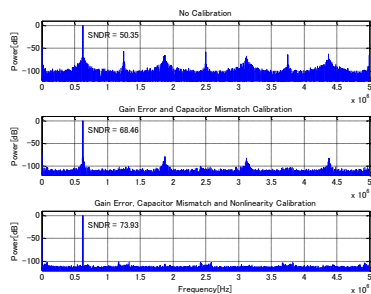


図 16 ADC 出力データの FFT によるパワースペクトラム。

Fig.16 ADC output power spectrum by FFT.

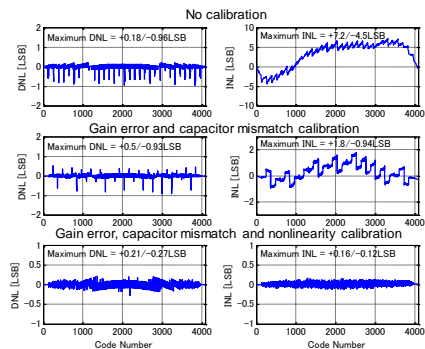


図 17 ADC の出力データの DNL と INL.  
Fig.17 DNL and INL of ADC output.

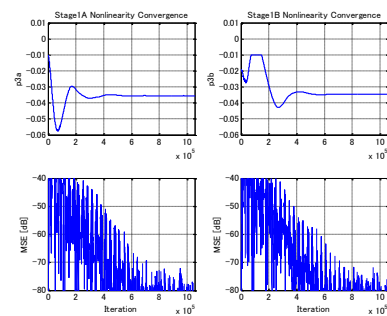


図 18 3 次の補正係数の収束と LMS ループ内の平均二乗誤差。  
Fig.18 Convergence of 3<sup>rd</sup> order coefficient and mean square error in LMS loop.

表 1 ADC の性能表。

Table 1. Summary of ADC performance.

	No calibration	Gain error and C mismatch calibration	Gain error, C mismatch and Nonlinearity calibration
INL [LSB]	+7.2/-4.6	+1.8/-0.94	+0.16/-0.12
DNL [LSB]	+0.18/-0.96	+0.5/-0.93	+0.21/-0.27
SNDR	50.4 dB	68.5 dB	73.9 dB

謝辞：有意義な御討論をいただきました、傘吳先生、今泉栄亀氏に謝意を表します。

## 文 献

- (1) B. Murmann and B. E. Boser : "Digitally Assisted Pipeline ADCs Theory and Implementation", Kluwer Academic Publishers (2004)
- (2) J McNeill, M.C.W. Coln, and B. J. Larivee : "'Split ADC' architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC", IEEE Journal of Solid-State Circuits, Vol.40, No.12 pp.2347-2445 (Dec. 2005)
- (3) I Ahmed and D. A. Johns : "An 11-Bit 45MS/s Pipelined ADC With Rapid Calibration of DAC Errors in a Multibit Pipeline Stage", IEEE Journal of Solid-State Circuits, Vol.43, No.7 pp.1626-1637 (July. 2008)
- (4) B. Murmann and B. E. Boser : "A 12-bit 75-MS/s Pipelined ADC Using Open-loop Residue Amplification", IEEE Journal of Solid-State Circuits, Vol.38, No.12 pp.2040-2050 (Dec. 2003)