

デジタルアシスト・ アナログテスト技術

ナノCMOS時代のアナログ回路テスト技術

群馬大学大学院 電気電子工学専攻
小林春夫 山口隆弘

k_haruo@el.gunma-u.ac.jp

発表内容

1. はじめに
2. ミックスド・シグナルSoCのテスト
3. アナログ回路部テストの問題点
4. アナログ回路のテスト容易化技術
5. デジタルアシスト・アナログ技術
6. デジタルアシスト・アナログテスト技術(1)
7. デジタルアシスト・アナログテスト技術(2)
8. まとめ

発表内容

1. はじめに
2. ミックスド・シグナルSoCのテスト
3. アナログ回路部テストの問題点
4. アナログ回路のテスト容易化技術
5. デジタルアシスト・アナログ技術
6. デジタルアシスト・アナログテスト技術(1)
7. デジタルアシスト・アナログテスト技術(2)
8. まとめ

プロローグ 1

低電源電圧でのアナログCMOS

2000年8月

半導体メーカー 研究所訪問

0.35 μ m CMOS, 3V の時代

研究所長さん

「CMOS微細化が進み

電源電圧がやがて1V近辺になると

アナログ回路設計が

難しくなってくるのではないか。」

プロローグ 2

なぜ RF CMOSか

携帯電話の送受信回路が
CMOS1チップ化

日本セットメーカー関係者

- RF CMOS の重要な点は、
バイポーラRF 回路をCMOS で置き換える
ことではない。
- RF回路もCMOS化することで
デジタル、ベースバンドアナログ(ADC等)と
1チップ化できることが最大のメリット。
- **1990年代前半**に米国ファブレス・メーカーから
提案された。

RF CMOS は高周波技術だけでは 産業化できなかった

1990年代前半

日本メーカー:

CMOSは特性ばらつきが大きく産業化難。

Abidi 先生(UCLA):

米国FablessメーカーがRF CMOSを製品化。

CMOS特性のばらつき大を

デジタル補正技術を開発して

歩留まり90%以上に。

「従来のRF研究者は何もわかっていない。」

プロローグ 3

デジタルアシスタナログ技術の テストの問題

ATEメーカー技術者

- 自己校正、冗長性による
デジタルアシスタナログ回路の
設計の立場からの議論はあるが、
そのテストの問題をいう人はいない。
- LSIテスト現場では
自己校正回路のテストの問題が顕在化してきている。

TI社のDigital Radio Processor

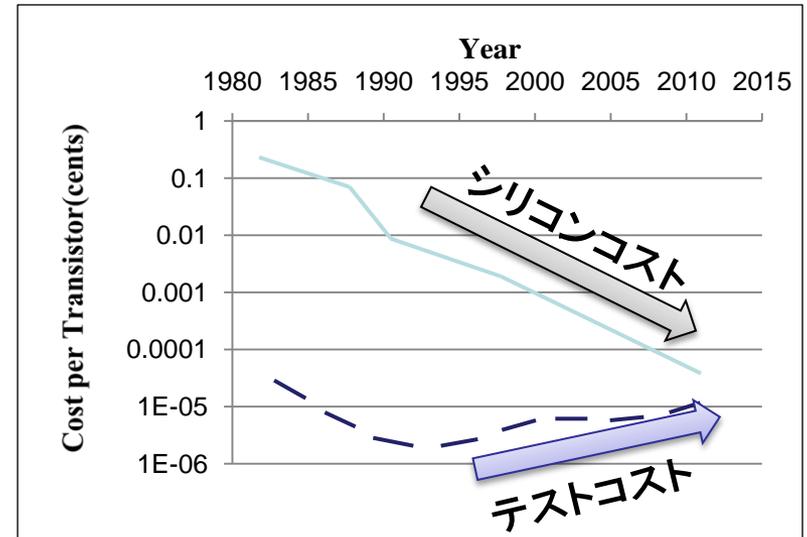
テスト容易化技術が多々使用されていることが
推測できる (E. Obaldia, IEEE VLSI Test Symp. 2010⁷)

発表内容

1. はじめに
2. ミックスド・シグナルSoCのテスト
3. アナログ回路部テストの問題点
4. アナログ回路のテスト容易化技術
5. デジタルアシスト・アナログ技術
6. デジタルアシスト・アナログテスト技術(1)
7. デジタルアシスト・アナログテスト技術(2)
8. まとめ

LSIテストはコストが最も重要な評価関数

- 微細化・高集積化でシリコンコストは低下、テストコストは増加。
- 「コスト」の概念はミクストシグナルSOCのテストの課題を明確にする。
- LSIテスト技術はすべて「コスト」に収束する。
- 故障診断（車載応用で重要）、歩留まり改善



「テスト」と「測定」は異なる

- 製造出荷テスト: 100% エンジニアリング

“Go” or “No Go” の判定

例: DUT と “Golden Device” の性能比較でよい。

LSIテストは生産・製造技術である。

エンジニアリングセンスが必要。

LSIテストは低コストでなければならない

- 測定 : 50% サイエンス, 50% エンジニアリング

正確な性能評価

LSIテストのマネージメント戦略

- 戦略1：
アナログDFT, BIST を開発し
低コストATEを用いてテストコスト削減
- 戦略2：
高性能ミクスシグナルATEと
そのノウハウを用いて、
素早くLSIを市場投入して利益を得る

DFT: Design for Testability

BIST: Built-In Self-Test

ATE: Automatic Test Equipment

LSIテスト技術 人的リソース

- 人の協力が重要

- 回路設計者
- テスト技術者
- ATE メーカー技術者
- 経営者
- 大学での研究者

- 例：回路設計者によるアナログBIST の受け入れ

- アナログテスト容易化技術の研究・開発は

LSIテスト技術に加えて

アナログ技術のバックグラウンド必要

低コストテスト

理想:

- 全てのチップが動作. テストしない

実際:

- 低コスト ATEを使用
- テスト時間が短い
- 同時に多数個のチップを並列テスト
- DFT, BISTの開発期間短く、チップ面積小

低コストATE

- **デジタル ATE**
 - 任意波形発生器 (AWG) 等のアナログオプションを使用しない
 - 入出力ピンがデジタル
- アナログATEのデジタルATEへの置き換え
 マルチサイトテストが可能になる
- **中古ATE**
- **内製ATE**

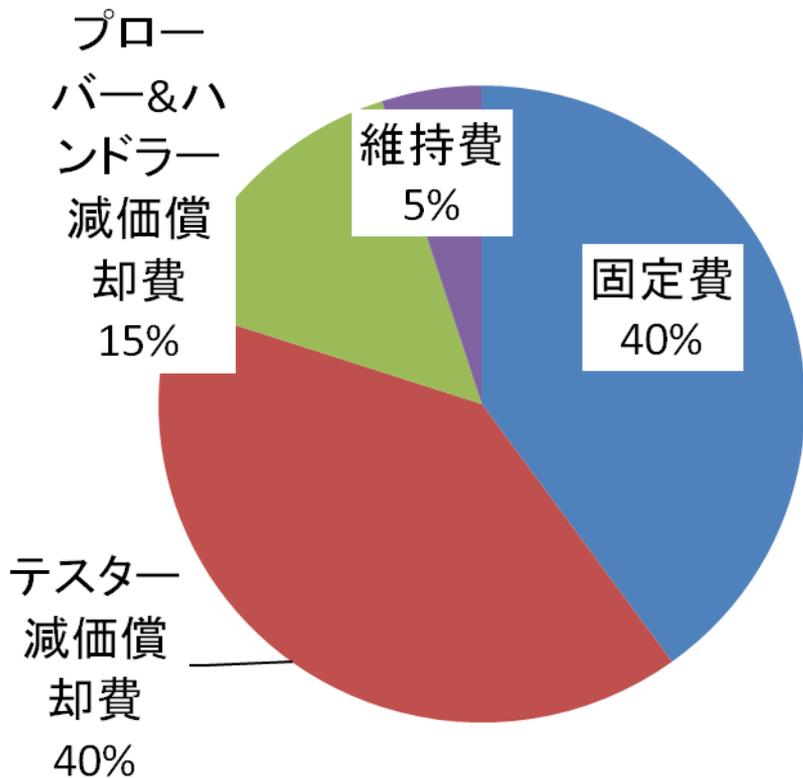
テスト時間が短いことは依然として重要

AWG: Arbitrary Waveform Generator

テストコスト低減にテスト時間は重要

テストコスト =

時間当たりテストコスト



X **テスト時間**

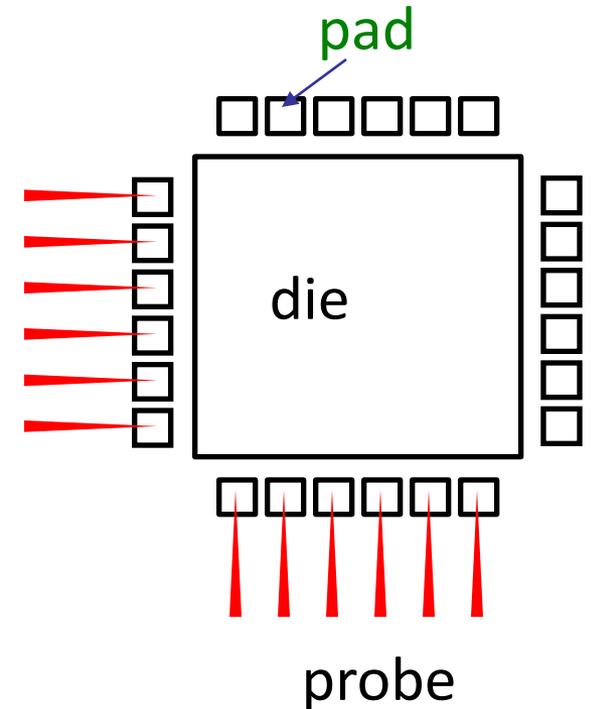
100円のチップで

1秒(以下)のテスト時間が妥当

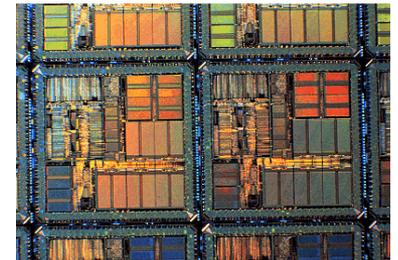
群馬大学非常勤講師
(元)アジレント・テクノロジー
山田庸一郎先生 資料

ウェーハーテスト

- パッケージ前のウェーハーテストは低コスト化につながる。
- プロービングの問題点
 - プロービングのオン抵抗
 - PADがダメージを受ける
 - ➡ MEMS プロブは問題軽減
 - 高周波信号のプロービングは高コスト
 - ➡ 歩留まり改善後に行わない。
 - 複数チップ同時のプロービングは難しい。
- 無線通信技術は接触なしのプロービング実現の可能性あり。



From Computer Desktop Encyclopedia
Reproduced with permission.
© 1996 Texas Instruments, Inc.



発表内容

1. はじめに
2. ミックスド・シグナルSoCのテスト
3. アナログ回路部テストの問題点
4. アナログ回路のテスト容易化技術
5. デジタルアシスト・アナログ技術
6. デジタルアシスト・アナログテスト技術(1)
7. デジタルアシスト・アナログテスト技術(2)
8. まとめ

アナログ回路テストの問題

- 汎用的テスト容易化手法がない

cf. デジタルのテスト容易化:

スキャンパス法、シグネチャアナリシス法

- **アナログ回路毎**

その性能指標毎に対応しなければならない。

例: ADCのテスト

DC線形性テスト → 高精度ランプ波発生

高周波特性テスト → 低クロックジッタ

高周波入力

- アナログ、RF, 高速IO, パワーマネージメントの
テスト容易化技術はそれぞれ異なる

アナログ回路テストの問題

- 実用的な故障モデル(fault model)がない
- 故障(catastrophic fault)だけでなく、
パラメトリック故障(基本動作はしているが性能足りない)
を検出する必要あり。

⇒ 「測定」に近い

Prof. A. Chatterjee 代替テスト (Alternative Test)

Specification-based ↔ Alternative ↔ Defect-based Test

仕様ベース
テスト

仕様ベースと等価
測定簡単なパラメータ

故障ベース
テスト

アナログDFT, BIST付加の問題

- 負荷容量等で回路性能劣化
- チップ面積(チップコスト)増加
- DFT, BISTの故障で歩留まり低下
- データ転送(シリアルデータでのシフトレジスタへのモード設定)時間が問題になり得る
- 被テストアナログ回路より
DFT, BIST への性能要求が厳しくなりがち

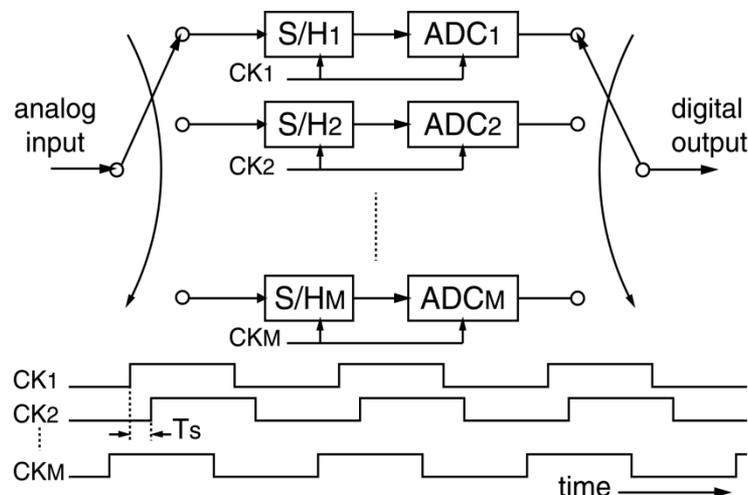
アナログDFT, BIST は簡単である必要あり

ミクストシグナルATEメーカー

- アナログDFT, BIST はミクストシグナルATEメーカーにも有益
- アナログ部の開発はコスト高
- ATEの開発には「今日の技術で明日の(高性能な)チップをテストする」のジレンマあり。革新的技術必要。



インターリーブ ADC は ATEで今日のADCを用いて超高速サンプリングを実現する



発表内容

1. はじめに
2. ミックスド・シグナルSoCのテスト
3. アナログ回路部テストの問題点
4. **アナログ回路のテスト容易化技術**
5. デジタルアシスト・アナログ技術
6. デジタルアシスト・アナログテスト技術(1)
7. デジタルアシスト・アナログテスト技術(2)
8. まとめ

アナログテスト容易化7つの定跡

- ① オーバーサンプリング ($\Delta\Sigma$ 変調技術)
- ② アンダーサンプリング技術
(等価時間サンプリング技術)
- ③ デジタル技術を多用
- ④ オンライン校正、自動ゼロ技術
- ⑤ 差動信号等、信号の差を利用
- ⑥ 被テスト回路内の冗長性を
テスト基準として使用
- ⑦ SOC内回路ブロックをテスト時に利用
(ループバックテスト等)

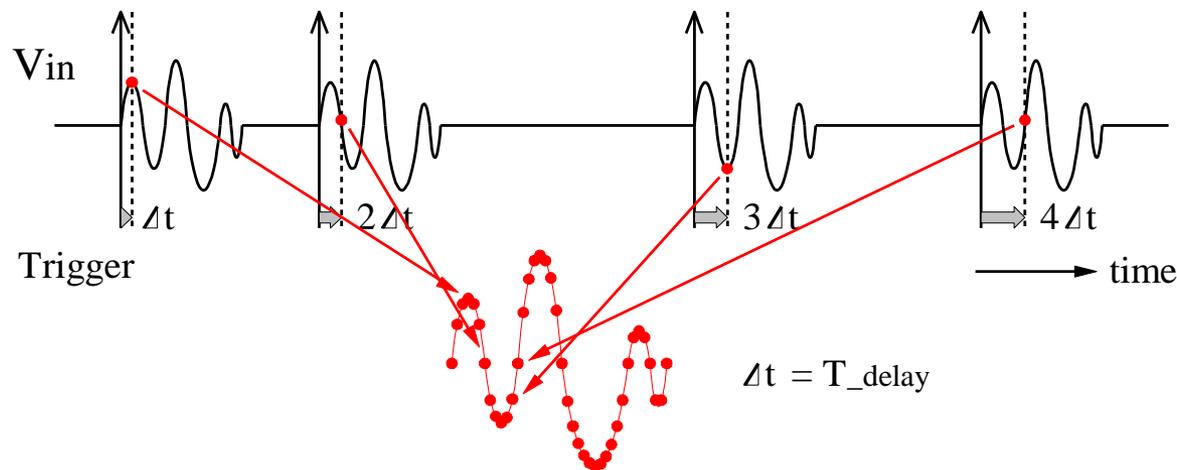
K. Arabi, Qualcomm 社
IEEE VLSI Test Symp2010
より

等価時間サンプリング技術

- 製造出荷時テスト:

LSI入力信号は制御可能(繰り返し信号)

→ 等価時間サンプリング使用可

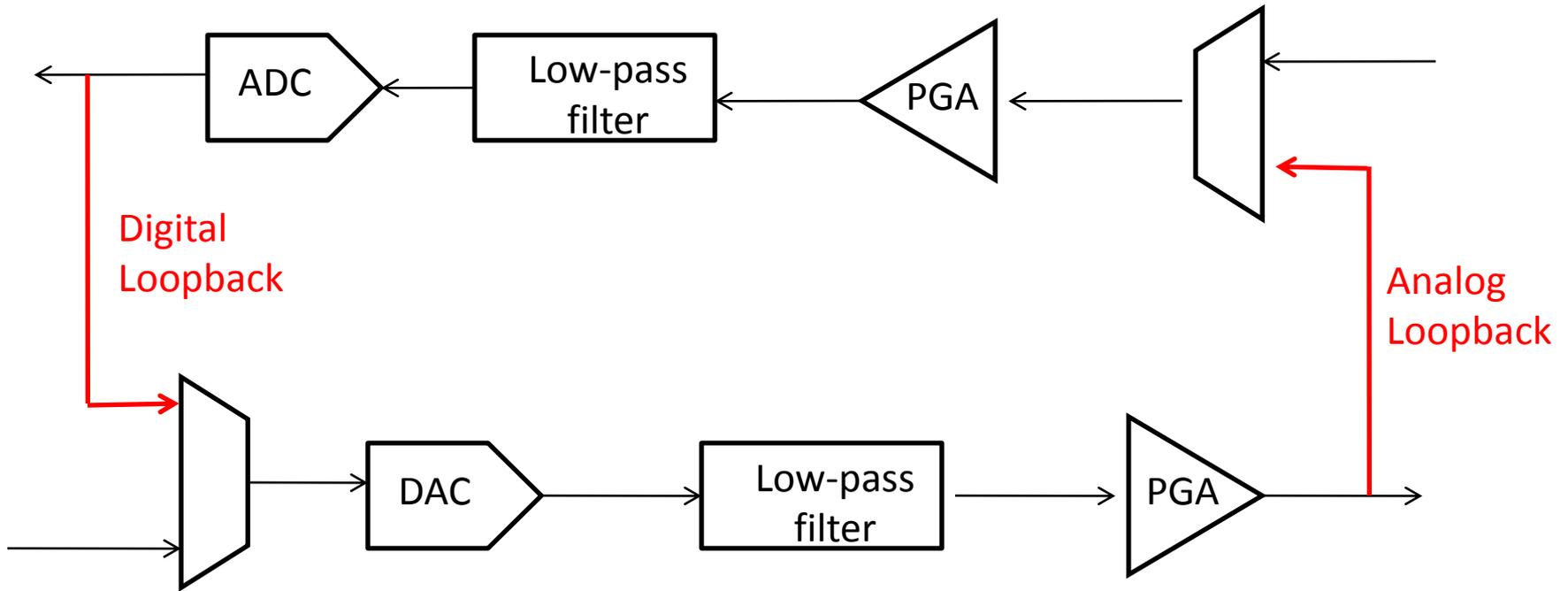


繰り返し波形の
波形再構成

- 測定: 入力信号は未知

等価時間サンプリングで高周波信号を低コスト・テストが可能

ループバックテスト

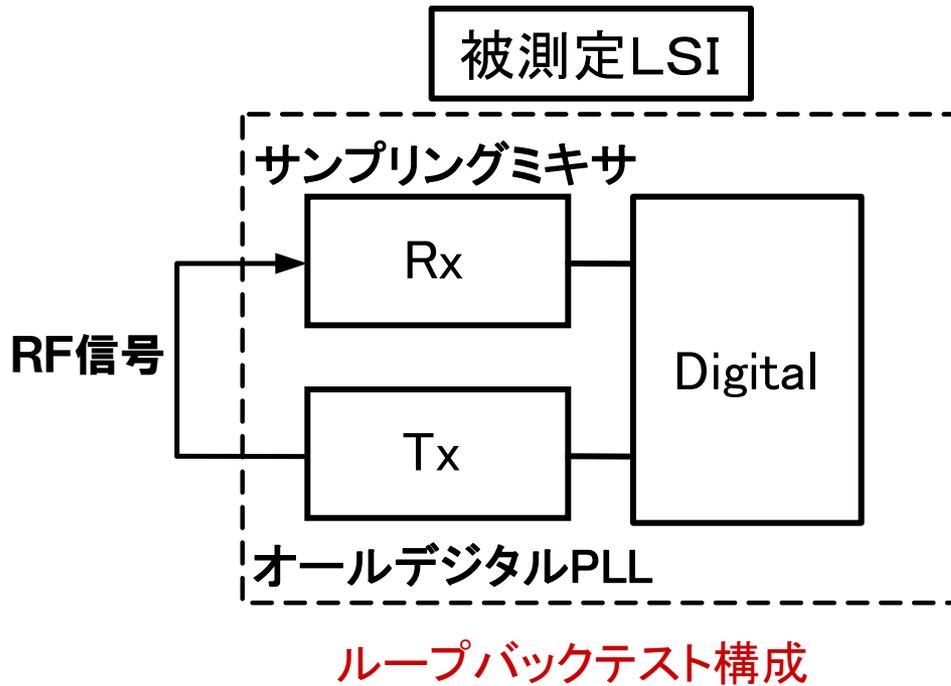


対称的な回路において使用できる

SOC内に
ADC, DAC
送信回路、受信回路を持っている場合等

群馬大学非常勤講師
(元)アジレント・テクノロジー
山田庸一郎先生 資料

携帯電話送受信機ICのテスト容易化

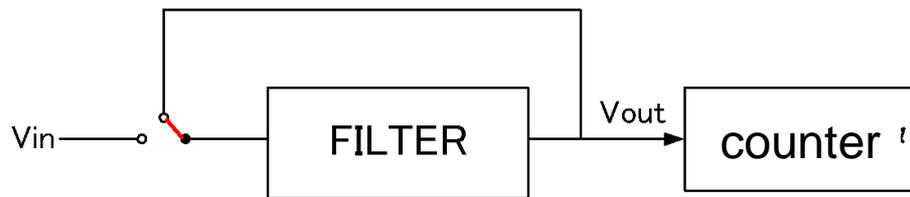


サンプリングミキサ受信機
ADPLL 送信機で
携帯電話送受信ICの
ループバックを可能に

- 携帯電話ではRx, Tx のキャリア周波数が異なる。
➡ 直接にはループバックが使用不可
- テスト時にRx, Tx のキャリア周波数を合わせ得る。

アナログ BIST の例

- 信号発生に $\Delta\Sigma$ 変調使用
- 時間領域アナログ信号処理
- アナログバウンダリスキャン
- 電源線を用いる
- テスト時に発振を利用(アナログフィルタ、オペアンプ)



- “可制御性”, “可観測性” は有用な概念.

アナログテスト技術の展開

- 個別アナログ回路のテスト容易化だけでなく、SOCシステム全体としてのテスト容易化設計が必要
 - 多くの側面の技術を用いる
 - 回路技術
 - BIST, BOST & ATEの協調
 - 信号処理
 - SOC 内のリソース
 - μP コア, メモリ, ADC/DAC
- 特に、SOC内のデジタル & ソフトウェアによるそのプログラマビリティを利用

BOST:
Built-Out Self-Test

発表内容

1. はじめに
2. ミックスド・シグナルSoCのテスト
3. アナログ回路部テストの問題点
4. アナログ回路のテスト容易化技術
5. **デジタルアシスト・アナログ技術**
6. デジタルアシスト・アナログテスト技術(1)
7. デジタルアシスト・アナログテスト技術(2)
8. まとめ

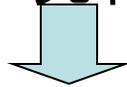
半導体プロセスと回路

— 目的と手段 —

「デジタルは半導体プロセス微細化のトレンドに適合。

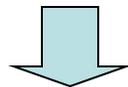
アナログは適しているとは限らない。」

半導体ロードマップの呪縛にかかった発想・表現



半導体プロセスの微細化はデジタルの低消費電力・
高速・高集積化・低コスト化のために行う。

デジタルでメリットなければ半導体微細化をする
理由なし。



微細化プロセスでもデジタルは必ず動く、
高性能・低コスト。

デジタルアシスト・アナログ技術

CMOS微細化にともない

→ デジタルは大きな恩恵

高集積化、低消費電力化、高速化、低コスト化

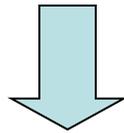
→ アナログは必ずしも恩恵を受けない

電源電圧低下、出力抵抗小、ノイズ増大

- 「デジタル技術を用いてアナログ性能向上する技術」が重要
- 「デジタルリッチ・アナログミニマムな構成」が重要
- SOC内 μ Controller はPAD程度のチップ面積

微細CMOSでアナログ高性能化

- 微細デジタルCMOS
- 4つの回路領域を全て用いる
- デジタルリッチ、高速サンプリング、時間領域
- 回路、設計手法、検証手法、テストをデジタル的に行う



More Moore
のアナログ

- 小チップ面積、低消費電力、高性能化
- 設計容易化
- プロセス・ポータビリティ、スケーラビリティ
- 初回の試作で動作
- プロセス開発と並行して回路設計可能
- 他のデジタル回路と集積化可能

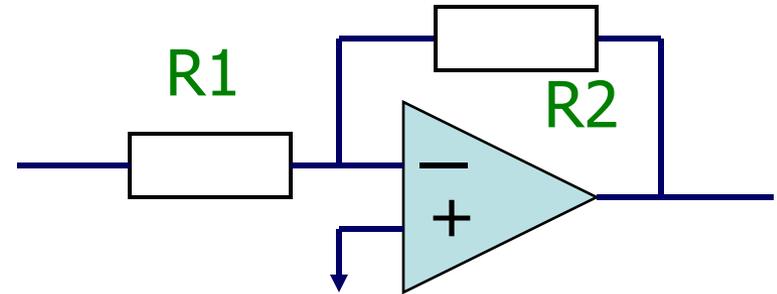
発表内容

1. はじめに
 2. ミックスド・シグナルSoCのテスト
- Negative な側面**
- デジタルアシストアナログ技術の
テストの問題が顕在化しつつある。
6. デジタルアシスト・アナログテスト技術(1)
 7. デジタルアシスト・アナログテスト技術(2)
 8. まとめ

ロバストな設計とテスト

ロバスト設計はテストを難しくする

- フィードバックはパラメータ変動の影響を抑圧する
- 自己校正と冗長性はCUTの欠陥を隠す
- バックグラウンド自己校正はその収束までに時間がかかるので、テスト時間が長い

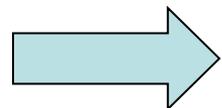


CUT: Circuit Under Test

デジタルアシスト技術とLSIテストの問題

LSIテスタ・メーカから指摘

「デジタル・アシスト・アナログ技術」

 設計パラメータ空間が広がる

内部に不良箇所があっても 補正され
LSIテスト(出荷検査)の際に「良品」と判定。

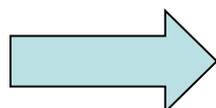
その欠陥が補正できるぎりぎりのとき、
市場で補正範囲を超え
動作不良となることあり。

自己校正技術

- フォアグラウンド自己校正

通常動作をストップして

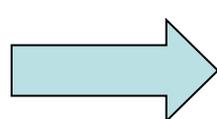
自己校正のための時間をもつ

 計測技術

- バックグラウンド自己校正

通常動作はストップしない。

自己校正はユーザからは全く見えない。

 適応制御技術

フォアグラウンド、バックグラウンド自己校正の
両者のアルゴリズムは全く異なる

- デジタル自己校正用メモリ値の値を観測してテストに利用
値を書き換えてテストに利用

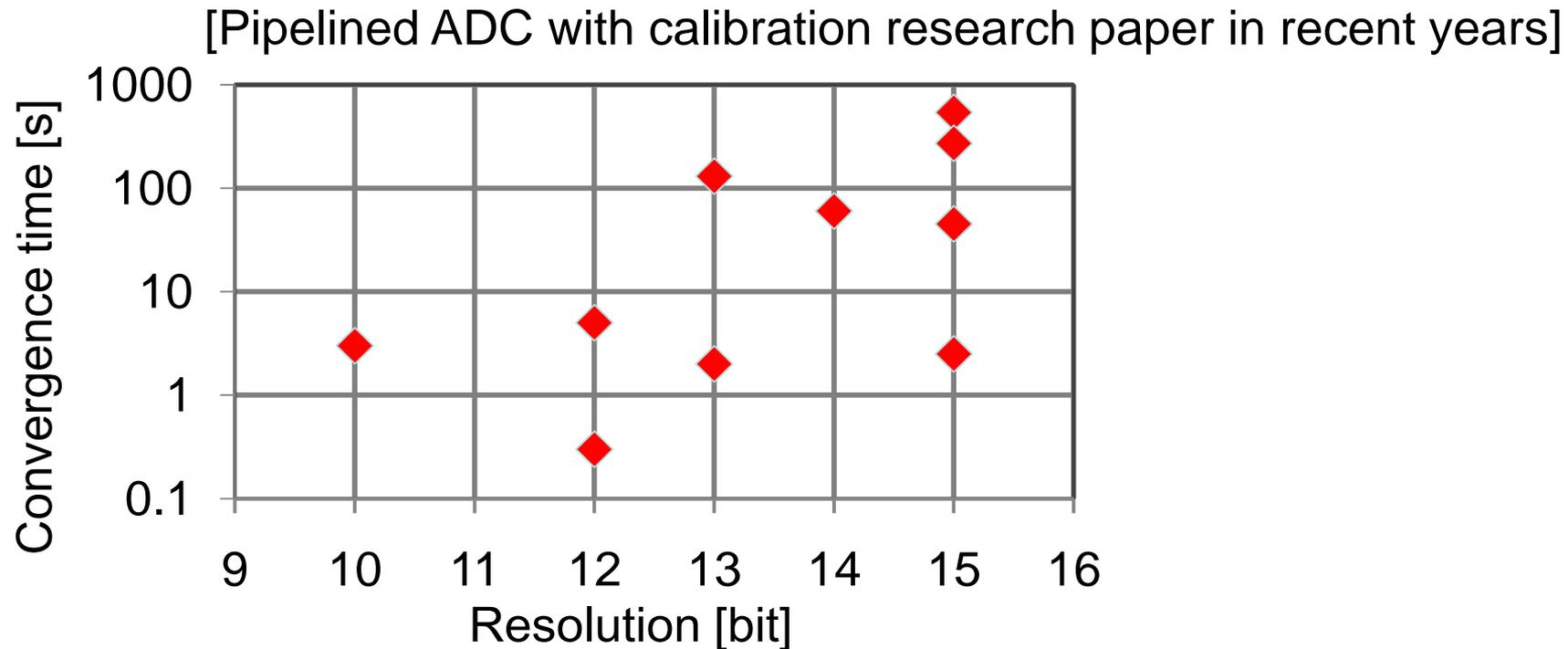
自己校正、誤差補正:

自己校正用メモリデータは
チップ使用時ユーザからは見えない。

テストの際には積極的に
内部状態を「観測」「制御」する。

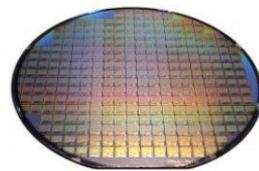
デジタルアシストアナログ回路のテスト

バックグラウンド自己校正時間 → 長い

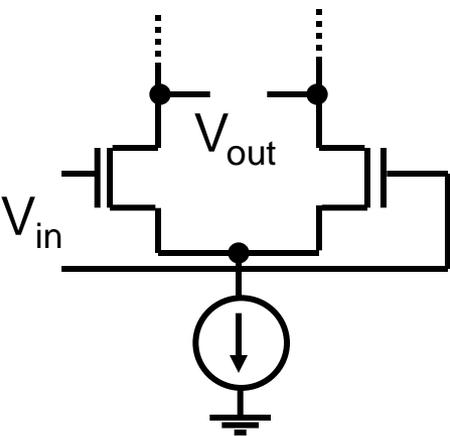


- **トータルテスト時間 = バックグラウンド自己校正時間 + 機能テスト時間**
- **長いテスト時間 → テスト時間増加**

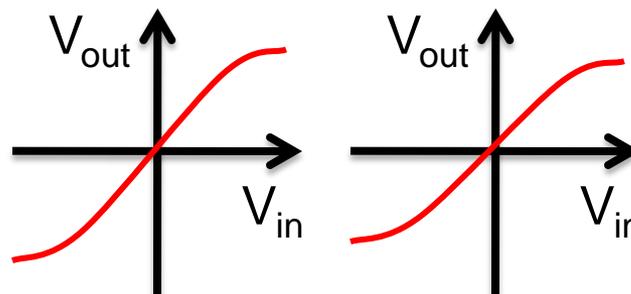
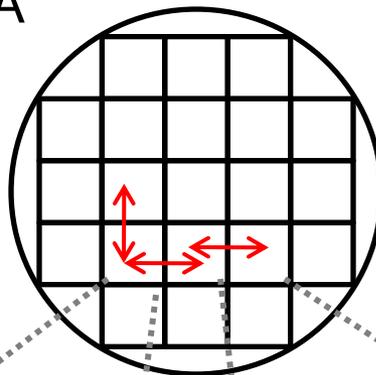
同一ウェーハー内チップ間の相関



Ex.)
Nonlinear Amplifier

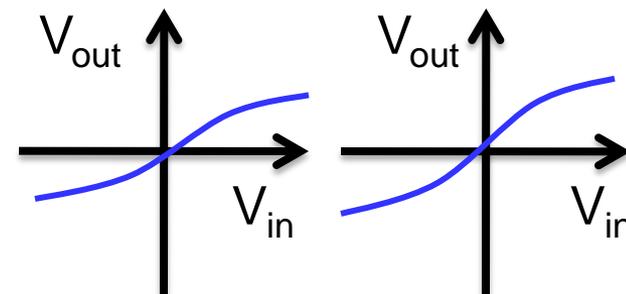
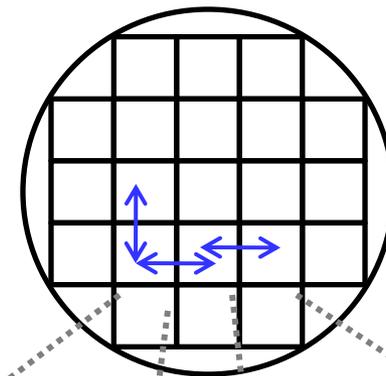


Wafer A



相関

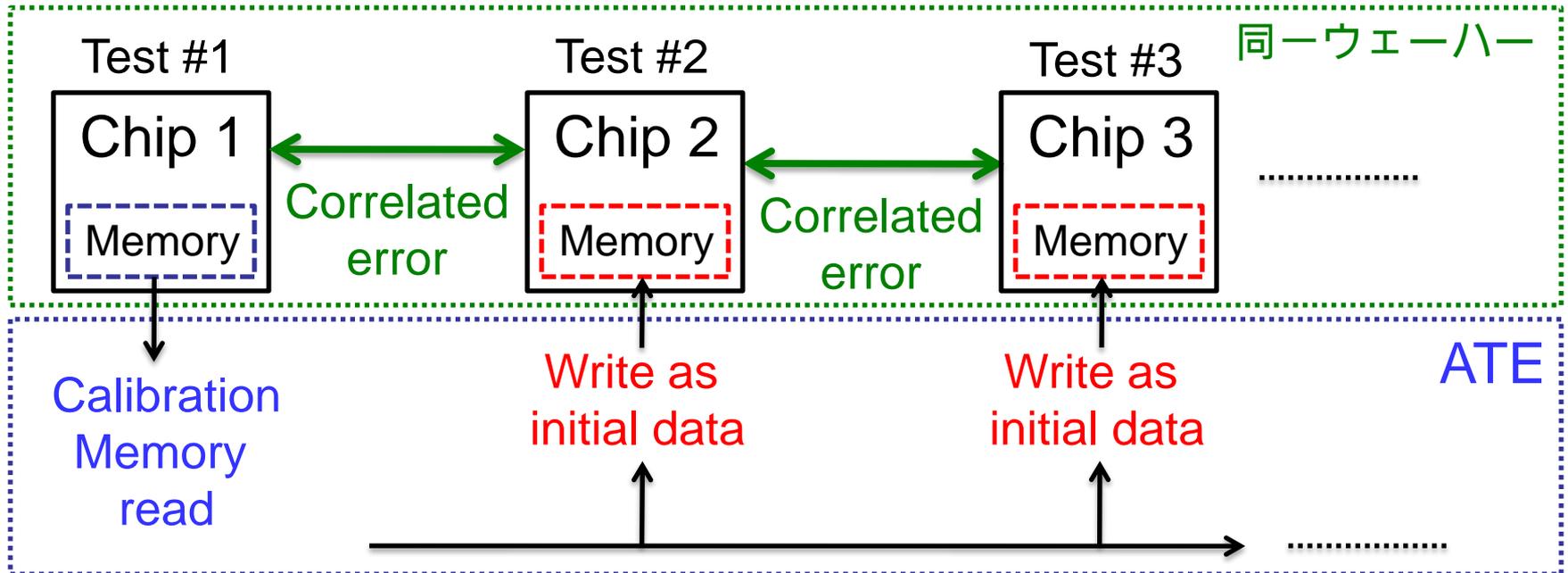
Wafer B



相関

- チップ間の強い相関を利用
- 同一ウェーハー内チップでは収束パラメータ値は近い値

テスト時の自己校正時間の短縮

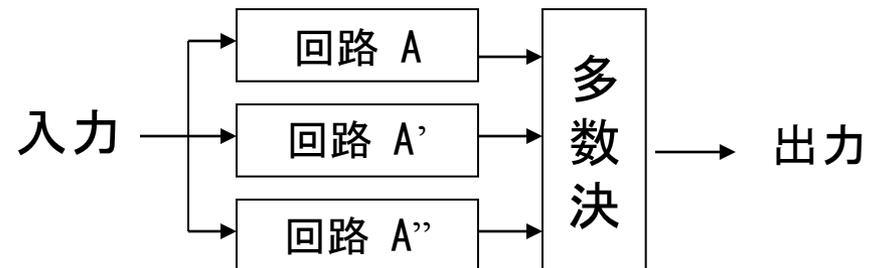


- ATE は自己校正収束データをchip 1から読む
- Chip2, 3, ... に初期値としてロードする.
- Chip2, 3... の自己校正は素早く収束する.

冗長性によるデジタル誤差補正

- 空間の冗長性と時間の冗長性
- 回路の非理想要因を許容して正解を出力。
- 非理想要因は計測しない。
- デジタル誤差補正技術により
 - 高信頼性化
 - 高速化
- 時間の冗長性を用いた
逐次比較近似ADC

cf. 空間の冗長性の例



逐次比較近似ADCの構成と動作

アナログ入力

Analog input u

コンパレータ
天秤
Comparator

S/H

サンプル
ホールド回路

Analog output

天秤の原理で動作

天秤がコンパレータ
分銅がDAC

SAR

SAR logic

Po1

Po2

Po3

Po4

1

2

3

4

Clock

SAR 論理回路

MSB

LSB

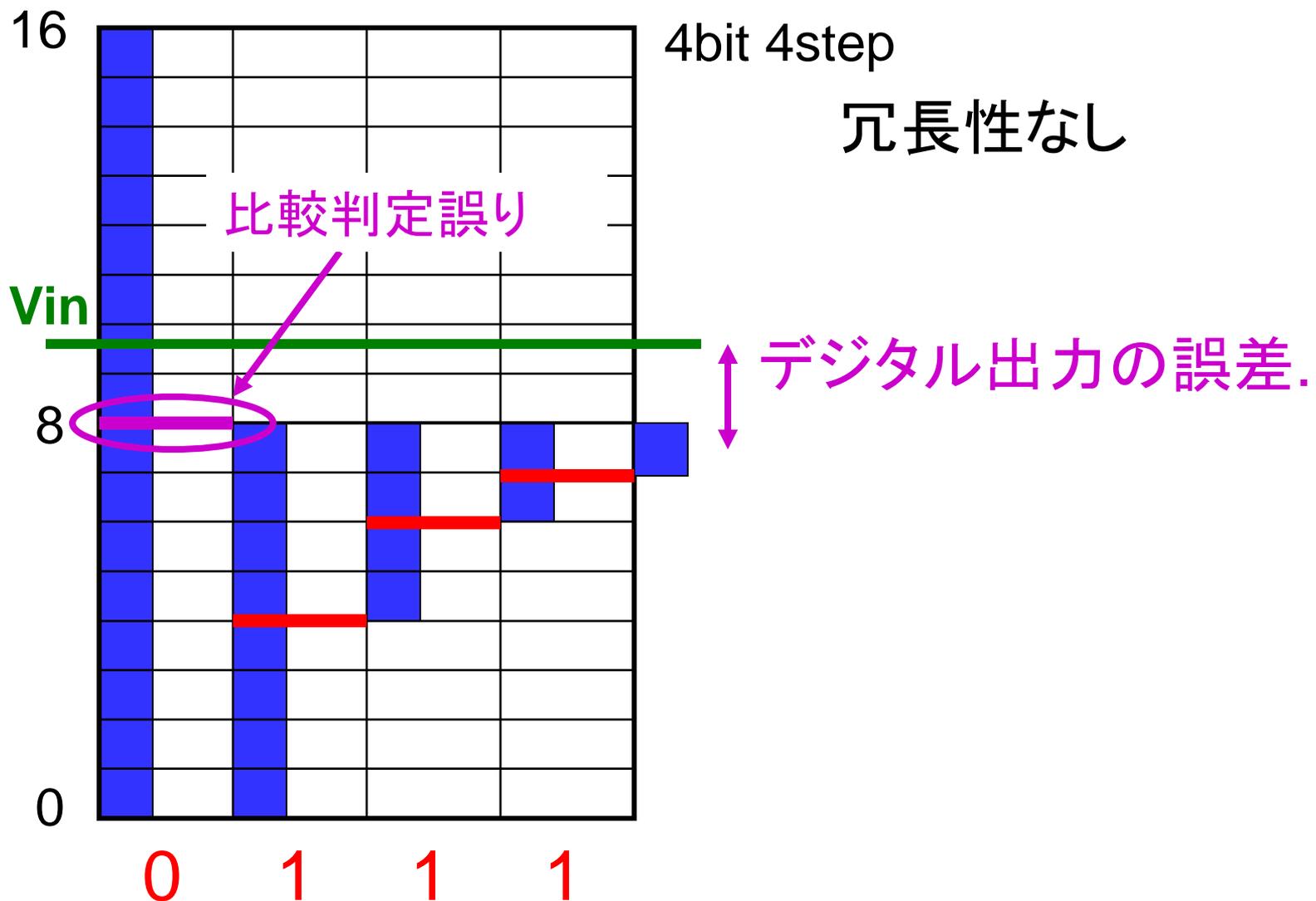
Digital output

デジタル出力

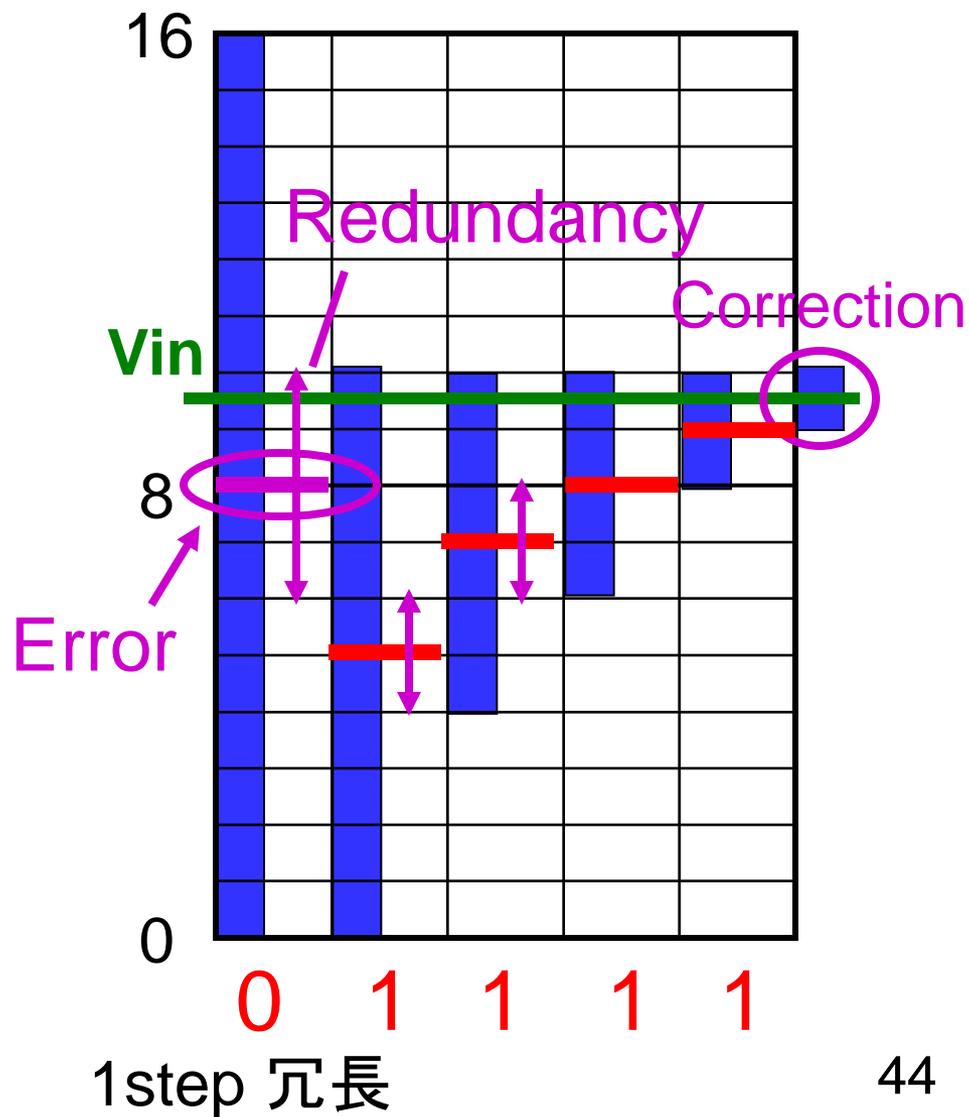
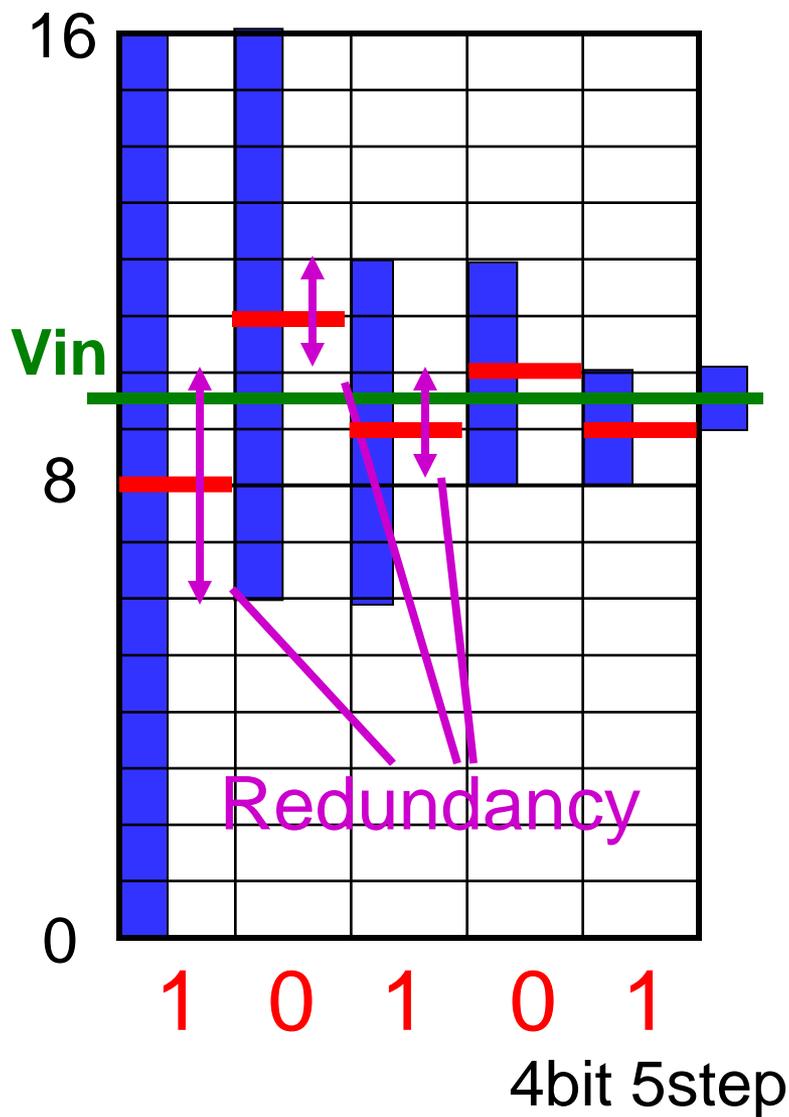
DAC

DA変換器
分銅

2進探索アルゴリズムの問題



冗長非2進探索アルゴリズム



デジタル誤差補正の原理

“9” の表現

2進表現

No error correction

Comparator output : **1 0 0 1** ← Only one

$$\text{Dout} = 8 + 4 - 2 - 1 + 0.5 - 0.5 = 9$$

冗長表現

error correction

Comparator output : **1 0 1 0 1** ← Multiple

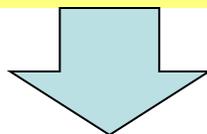
$$\text{Dout} = 8 + 3 - 2 + 1 - 1 + 0.5 - 0.5 = 9$$

Comparator output : **0 1 1 1 1**

$$\text{Dout} = 8 - 3 + 2 + 1 + 1 + 0.5 - 0.5 = 9$$

非2進SAR ADC のテスト

- 非2進SAR ADCで、
比較器判定誤りの耐性テストは難しい。



- 提案するBISTはこの耐性テストを実現。

- 出力パターンは複数

“9” の表現

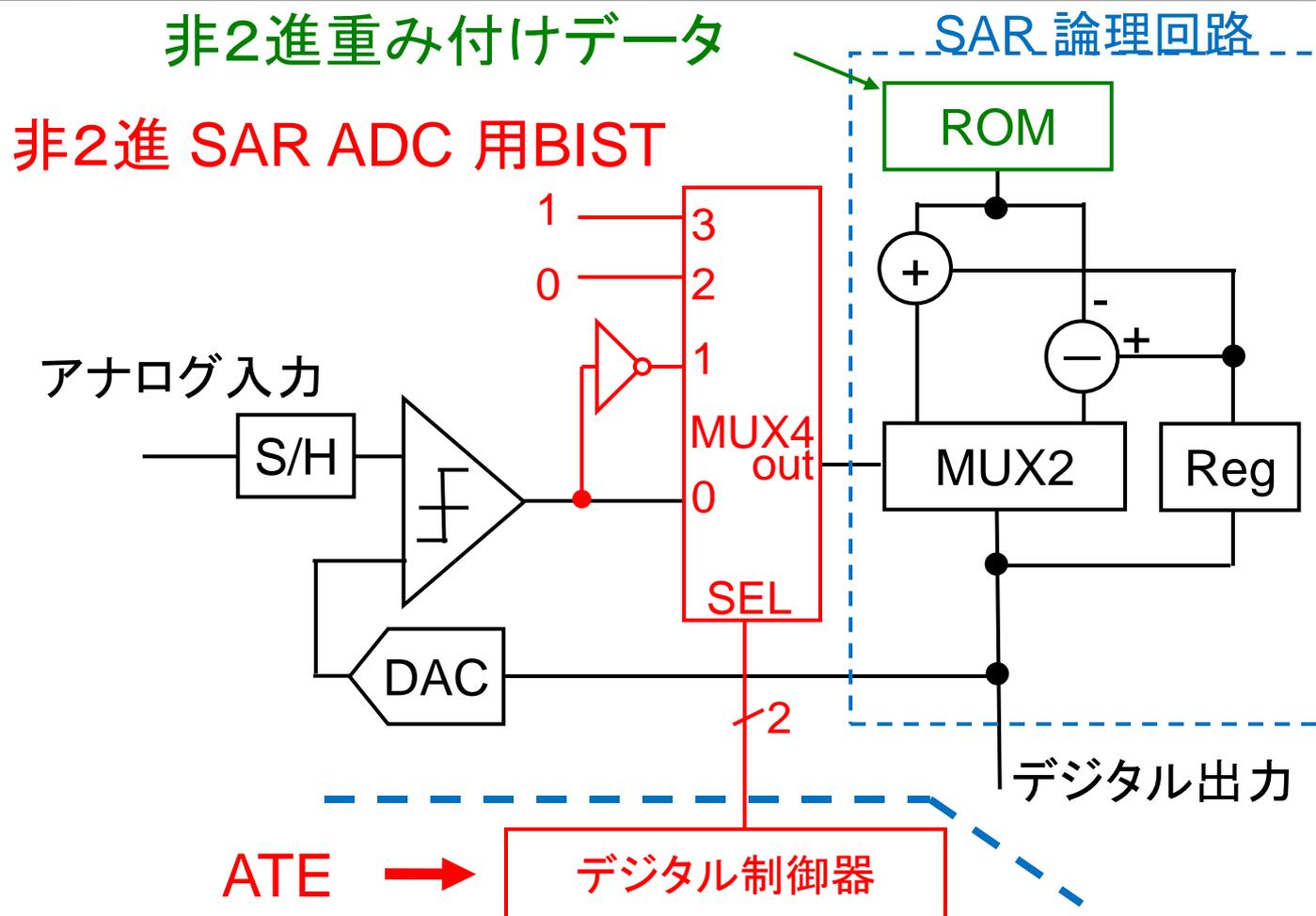
Error

{ **0** 1 1 1 1 : コンパレータ誤り経路

{ 1 **0** 1 0 1 : 正しい経路

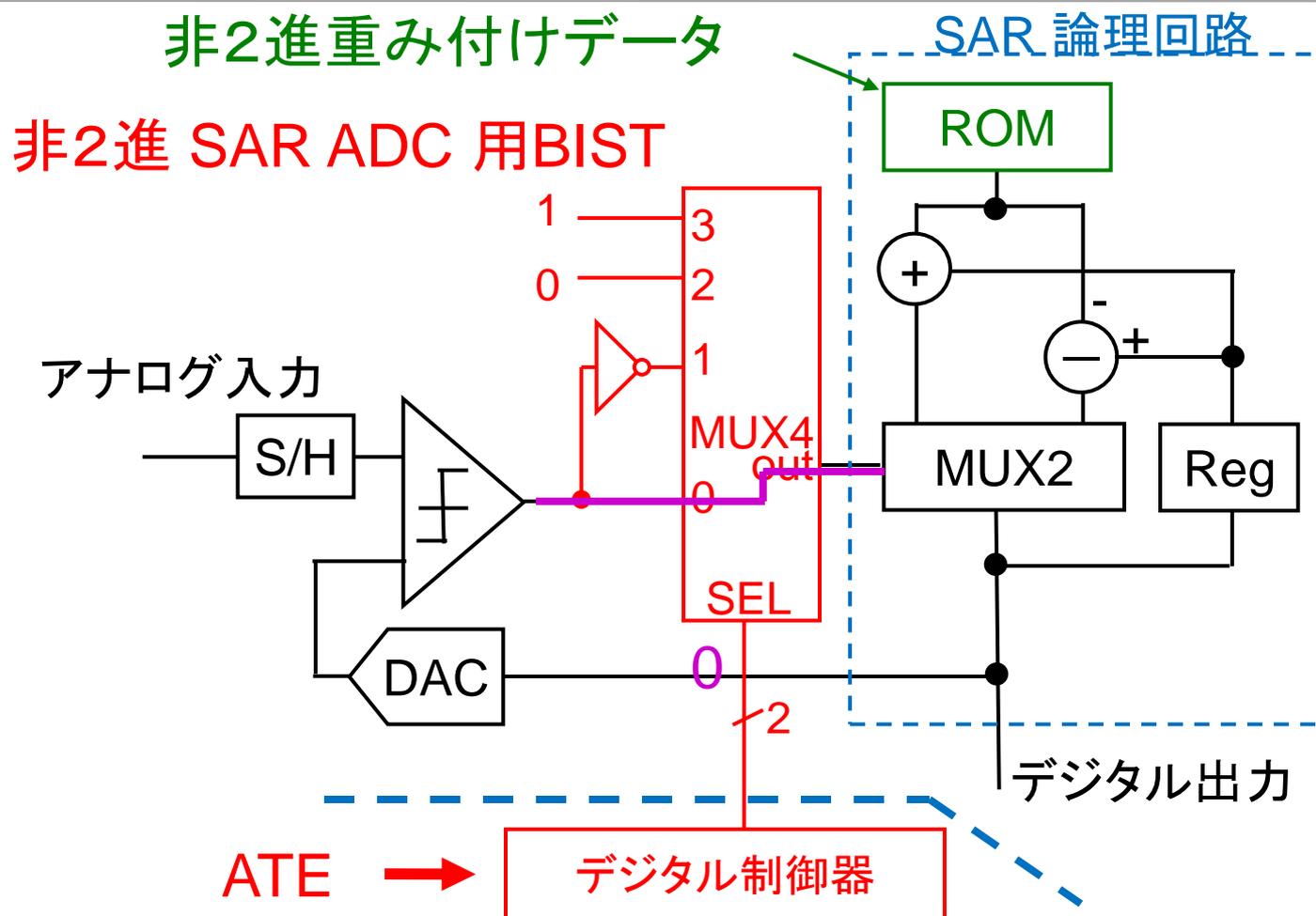
制御できない

非2進 SAR ADC とBIST



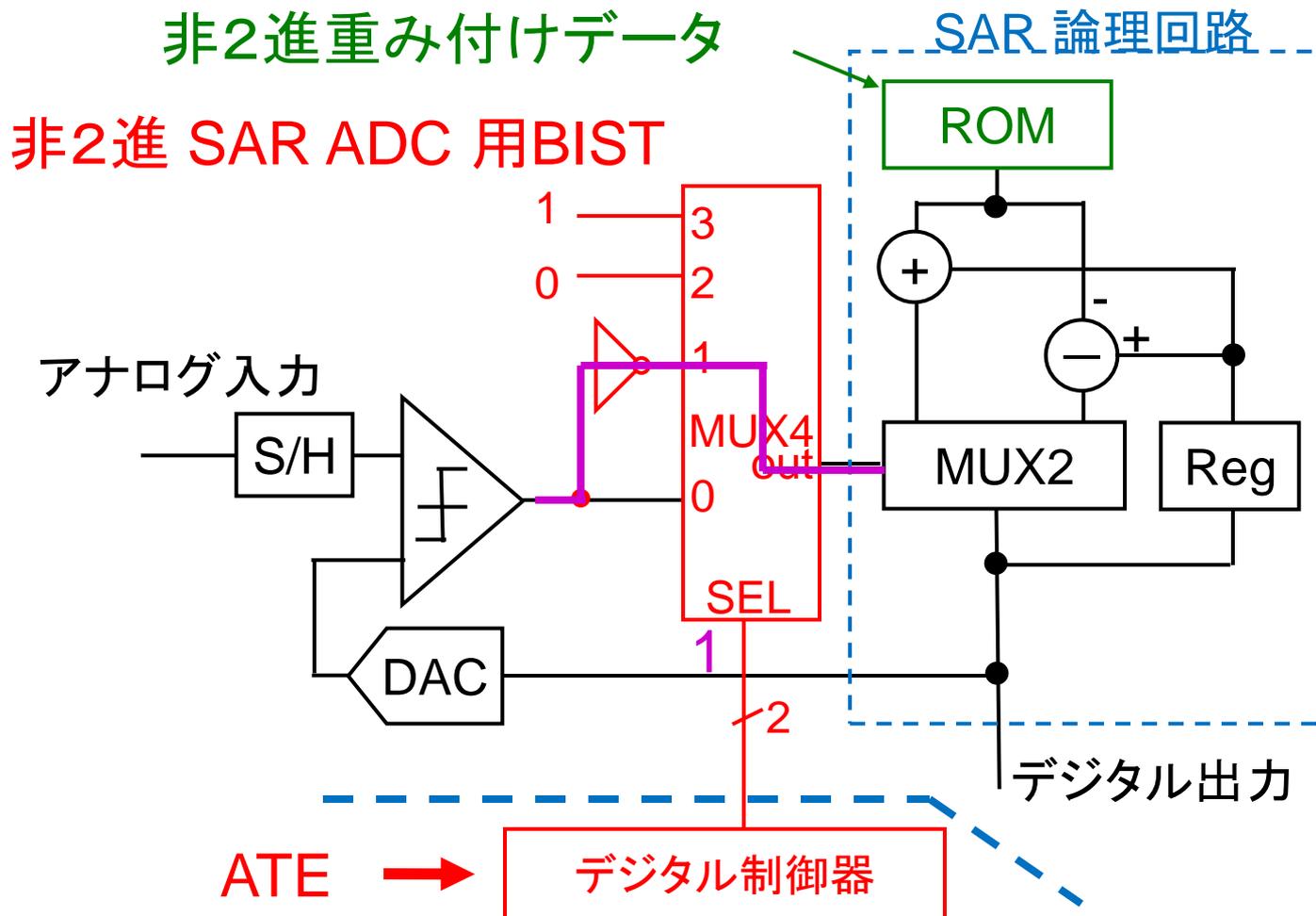
ATE よりデジタル制御信号を与える

非2進 SAR ADC とBIST



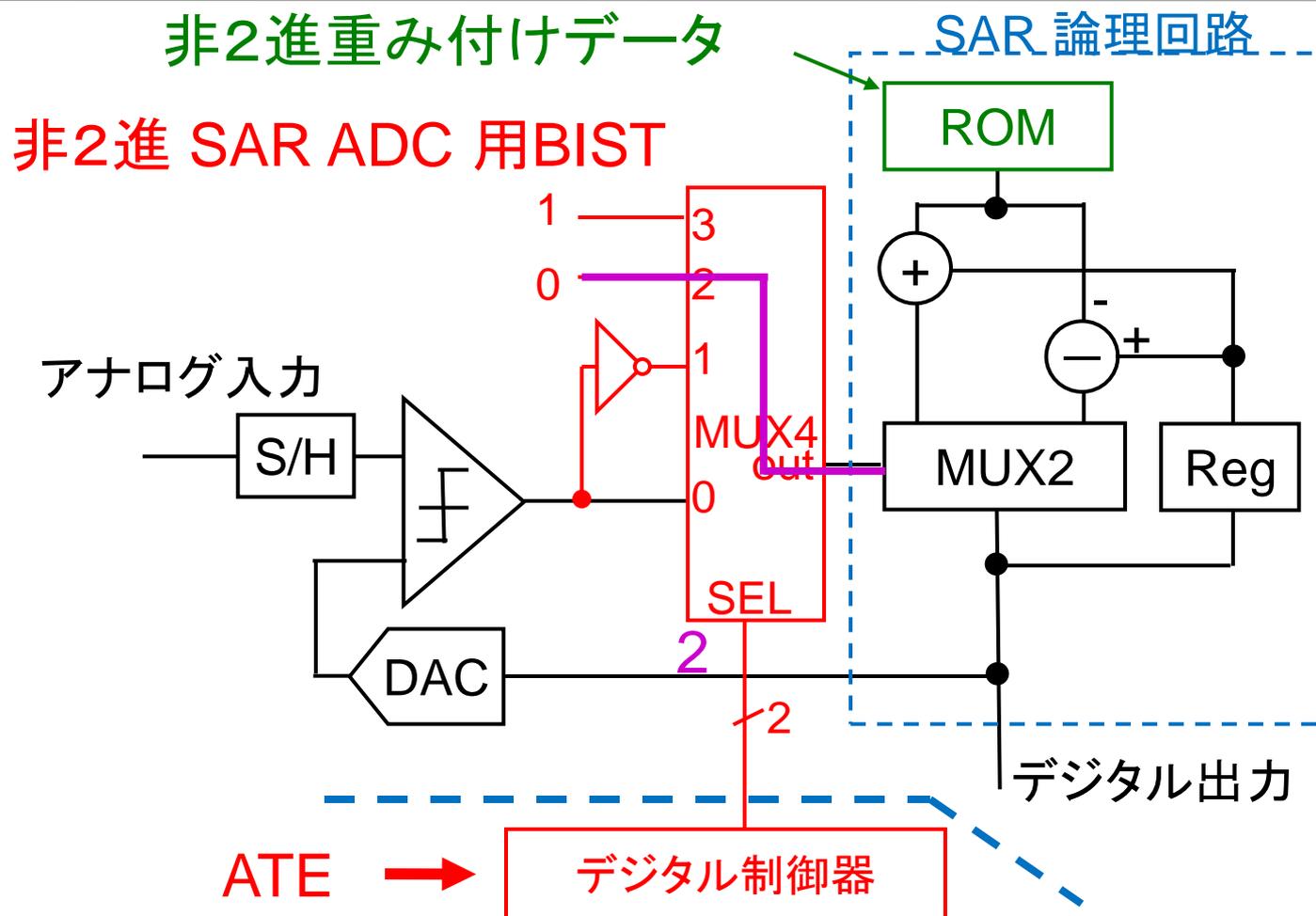
ATE よりデジタル制御信号を与える

非2進 SAR ADC とBIST



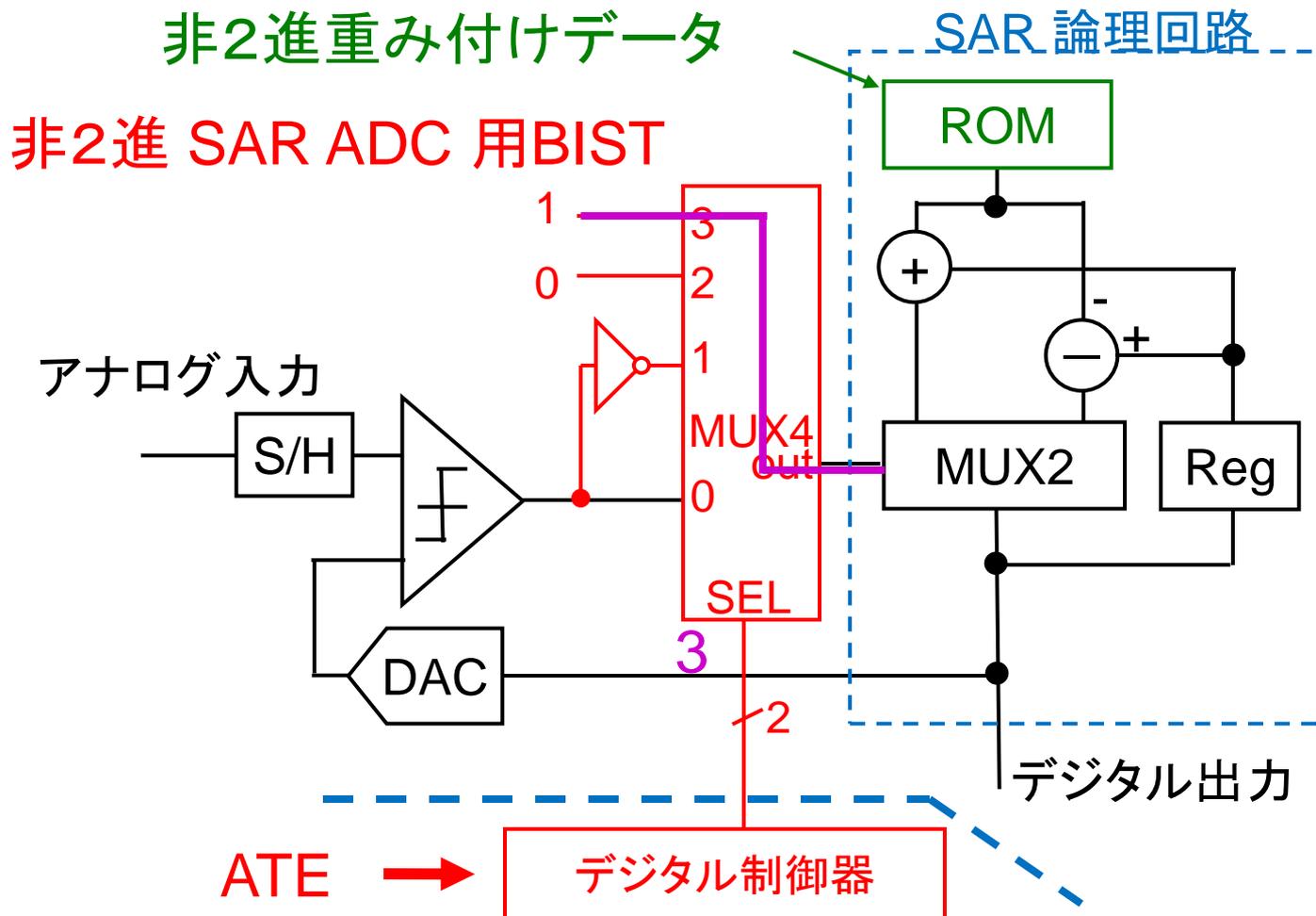
ATE よりデジタル制御信号を与える

非2進 SAR ADC とBIST



ATE よりデジタル制御信号を与える

非2進 SAR ADC とBIST



ATE よりデジタル制御信号を与える

発表内容

1. はじめに
2. ミックスド・シグナルSoCのテスト
3. アナログ回路部テストの問題点

Positive な側面

デジタルアシストアナログ技術を

テストに積極利用

頁(1)

7. デジタルアシスト・アナログテスト技術(2)
8. まとめ

時間領域アナログ回路

- CMOSの微細化、電源電圧の低下

$V_{dd} \rightarrow$ 小 (1V以下)

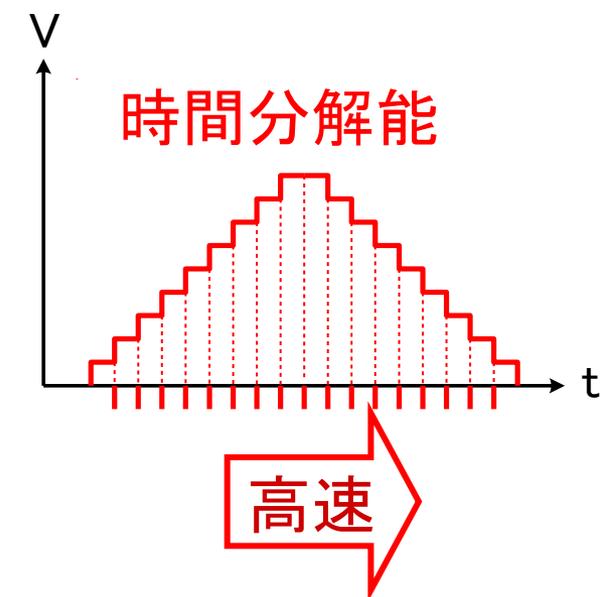
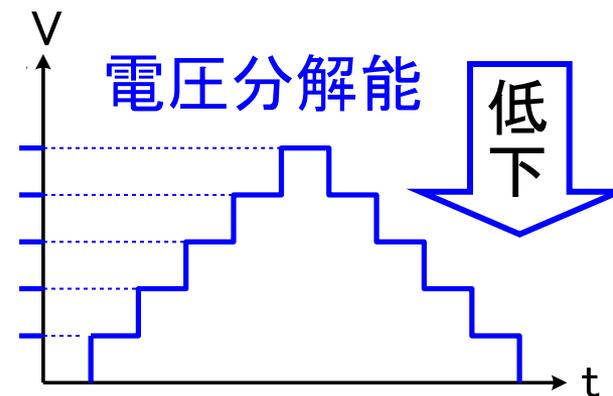
スイッチング時間 \rightarrow 高速 (数十ピコ秒)

- 微細CMOS高性能化のためには

アナログ信号での**電圧分解能**



デジタル信号端遷移の**時間分解能**



All Digital PLL の考案者

Bogdan Staszewski 博士 (元 TI社)

同社にてDigital Radio Processor のプロジェクト推進

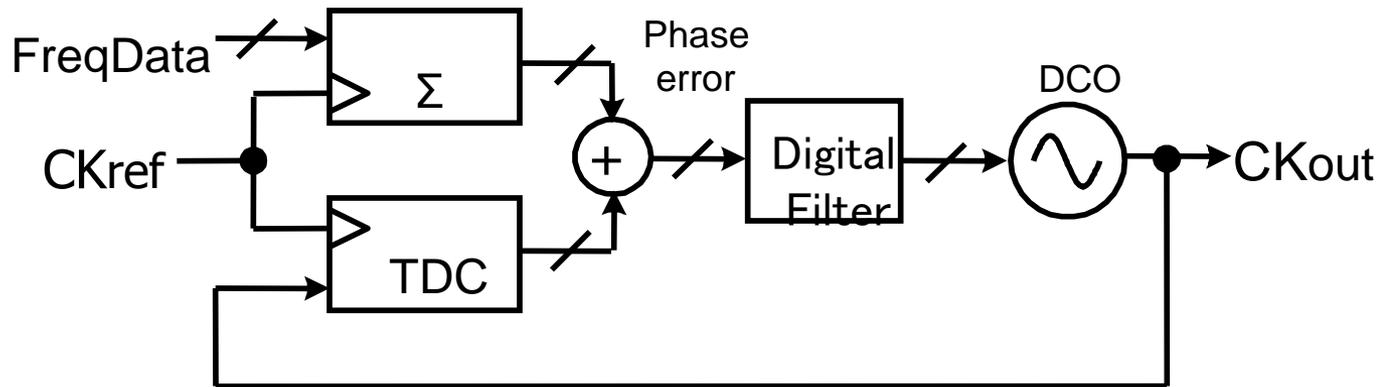
「微細CMOSでは

時間分解能は電圧分解能より優れている。」

PLL テスト

- 位相ノイズの測定は時間がかかる
(数回の平均化が必要)
- 短時間での位相ノイズテスト法を開発する必要がある。
- PLLテスト容易化は比較的成功している
  TDCを利用

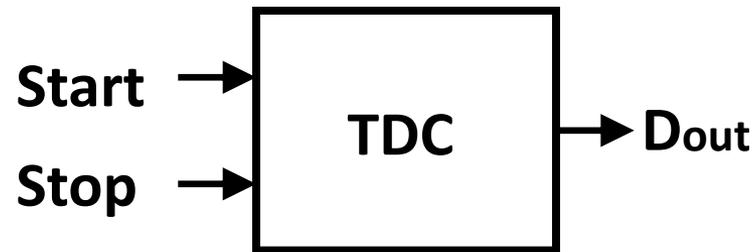
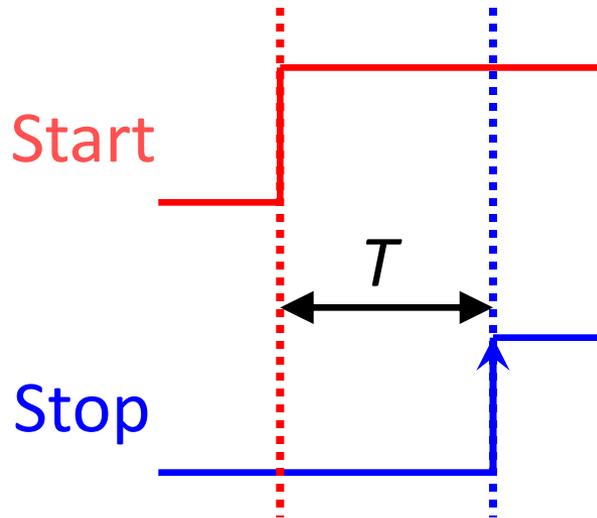
All Digital PLLを用いた送信器 位相ノイズのテスト容易化



- 送信器出力の位相ノイズを直接測定
➡ 高価な計測器(スペアナ)必要、長い測定時間。
- All Digital PLL では基準参照信号と出力信号の時間差をTDCで測定。そのデジタル出力データを観測・データ処理し位相ノイズ特性を知る。

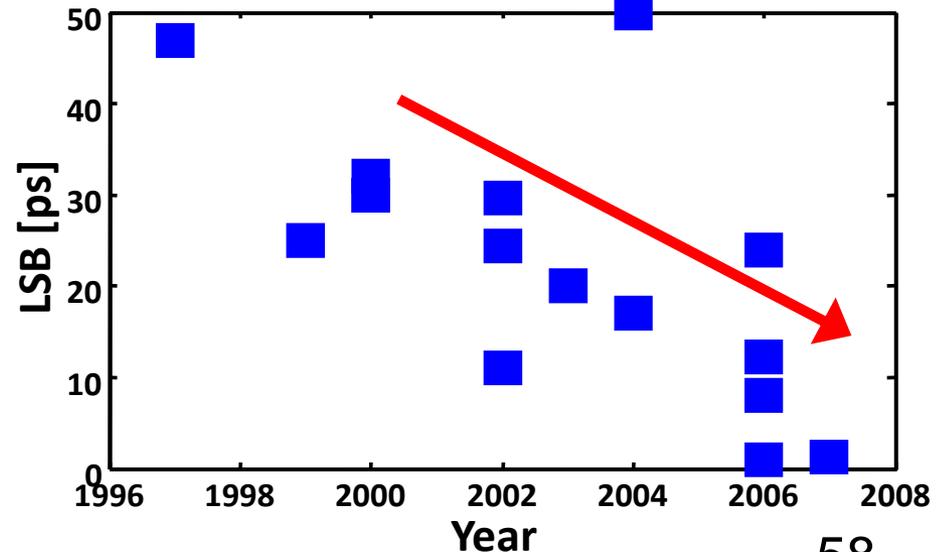
タイムデジタイザ回路 (Time-to-Digital Converter: TDC)

- 時間間隔 → 計測 → デジタル値

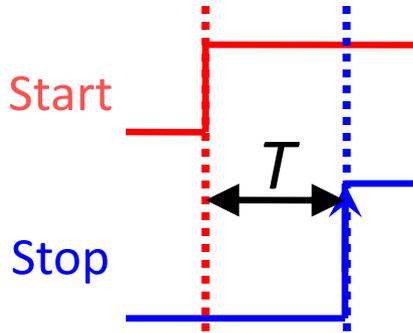


- 時間領域アナログ回路のキーコンポーネント
- 微細化とともに高時間分解能化
- 回路がデジタル

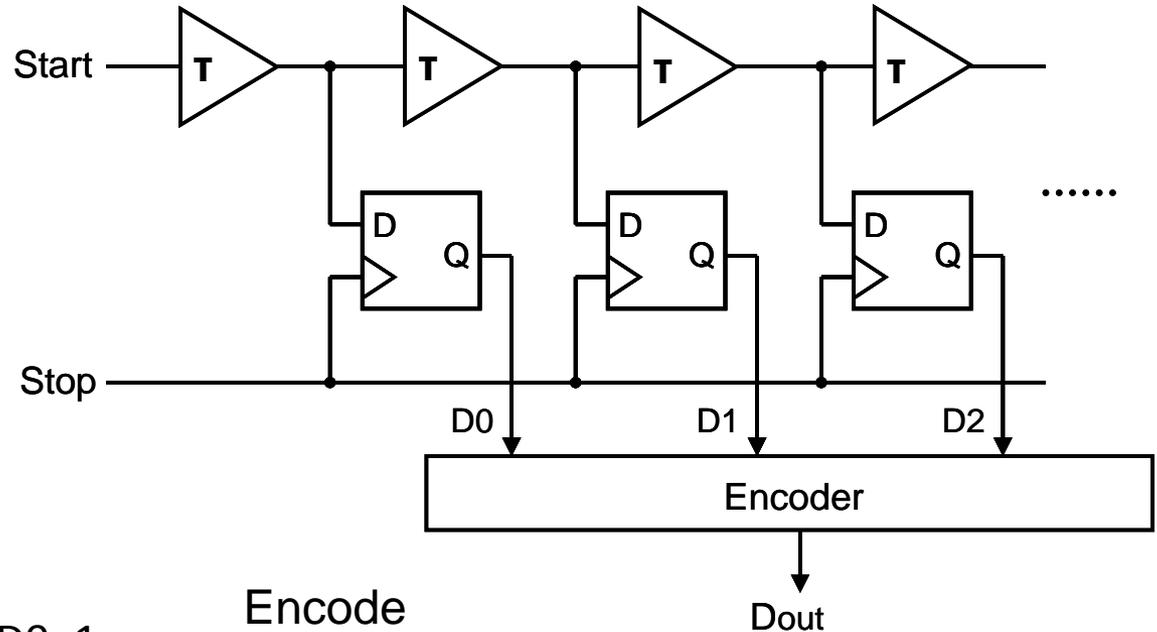
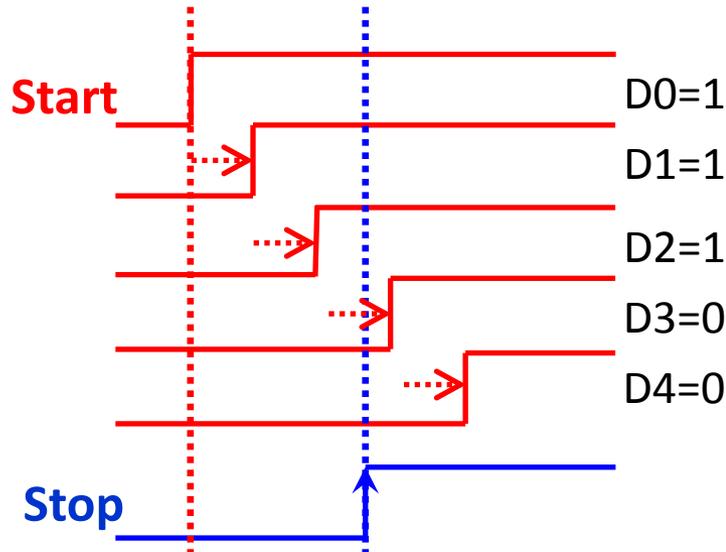
微細化とともに高分解能化



基本TDCの構成と動作



Timing chart



Encode

「Thermometer code

binary code

デレイタップ何段に相当するかを測定

CMOS微細化とともに高性能化

TDC非線形性の自己校正

ADC

テスト入力信号が電圧

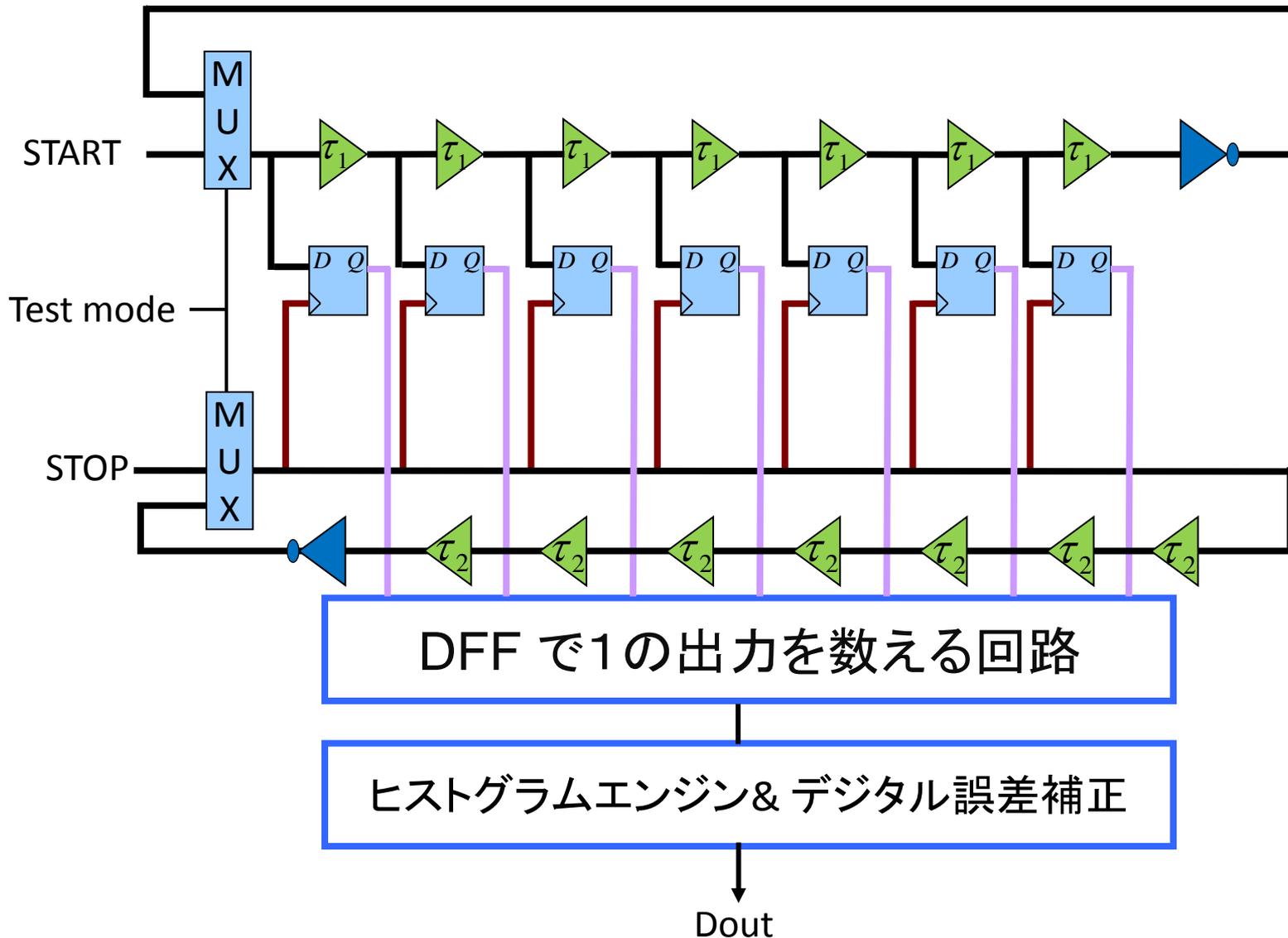
➡ ランプ波、正弦波の生成が容易ではない

TDC

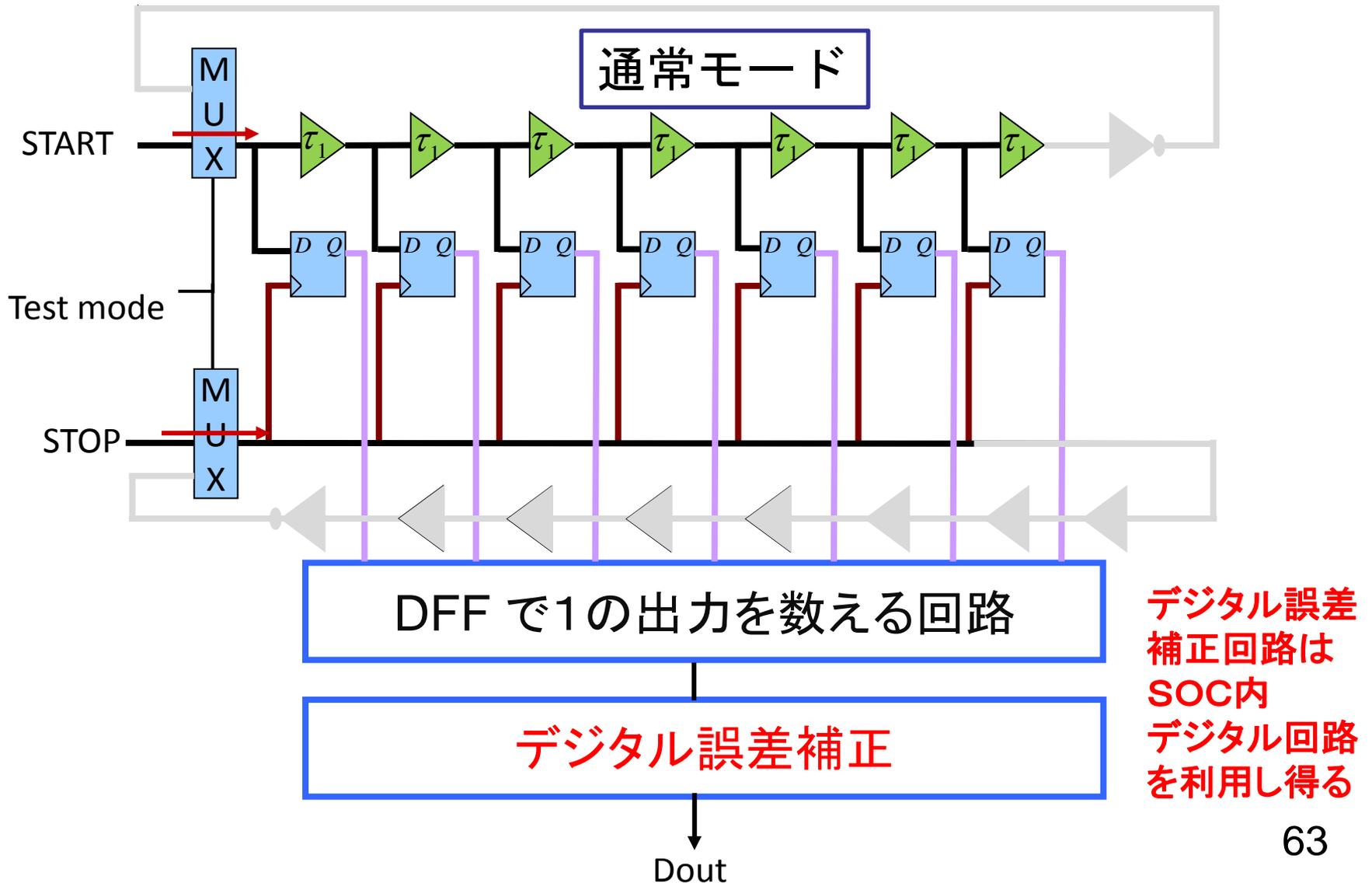
テスト信号が時間

➡ リング発振器で容易テスト信号の生成が可能

自己校正機能を備えたTDC回路の構成



自己校正機能を備えたTDC回路の構成

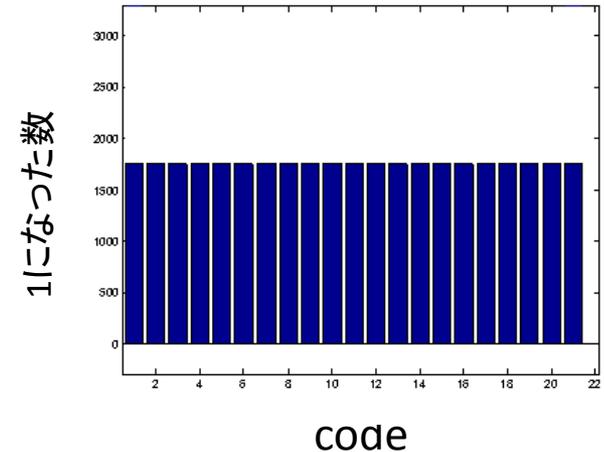


TDC非線形性の自己校正の原理

テストモー

ド

両方のリング発振器は同期していない(無相関)



TDCが完全に線形

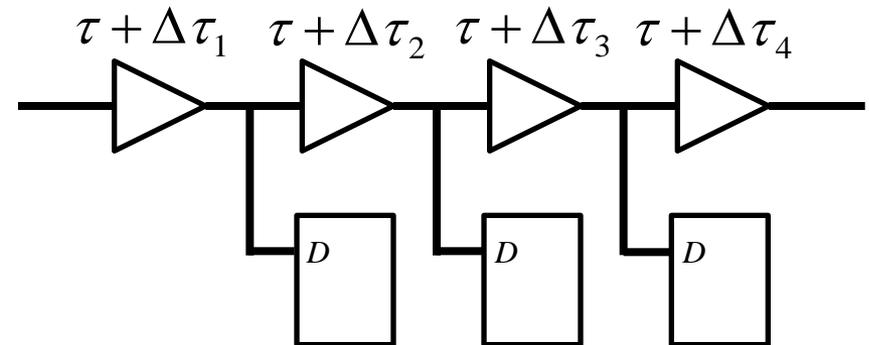
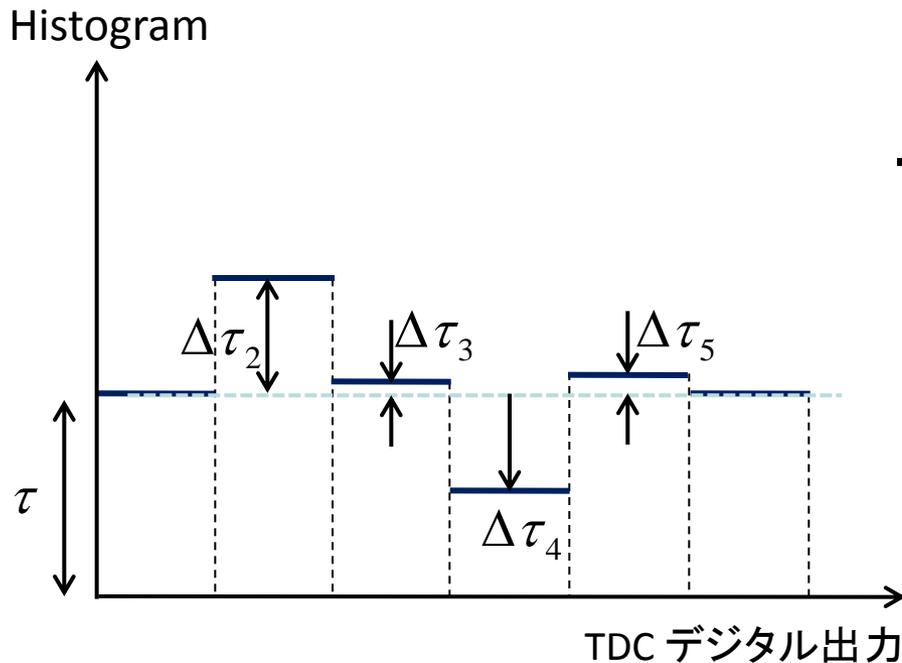
各出現コードの確率が等しい

- ・ 充分多くの点数をとれば各デジタルコードのヒストグラムは同一になる
- ・ 逆に、TDCのヒストグラムデータからDNL, INLを計算

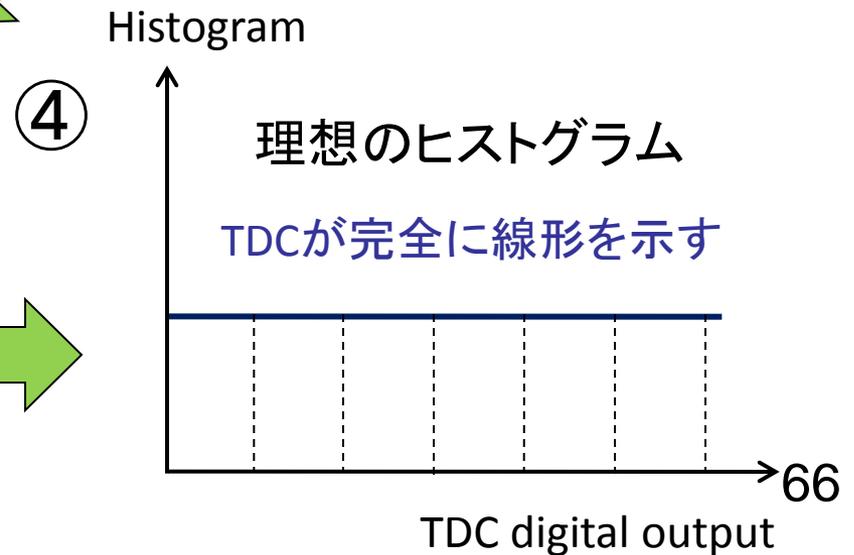
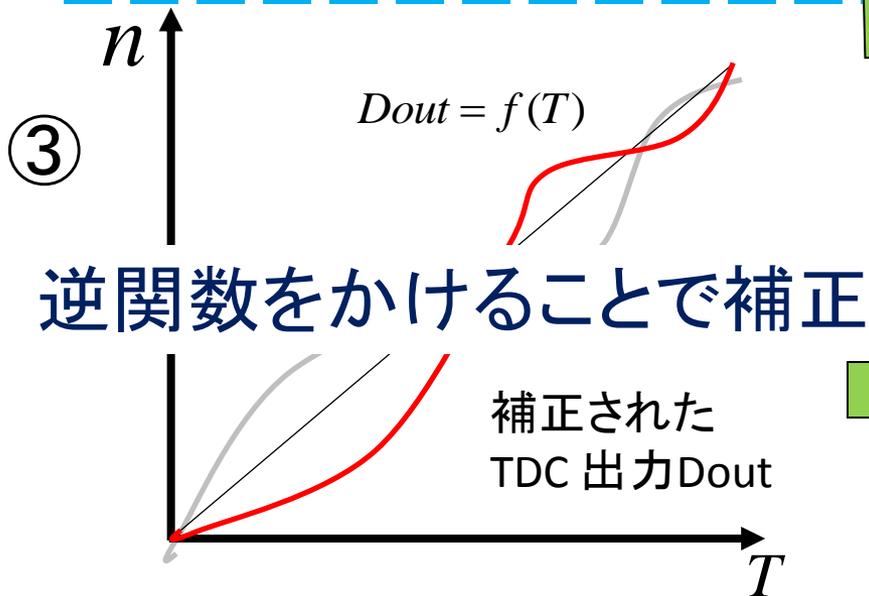
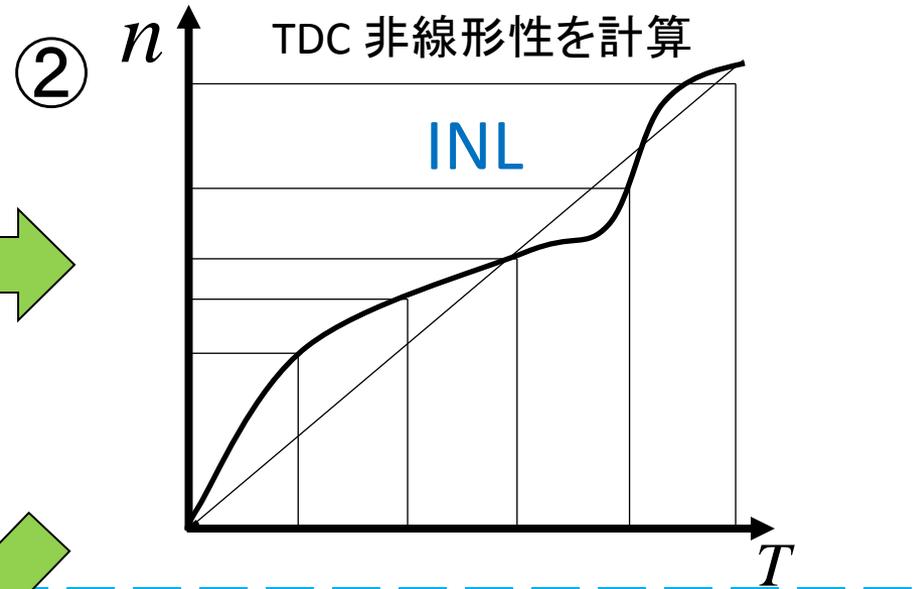
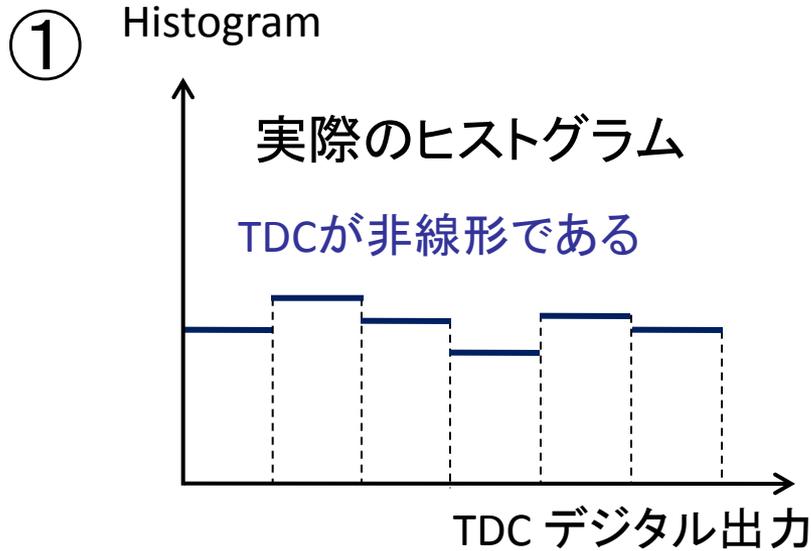
TDC非線形性の自己校正の原理

TDCが非線形

- バッファ遅延 $\tau + \Delta\tau$
- TDCの非線形性は遅延ばらつき $\Delta\tau$ によって生じる
- INLをヒストグラムより求め逆関数を計算



TDC非線形性の自己校正の動作



ADC 線形性テスト

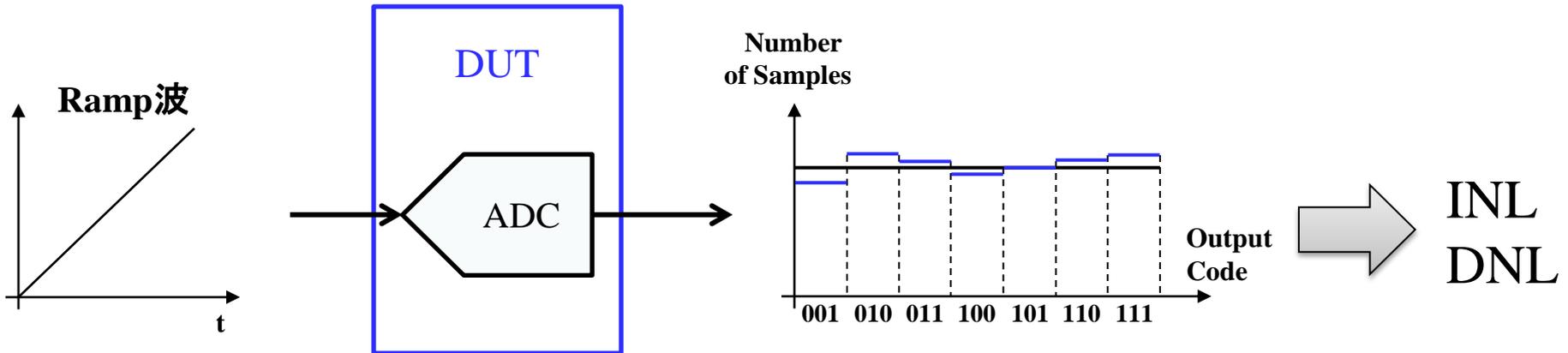
- DC 線形性テストは最も重要な項目
 - 高精度ランプ波発生はチャレンジング.
 - 高分解能 ADC  長いテスト時間が必要

- DC 線形性テスト時間 =
$$\frac{\text{コードの数(分解能)}}{\text{サンプリング周波数}}$$

大 遅

ADC線形性テスト(正弦波入力)

■ ヒストグラム法(ランプ波入力)



高線形性のランプ波発生は難しい

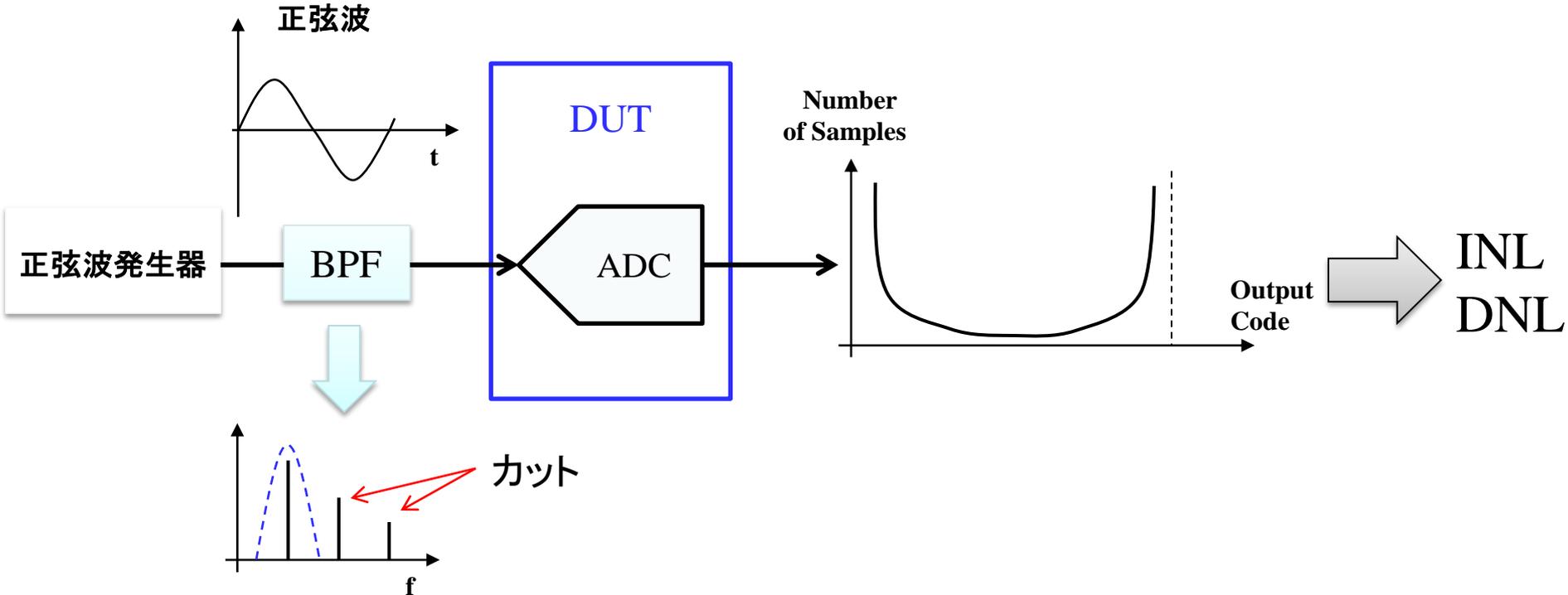
ランプ波入力での頻度



入力レンジで均一

ADC線形性テスト(正弦波入力)

■ ヒストグラム法(正弦波入力)



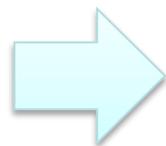
アナログフィルタにより高調波を除去

➡ 高純度のものが得やすい

正弦波入力での頻度 ➡ 中心付近では少ない 69

SoC内ADC線形性テスト

SoC内ADCへの入力信号

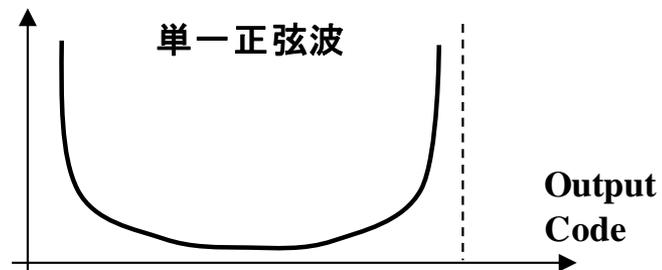


入力フルレンジではなく中心付近を主に使う

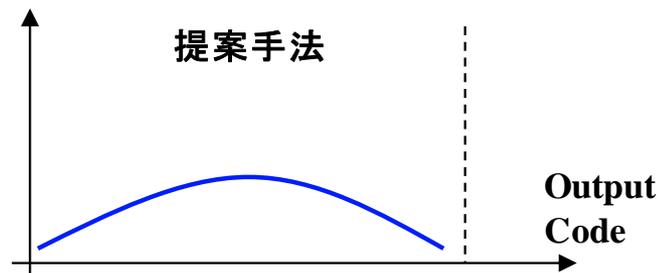


中心を高精度に観る

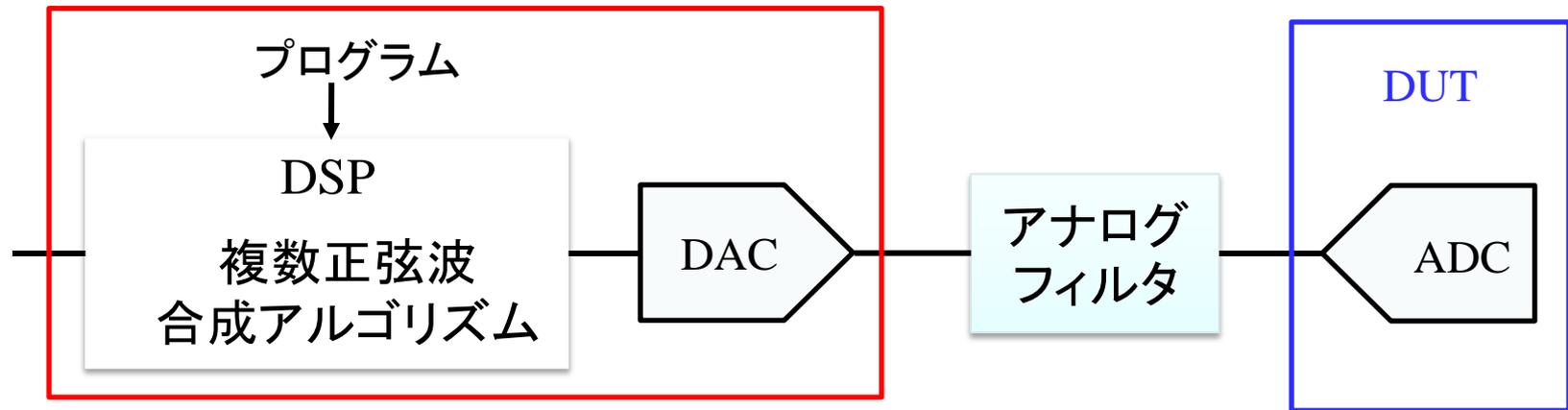
Number of Samples



Number of Samples



DSP, DACによるテスト信号生成



正弦波合成

➡ アナログフィルタと併用して高精度化

➡ 複数正弦波からテスト信号生成

ADC出力コードの中心付近の頻度増加

出力レンジ中心付近の頻度増加

偶数,奇数項をうまく用いて中心付近の頻度を増加させるテスト信号を生成

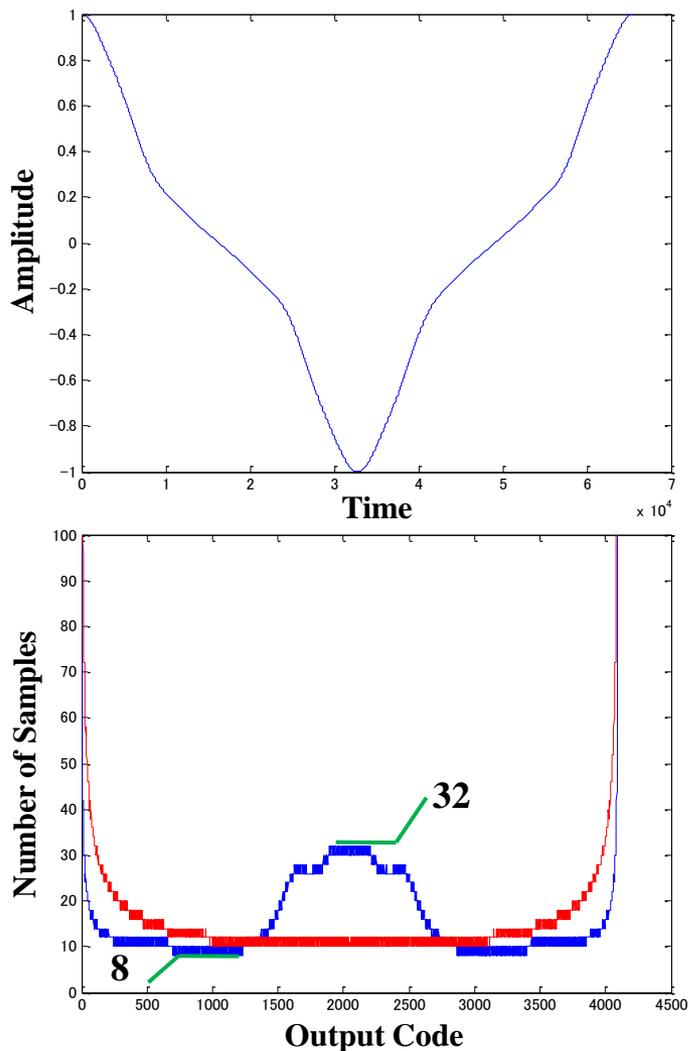
$$V_n = \frac{\cos((2n-1)wt)}{(2n-1)^2} \quad n=1,2,\dots$$

入力

$$V_{in} = \frac{4}{\pi} (V_1 + 2.6 \cdot V_2 + 1.8 \cdot V_3 + 1.4 \cdot V_6 + 1.2 \cdot V_7)$$



出力コードの中心付近の頻度が増加

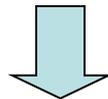


発表内容

1. はじめに
2. ミックスド・シグナルSoCのテスト
3. アナログ回路部テストの問題点
4. アナログ回路のテスト容易化技術
5. デジタルアシスト・アナログ技術
6. デジタルアシスト・アナログテスト技術(1)
7. デジタルアシスト・アナログテスト技術(2)
8. まとめ

まとめ

- 微細CMOS SOCでは
デジタルアシスト・アナログ技術が必須
- **Negative** な側面
そのテストの問題が顕在化しつつある。
 - 自己校正
 - 冗長性
- **Positive** な側面
アナログ部テストもデジタルアシストで効率化する。



設計に加え テスト法も含めた
デジタルアシスト・アナログ技術の研究開発が必要

謝辞

有意義なご討論をいただきました
宮下博之、矢野雄二、力野邦人、岸上真也、
我毛辰弘、小林修、松浦達治、高井伸和、
新津葵一、森俊彦、荒井智、古川靖夫、
浅見幸司、山田庸一郎、小室貴紀、酒寄寛 各位
およびこの研究をご支援いただいています
STARCに感謝の意を表します。