

# SoC内ADCテスト信号生成 アルゴリズム

上森聡史 伊藤聡志 古川靖夫  
山口隆弘 浅見幸司 小林春夫  
群馬大学 アドバンテスト

# OUTLINE

---

- 研究背景
- 線形性テスト
- 提案テスト信号生成方法
- 実現方法
- まとめ

# OUTLINE

---

- 研究背景
- 線形性テスト
- 提案テスト信号生成方法
- 実現方法
- まとめ

# 研究背景

LSIの製造出荷



テスト



良否判定が重要

アナログテストは難しい

要求事項

高い不良検出率

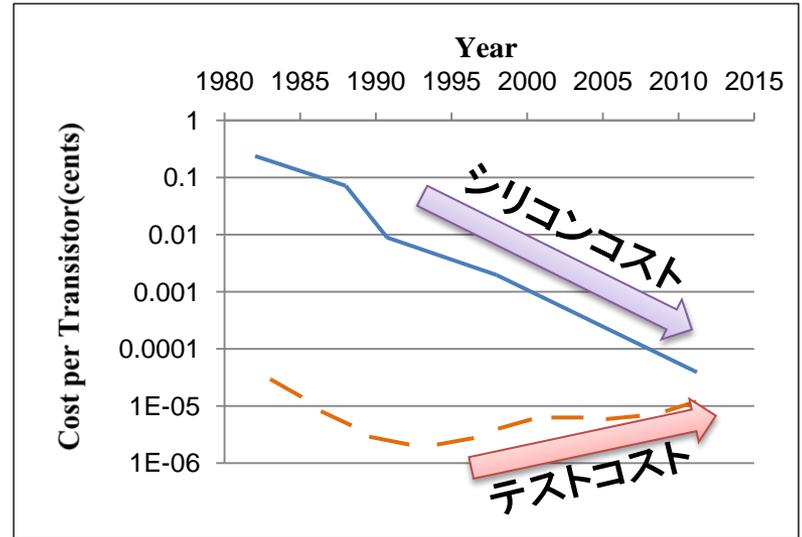


低テストコスト

テスト時間 ∝ テストコスト

{ いかにかにテストコストを下げるか  
いかにかに精度を良くするか

が重要



# 目的

## ■ SoC内ADCの線形性テスト

→ 重要な試験(時間かかる)

- 短時間テストで線形性テストの精度を高める



ADCテスト入力信号発生技術を開発

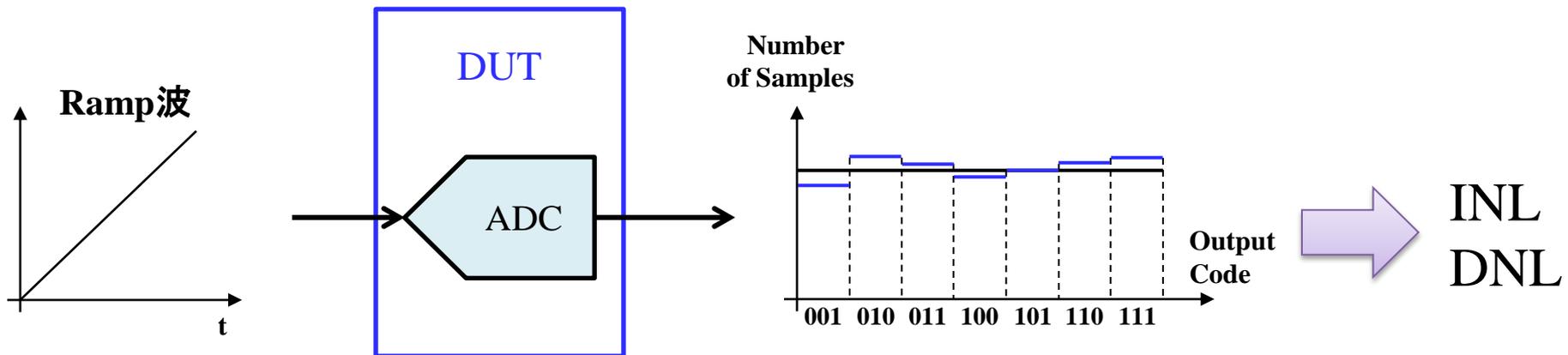
# OUTLINE

---

- 研究背景
- **線形性テスト**
- 提案テスト信号生成方法
- 実現方法
- まとめ

# 線形性テスト

## ■ ヒストグラム法(ランプ波入力)

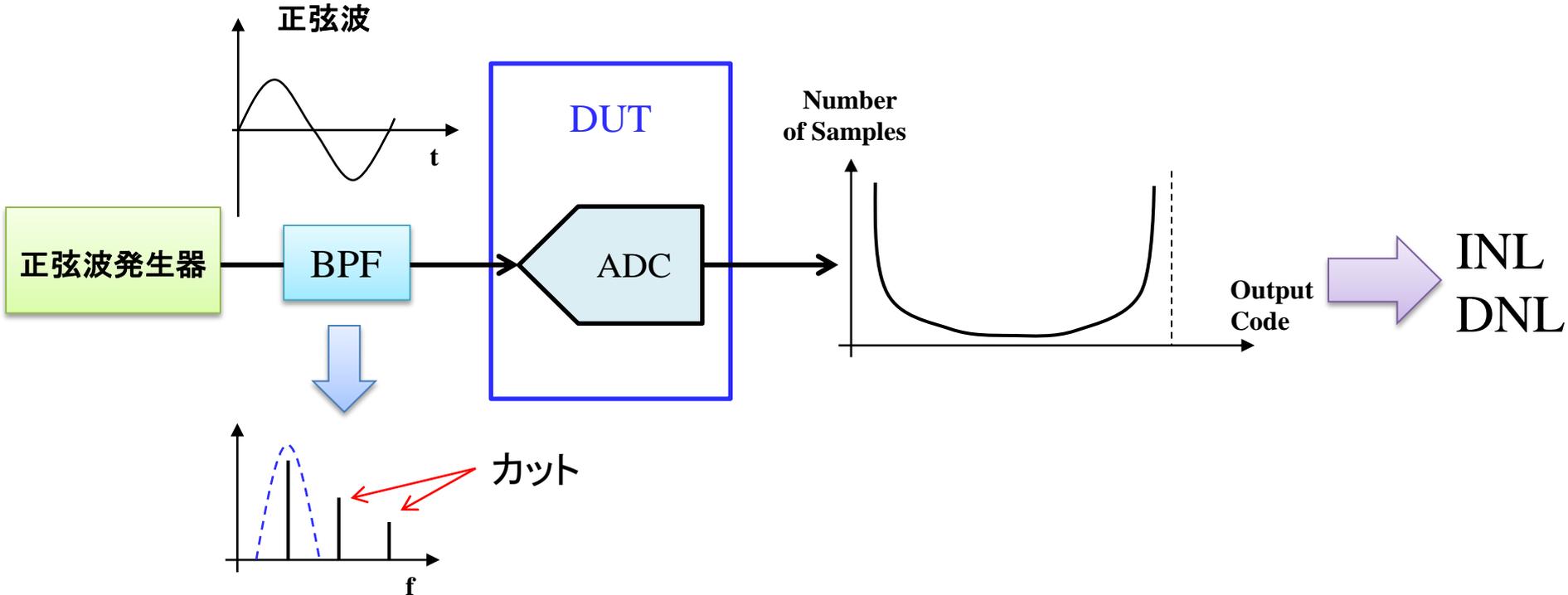


高線形性のランプ波発生は難しい(せいぜい12ビット程度まで)

ランプ波入力での頻度  $\longrightarrow$  入力レンジで均一

# 線形性テスト

## ■ ヒストグラム法(正弦波入力)



アナログフィルタにより高調波を除去

➡ 高純度のものが得やすい(14ビット以上)

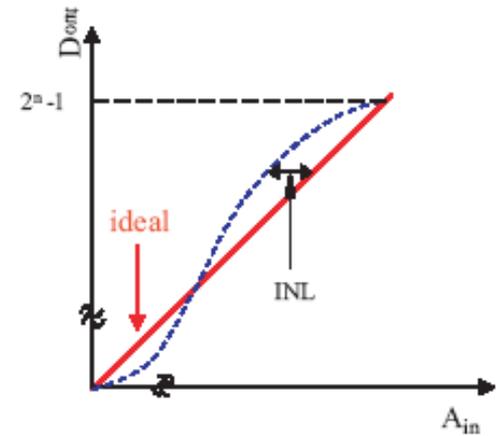
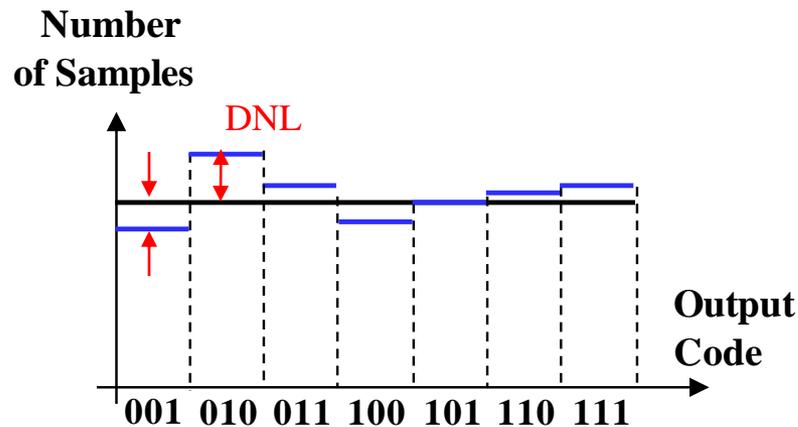
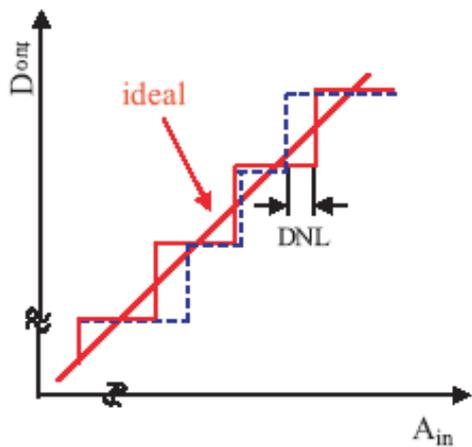
正弦波入力での頻度 ➡ 中心付近では少ない

# DNL, INL

DNL, INL



マイコン内ADC等では  
この性能試験が重要



DNL  それぞれのbinに入ったサンプルの数  
アナログ入力に対する出力の割合

INL  DNLを積分したもの  
理想変換直線からのずれ

# OUTLINE

---

- 研究背景
- 線形性テスト
- **提案テスト信号生成方法**
- 実現方法
- まとめ

# SoC内ADC線形性テスト

## SoC内ADCへの入力信号

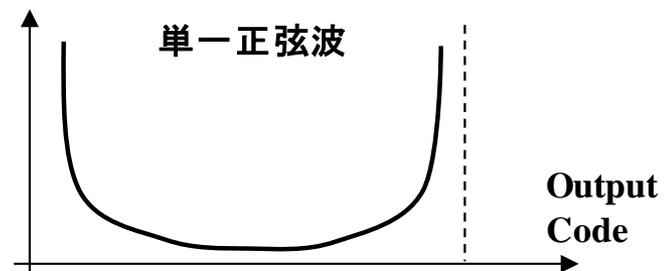


入力フルレンジではなく中心付近を主に使う

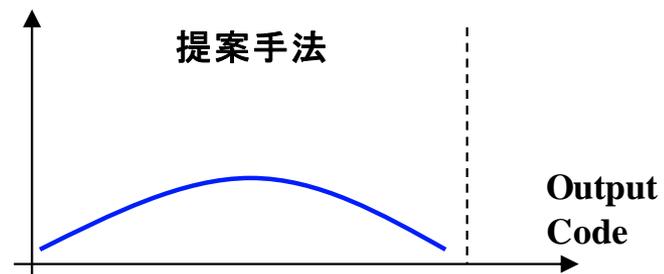


中心を高精度に観る

Number of Samples

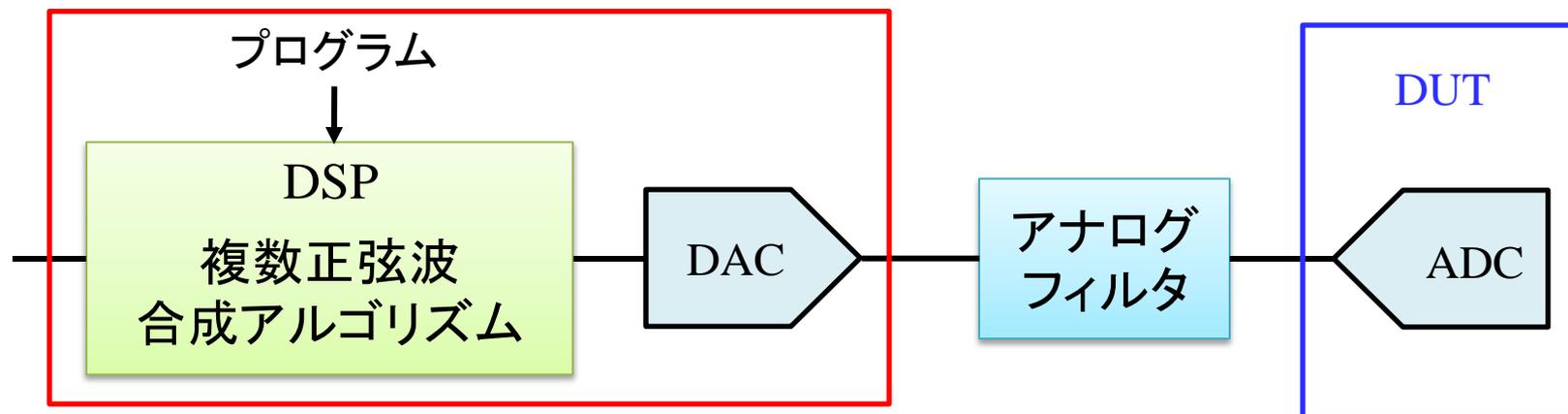


Number of Samples



# AWGによるテスト信号生成

任意波形発生器 (AWG: Arbitrary Waveform Generator)



正弦波合成

➡ アナログフィルタと併用して高精度化

➡ 複数正弦波からテスト信号生成

ADC出力コードの中心付近の頻度増加

# AWGによるテスト信号生成

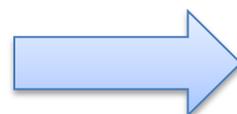
## ■ 被試験ADCが12ビット程度

- ・AWGが18ビット相当以上のリニアリティを持つ

 AWGで必要な波形を生成すれば良い



- ・AWGに期待できるリニアリティ：12ビット相当

 動特性込みのリニアリティ測定には  
LPFによる信号の高精度化で解決

複数正弦波とする利点

# 提案テスト信号発生方法

複数正弦波から三角波を近似

$$V_{in} = \frac{4}{\pi} \sum_{n=1}^{\infty} V_n$$

$$V_n = \frac{\cos(2\pi \cdot (2n-1) \cdot f \cdot t)}{(2n-1)^2}$$



各項の振幅、足し合わせる項の選択



出力コードの中心付近を頻度増加

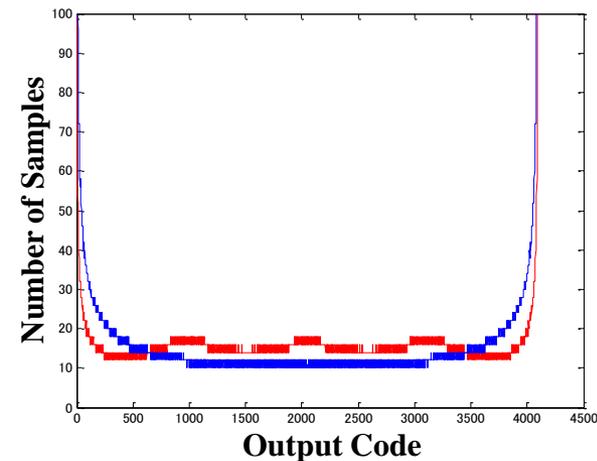
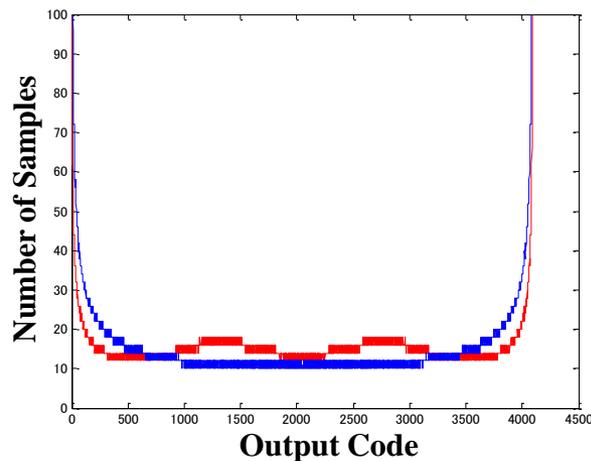
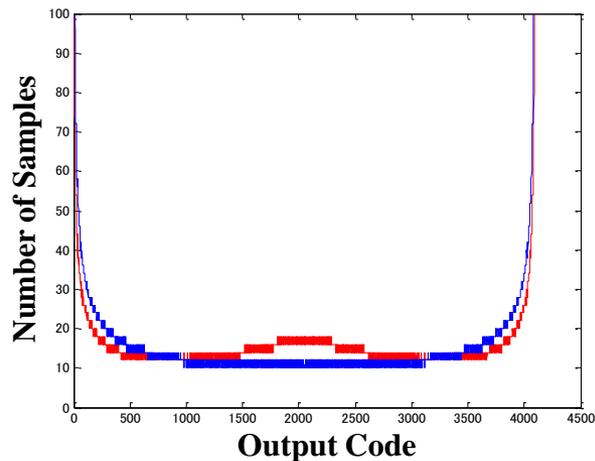
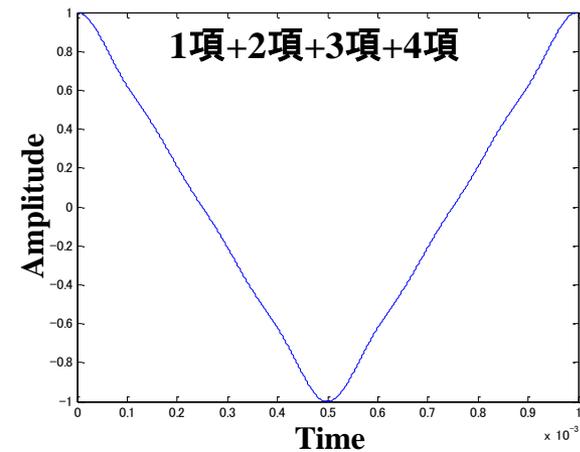
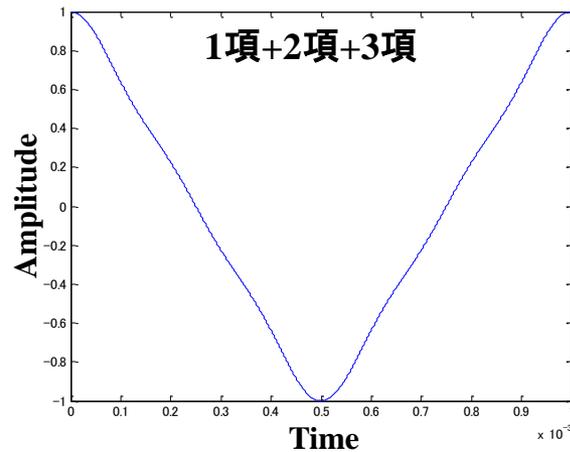
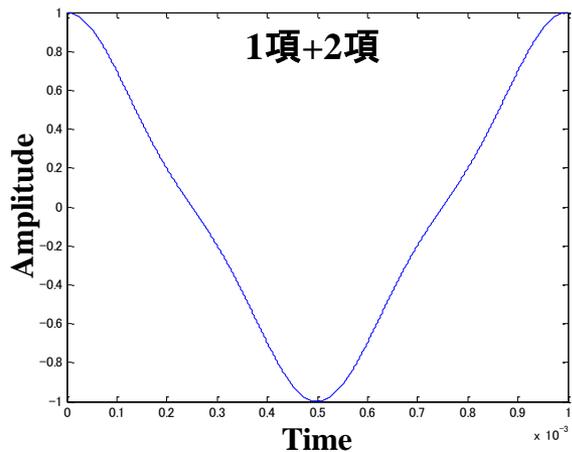


テスト時間の  
短縮、精度向上

# 三角波のヒストグラム

第1項に第2項から順に足し合わせた場合(振幅1)

$$V_{in} = \frac{4}{\pi} \sum_{n=1}^{\infty} \frac{\cos((2n-1)\omega t)}{(2n-1)^2}$$



# 三角波のヒストグラム

足し合わせる項を増やす

→ 入力はより三角波へと近づく  
∴傾きが一定になっていく



ピーク値が下がり頻度の増加する箇所(山)が増える

## ■ 頻度の増加する箇所

・N-1個の山ができる

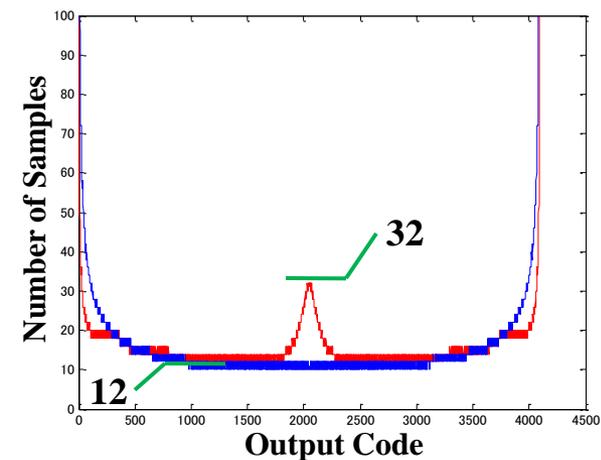
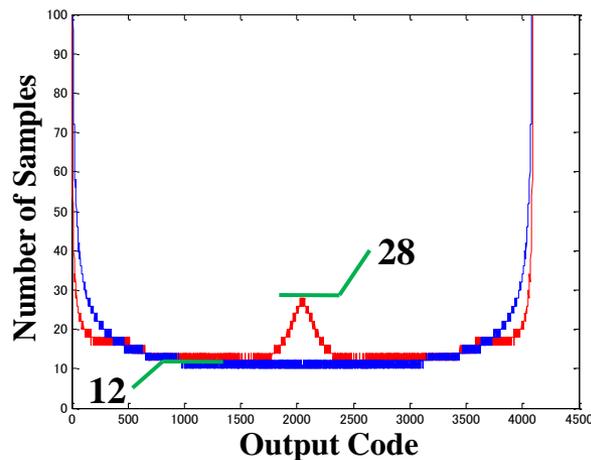
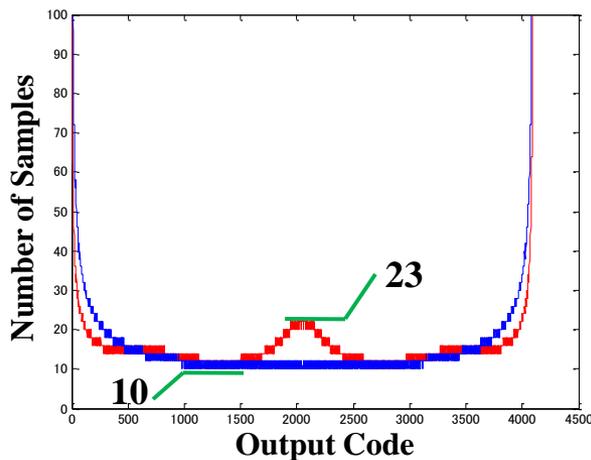
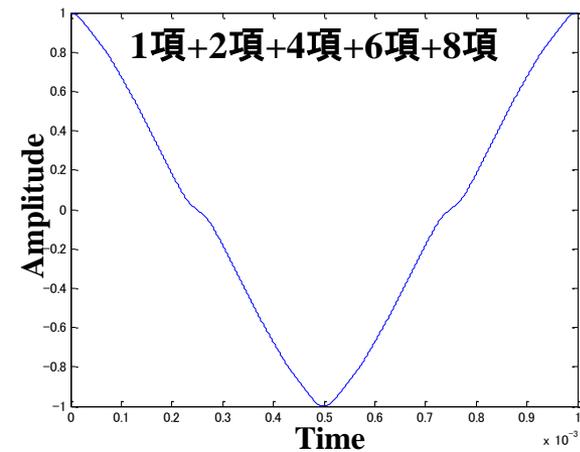
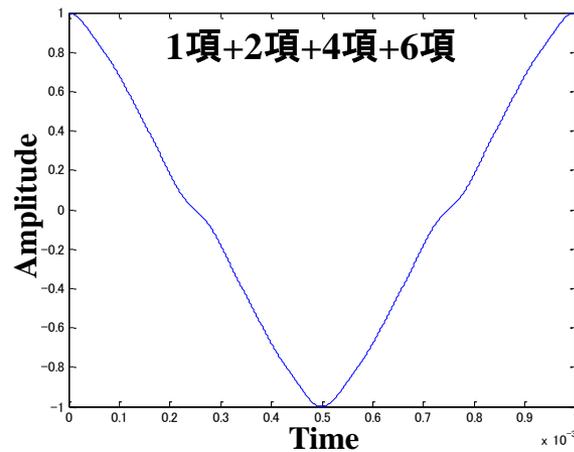
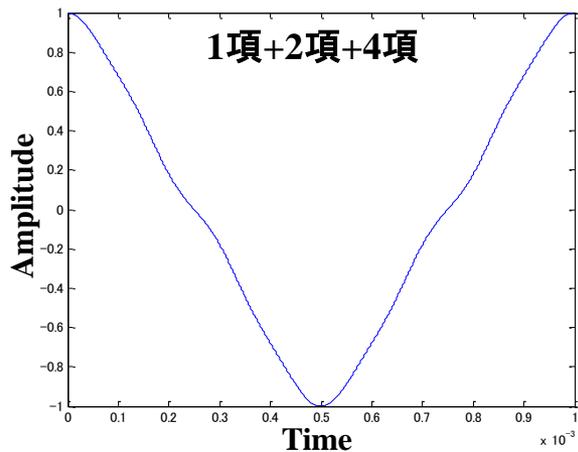
N: 順番に足し合わせた項の数

・約  $(2^{bit} - 1)/N$  コードごとに山が現れる

→ nが偶数項と奇数項で影響が異なる

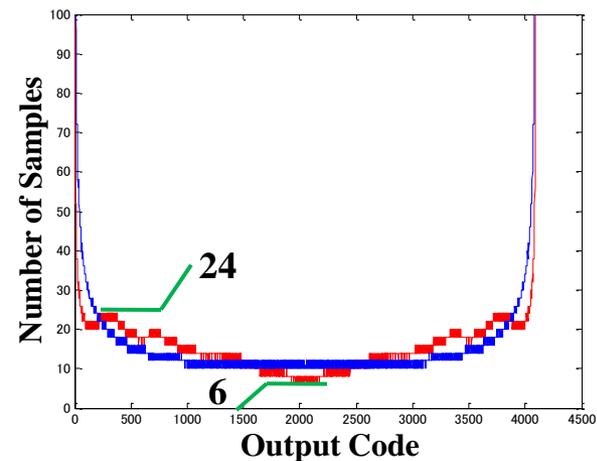
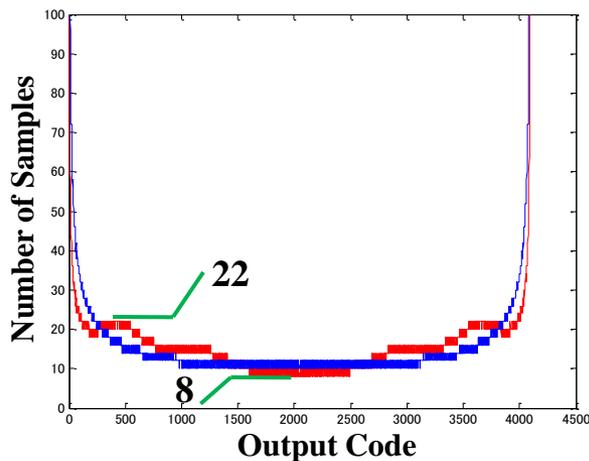
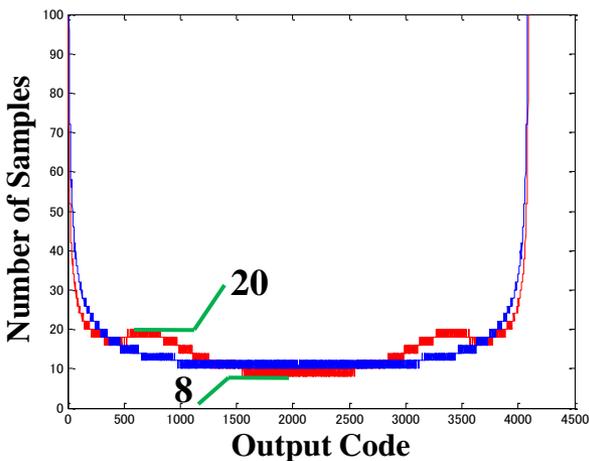
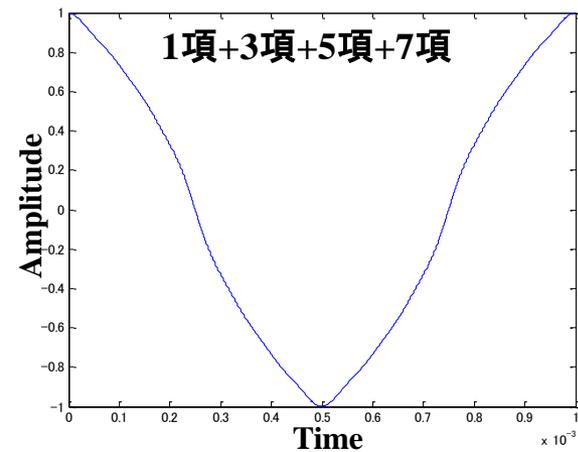
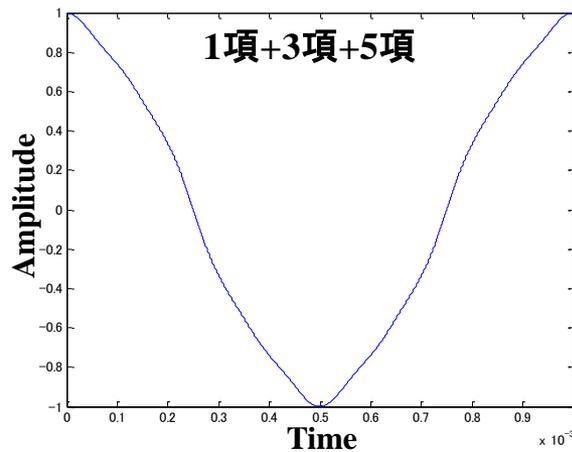
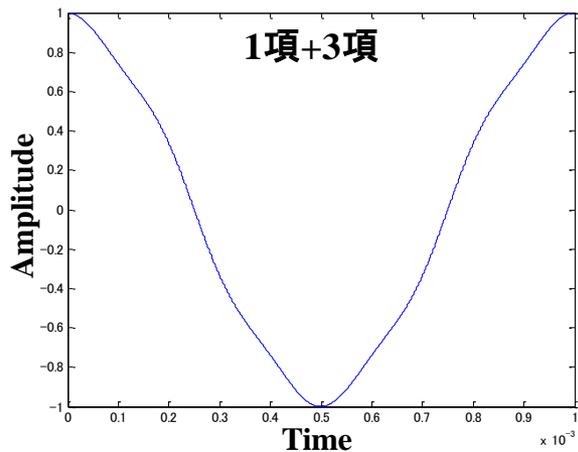
# nが偶数項のみの入力

$$V_{in} = \frac{4}{\pi} \sum_{n=1}^{\infty} \frac{\cos((2n-1)\omega t)}{(2n-1)^2}$$



# nが奇数項のみの入力

$$V_{in} = \frac{4}{\pi} \sum_{n=1}^{\infty} \frac{\cos((2n-1)\omega t)}{(2n-1)^2}$$



# nが偶数, 奇数項の影響

## ■ 偶数項のみを入力した場合

入力波形において、主に中央付近の傾きが緩やかになる



中央の頻度が増加

## ■ 奇数項のみを入力した場合

主に中央付近の傾きは急になり、両端付近の傾きが緩やかになる



中央の頻度は減少、両端付近は増加

# 中心付近の頻度増加

偶数, 奇数項をうまく用いて中心付近の頻度を増加させるテスト信号を生成

$$V_n = \frac{\cos((2n-1)wt)}{(2n-1)^2} \quad n=1,2,\dots$$

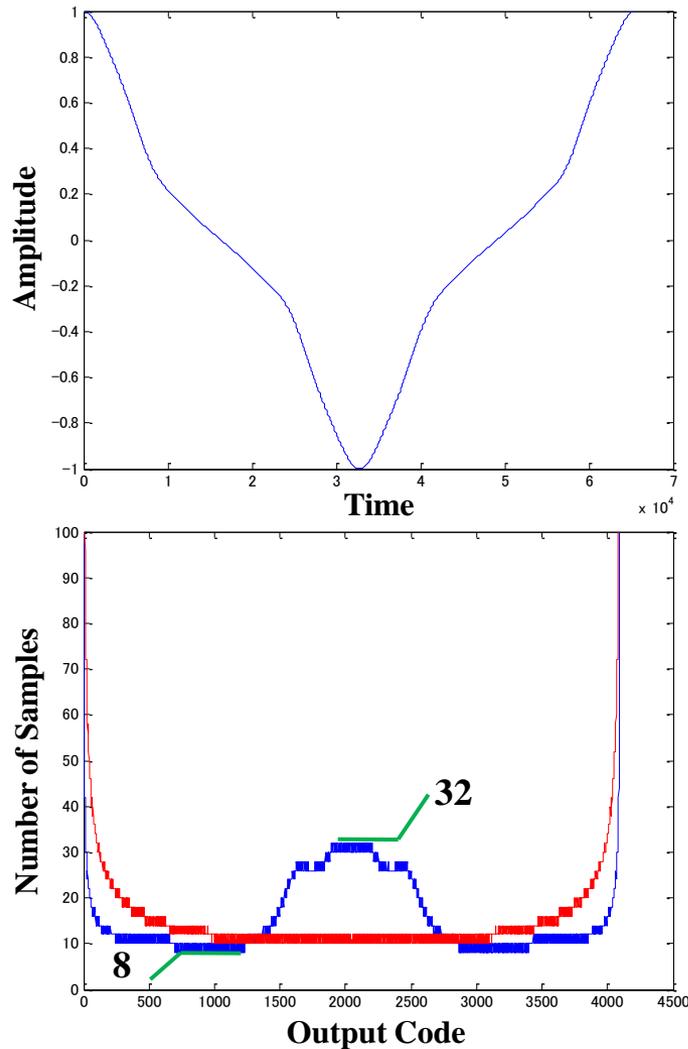
入力

$$V_{in} = \frac{4}{\pi} (V_1 + 2.6 \cdot V_2 + 1.8 \cdot V_3 + 1.4 \cdot V_6 + 1.2 \cdot V_7)$$

(入力は適当に調整したもの)



出力コードの中心付近の  
頻度が増加



# テスト時間の見積もり

## ADCテスト時間の見積もり前提

- 1) 計測モジュールのセットアップ時間 : 1ms 以下
- 2) 計測モジュール、DUTのセットリング : msオーダー(条件による)
- 3) DCリニアリティの取り込み時間 :  
ヒストグラム法 :  $2^{(\text{ADCのビット数})} \times 16 \sim 64 \times (\text{ADCの変換時間})$
- 4) SINADなどの取り込み時間 :  $2^{(\text{ADCのビット数})} \times 1 \sim 4 \times (\text{ADCの変換時間})$
- 5) データ転送 + 演算時間 : 数ms ~ 数十ms
- 6) その他の試験時間 : 数ms

- 通常はRamp波による3)が最も長く、1秒程度になる場合もある
- 電源電圧などの条件を変えた試験を行う場合には上記の時間の条件数倍かかる

# テスト時間の見積もり

## ADCテスト時間の見積もり

■ 想定するADC: 12bit SAR ADC 100kS/s

- ・計測モジュールのセットアップ時間, DUTのセッティング : 10 msec
- ・DCリニアリティの取り込み時間 :
  - ヒストグラム法 :  $2^{12} \times 40 \times 10\text{usec} = 1600 \text{ msec}$
- ・SINADなどの取り込み時間 :  $2^{12} \times 4 \times 10\text{usec} = 160 \text{ msec}$
- ・データ転送 + 演算時間 : 10 msec
- ・電源電圧 3通り
- ・温度 3通り (通常、民生用デバイスでは常温試験のみ)

(DCセッティング時間=ADCの変換時間=10 $\mu$ sec として計算)

	合計時間
ヒストグラム	1780 msec

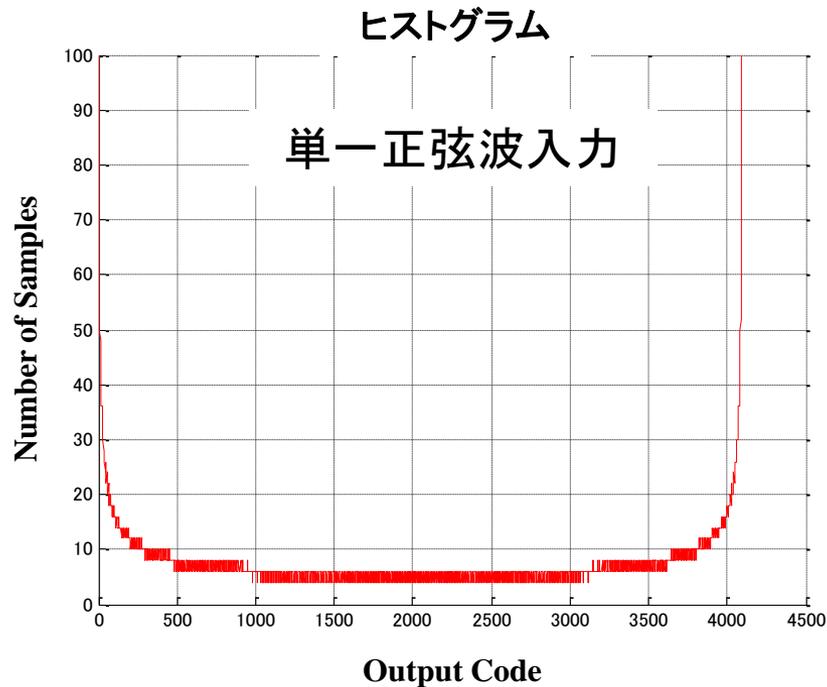
# テスト時間の見積もり

- 高分解能ADCほどテスト時間が長くなる
  - 分解能が高い
  - サンプルング周波数が低い
- 「1 \$ チップ 1秒」が妥当なテスト時間



12ビット 100kS/s SAR ADC のテスト時間は長すぎる

# シミュレーションによる効果の検証

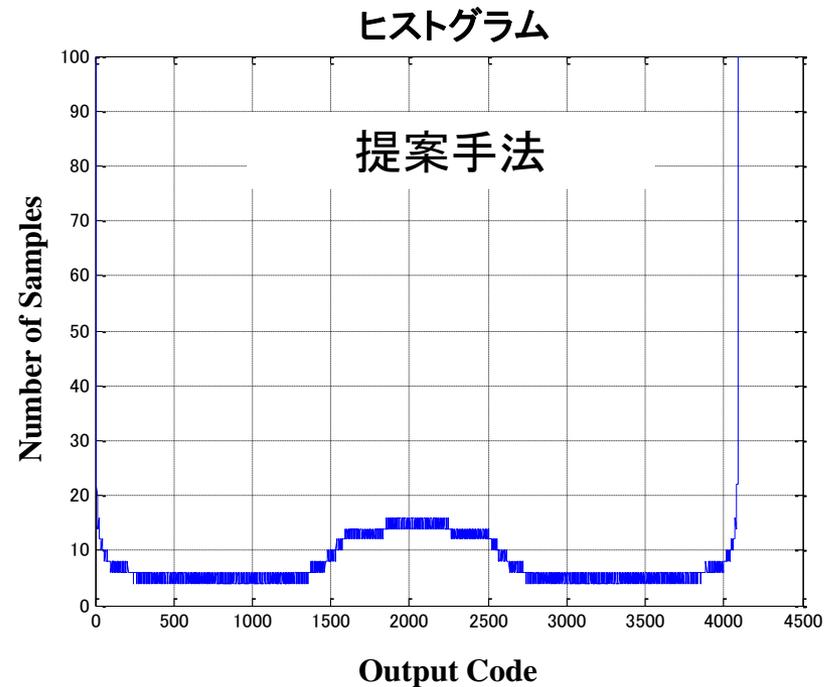


総点数 : 65536点

サンプルする点数を半分にする

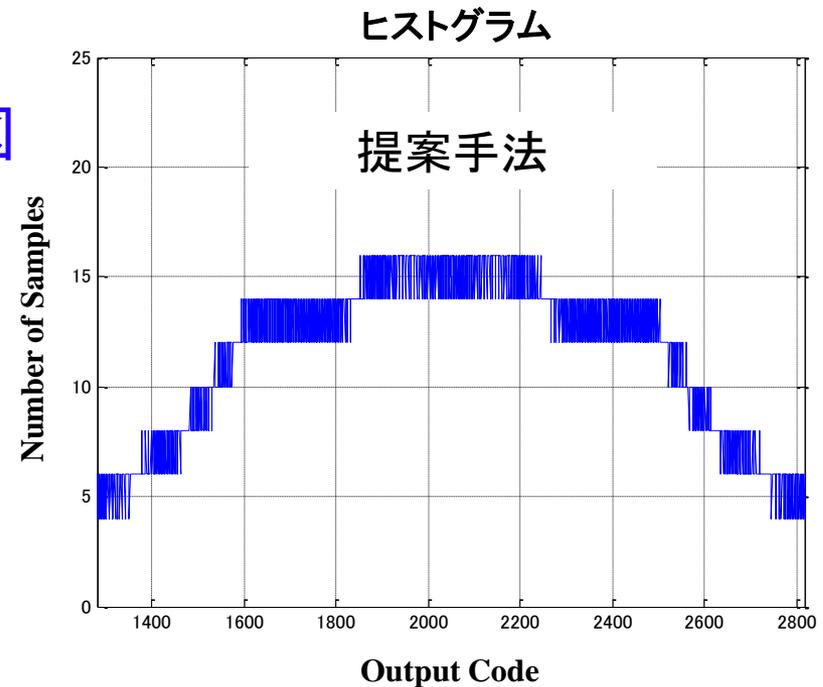
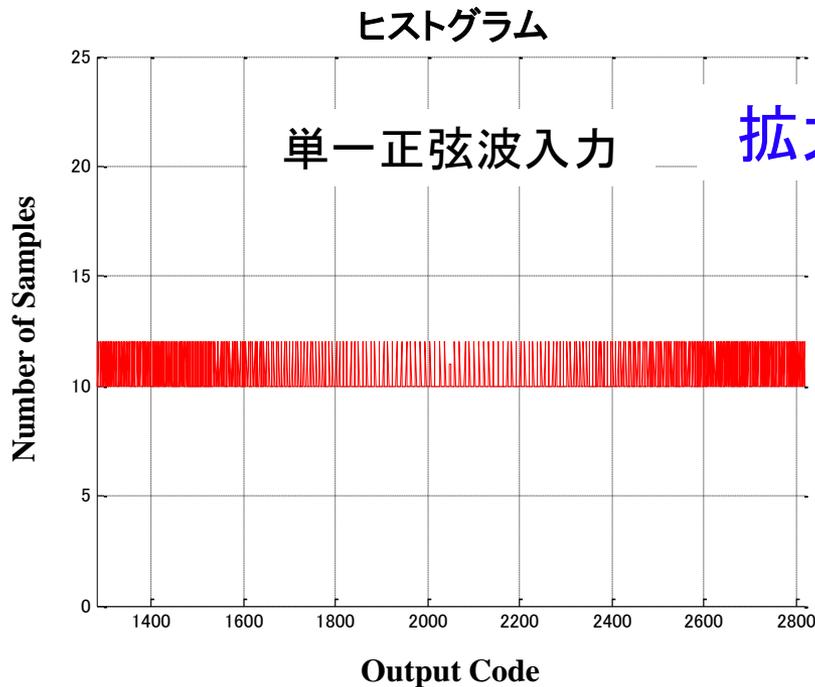
→ binに入る最低点数を満たせる

→ テスト時間を約半分にできる



総点数 : 32768点

# シミュレーションによる効果の検証



総点数：65536点

総点数：32768点

サンプルする点数を半分にする

→ binに入る最低点数を満たせる

→ テスト時間を約半分にできる

# OUTLINE

---

- 研究背景
- 線形性テスト
- 提案テスト信号生成方法
- **実現方法**
- まとめ

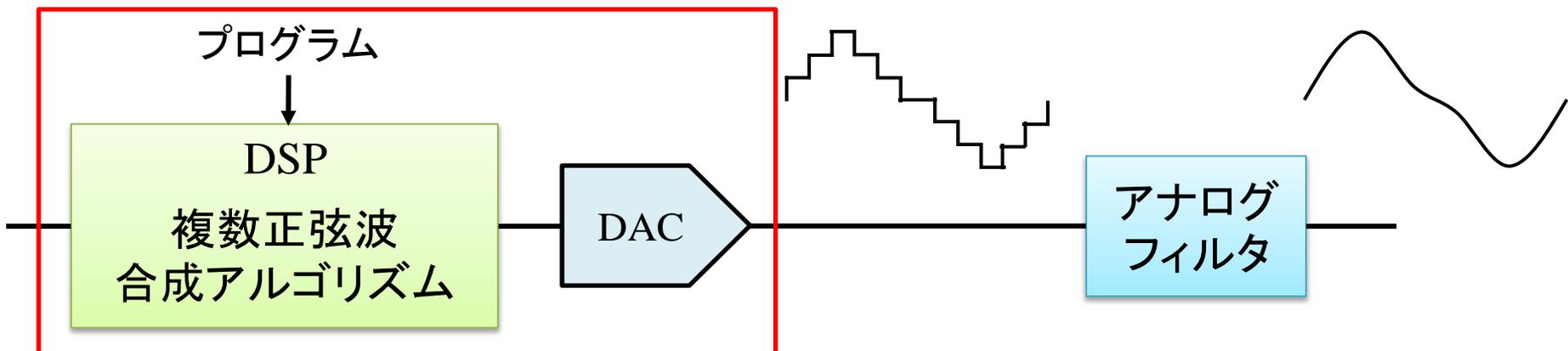
# 実現方法

- 任意波形発生器(AWG)でデジタル的に合成信号を発生しDA変換



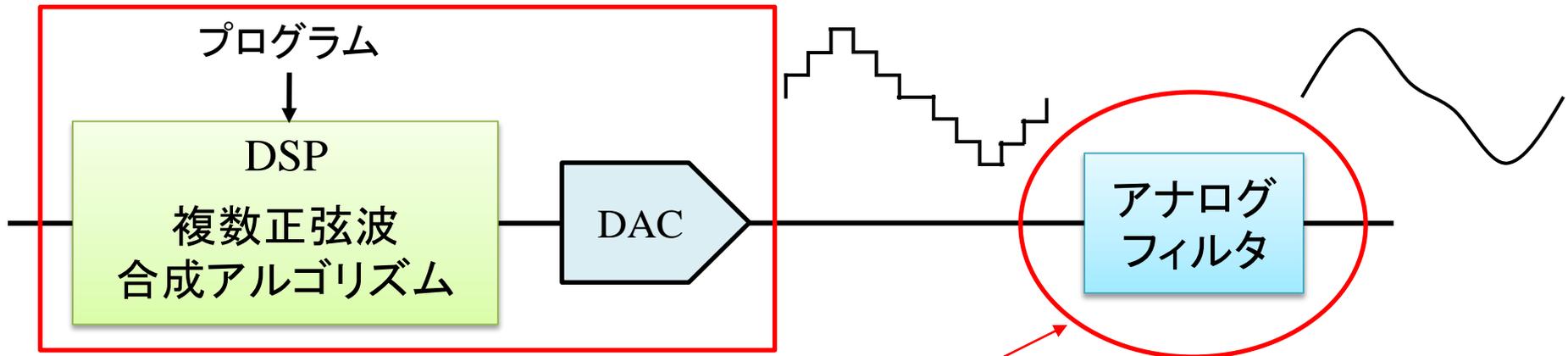
アナログLPFを通してADCへの入力信号

AWG



# フィルタのセットリング時間

AWG



フィルタのセットリング時間の問題



フィルタの時定数 $\tau$ の10倍程度必要  
(1kHzのフィルタなら10msec程)



ADCTータルテスト時間の問題にならない程度

# OUTLINE

---

- 研究背景
- 線形性テスト
- 提案テスト信号生成方法
- 実現方法
- まとめ

# まとめ

- SoC内ADCの線形性テストのための  
ADC入力信号生成方法を提案  
→ 入力レンジ中心付近の頻度を増加

短時間のテストで線形性テストの精度を  
高めることが出来る

今後：実機試験による効果の確認

---

ご静聴ありがとうございました