

高時間分解能・高線形タイムデジタイザ・アーキテクチャ

～アナログテスト容易化のキーコンポーネント～

伊藤 聡志, 小林 春夫 t06305010@gunma-u.ac.jp

研究背景・目的

要約

- PLLのジッタ性能テスト容易化回路
- All Digital PLL回路

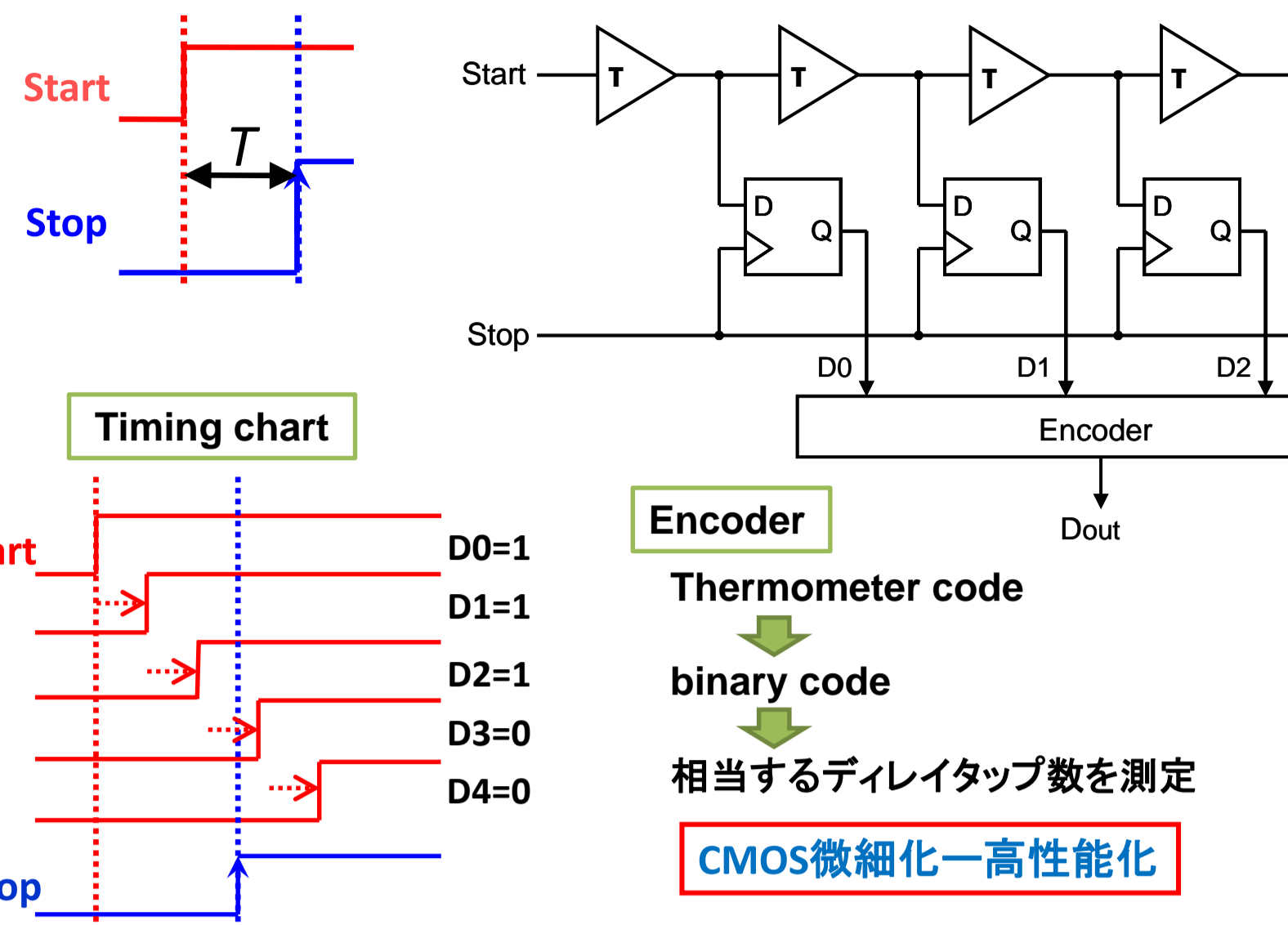
線形・高時間分解能のタイムデジタイザ回路

(Time to Digital Converter : TDC)

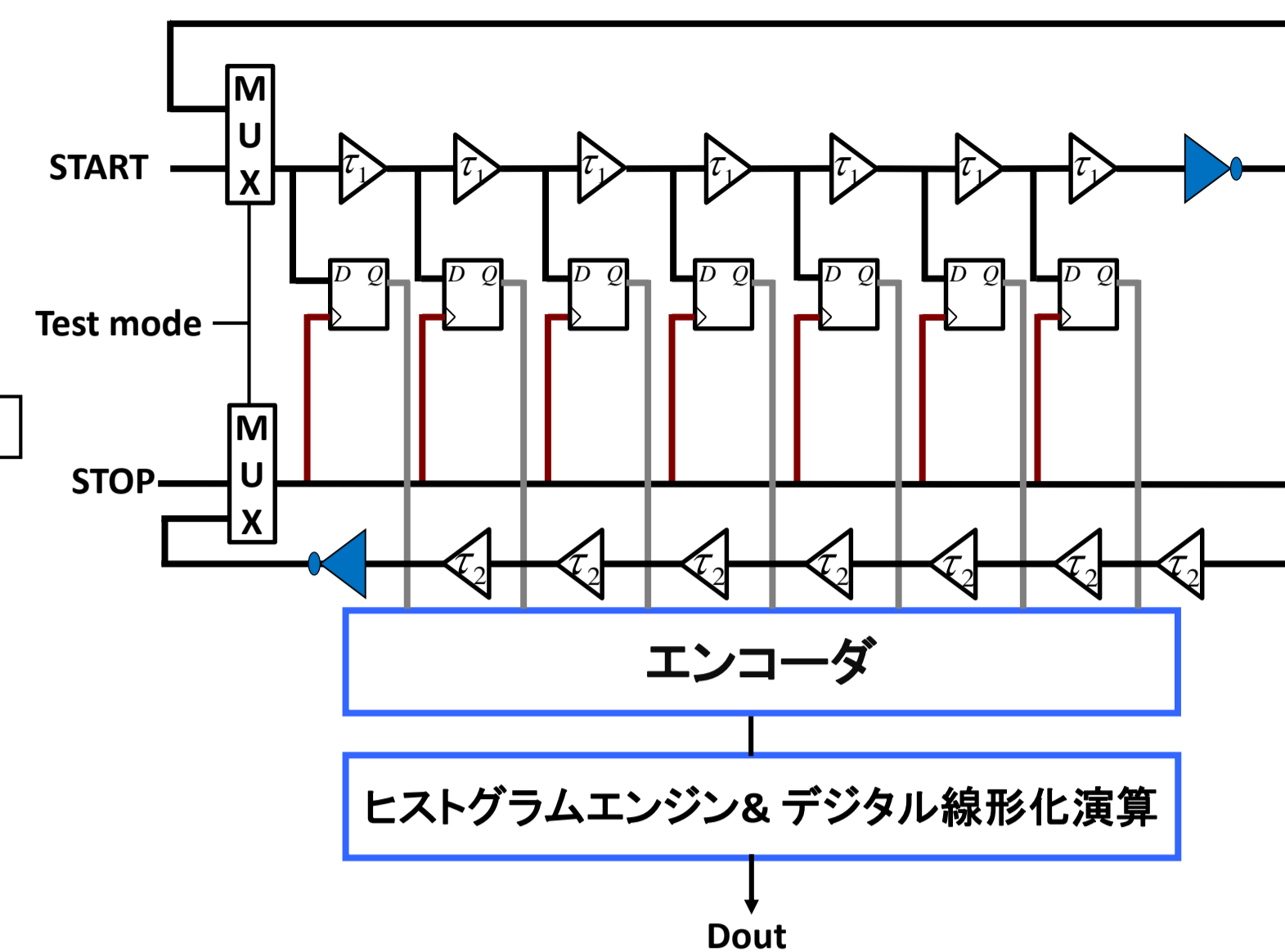
- ・高線形性
→自己校正回路
- ・高時間分解能
→確率的TDC回路

ヒストグラム法使用

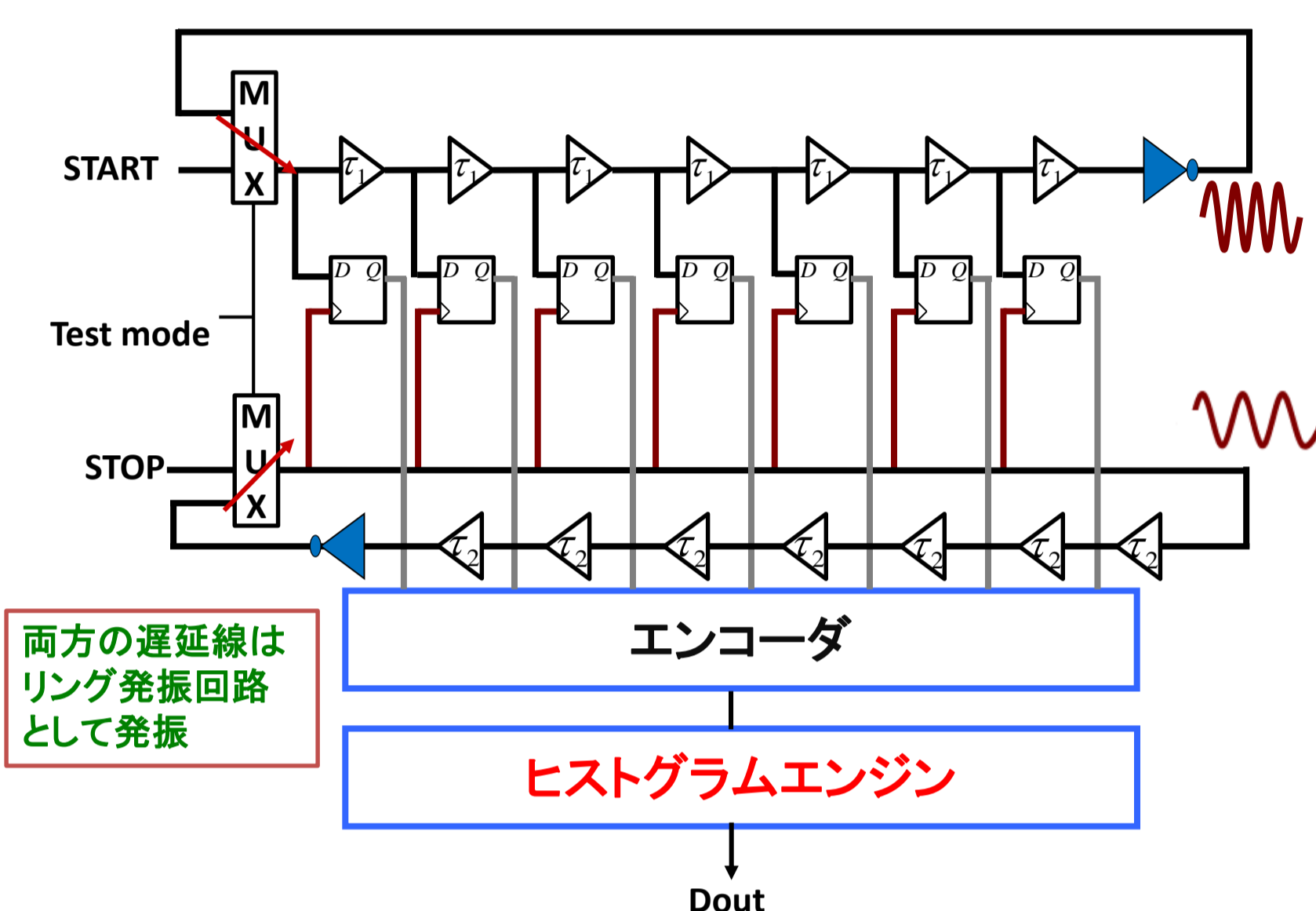
基本TDCの構成と動作



自己校正機能を備えたTDC回路



テストモード



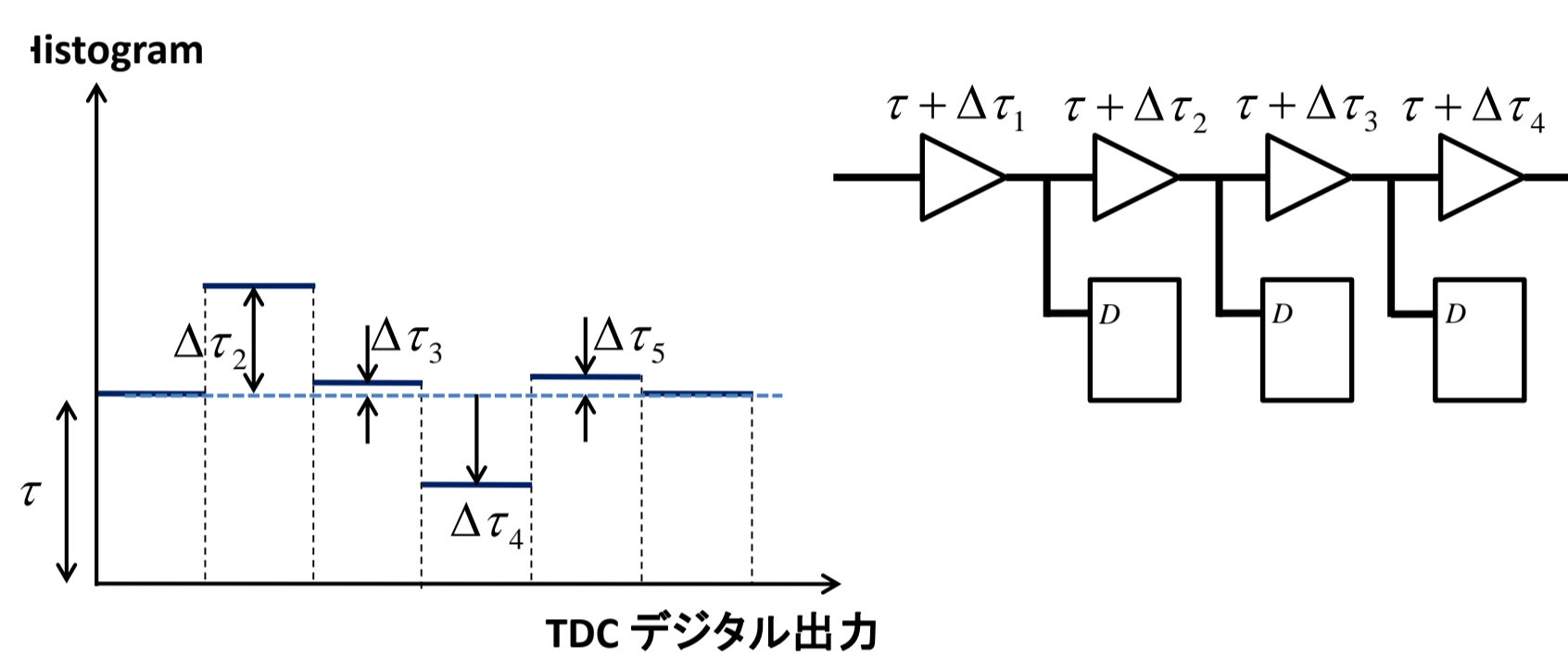
非線形性自己校正の原理

両方のリング発振器は同期していない(無相関)

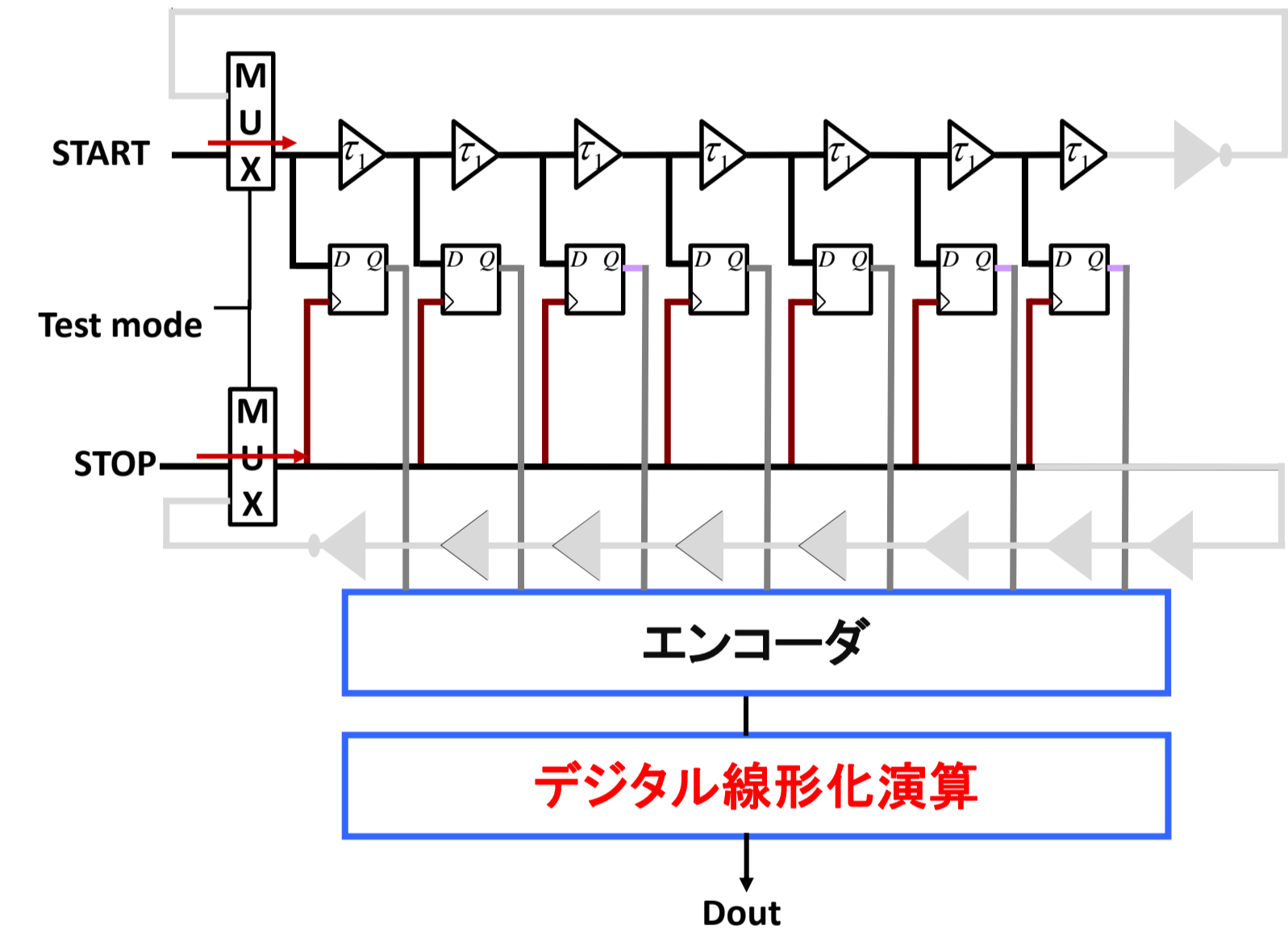
- ・TDCが完全に線形
→各出現コードの確率が等しい

時間信号であることを積極的利用

- ・バッファ遅延ばらつき $\tau + \Delta\tau$
- ・TDCの非線形性 $\Delta\tau$
- ・INLをヒストグラムより求める

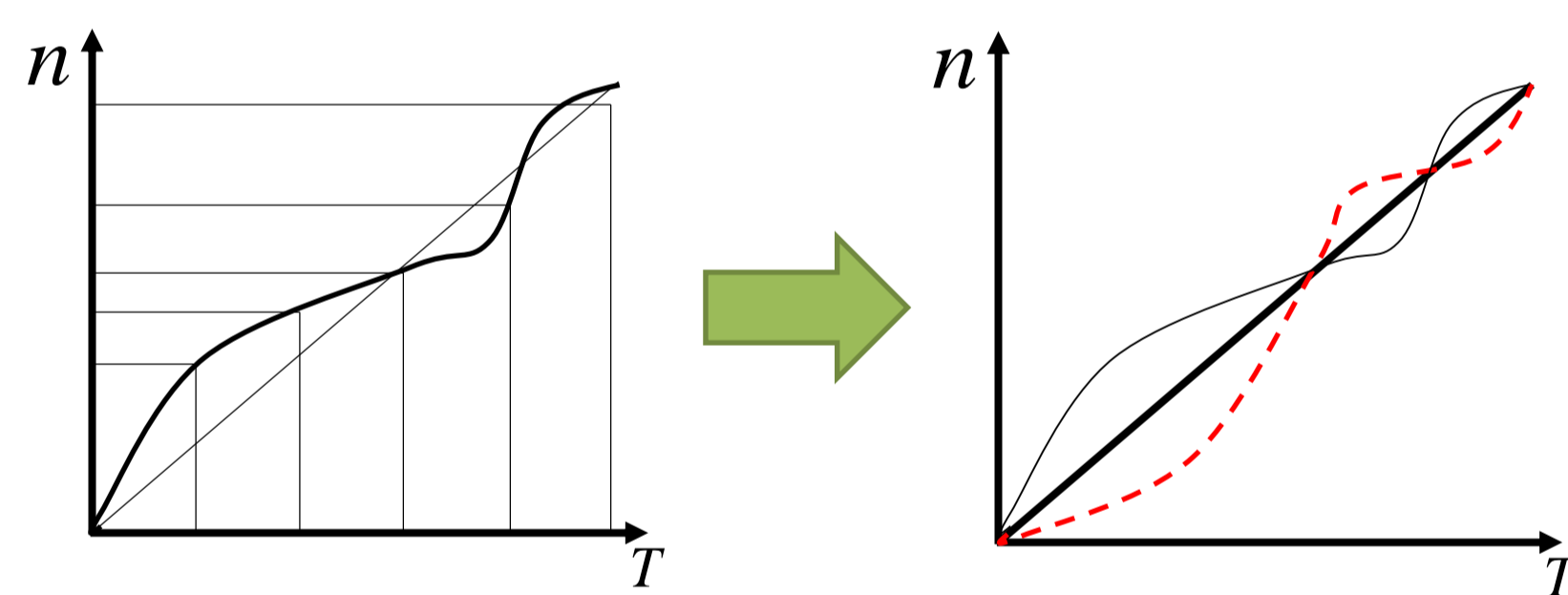


通常モード

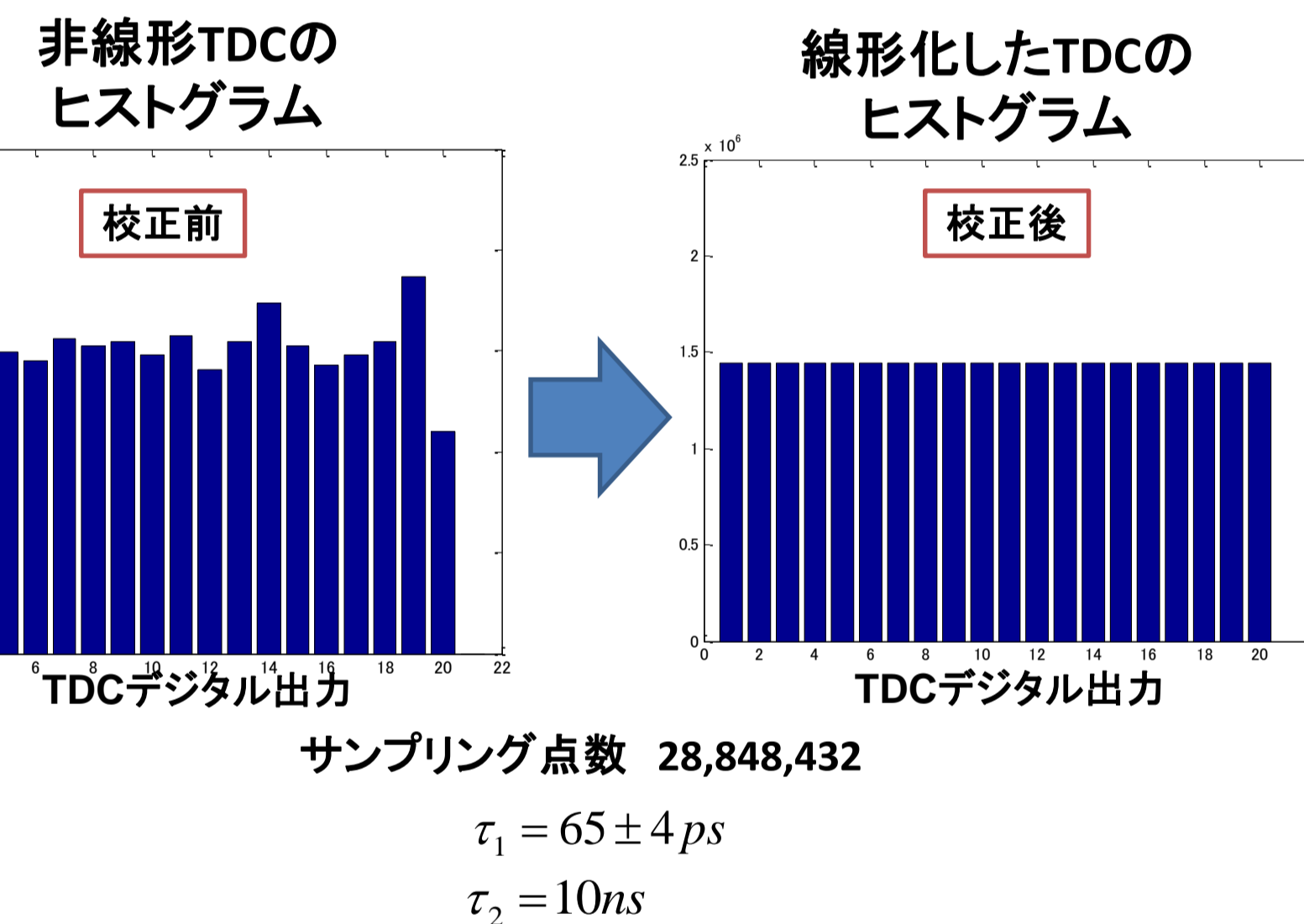


デジタル線形化演算

逆関数かける → 高線形化



効果検証シミュレーション



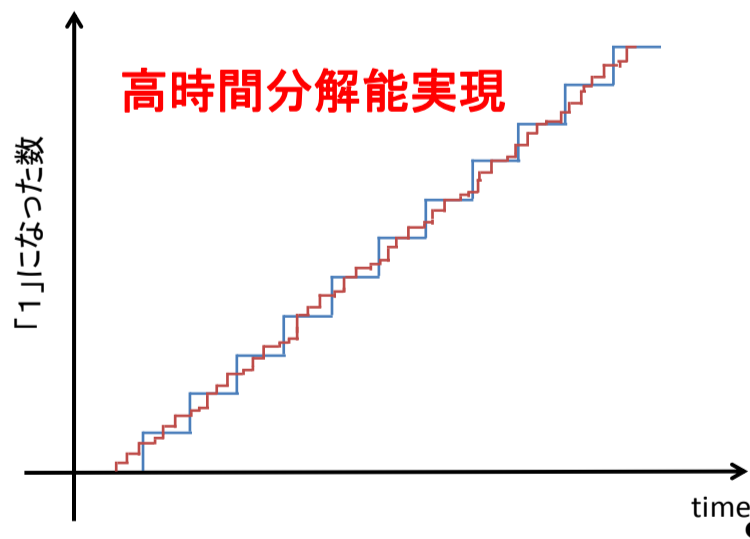
高線形性TDC

高時間分解能TDC

TDCの高時間分解能化

確率的タイムデジタイザ回路(Stochastic TDC)

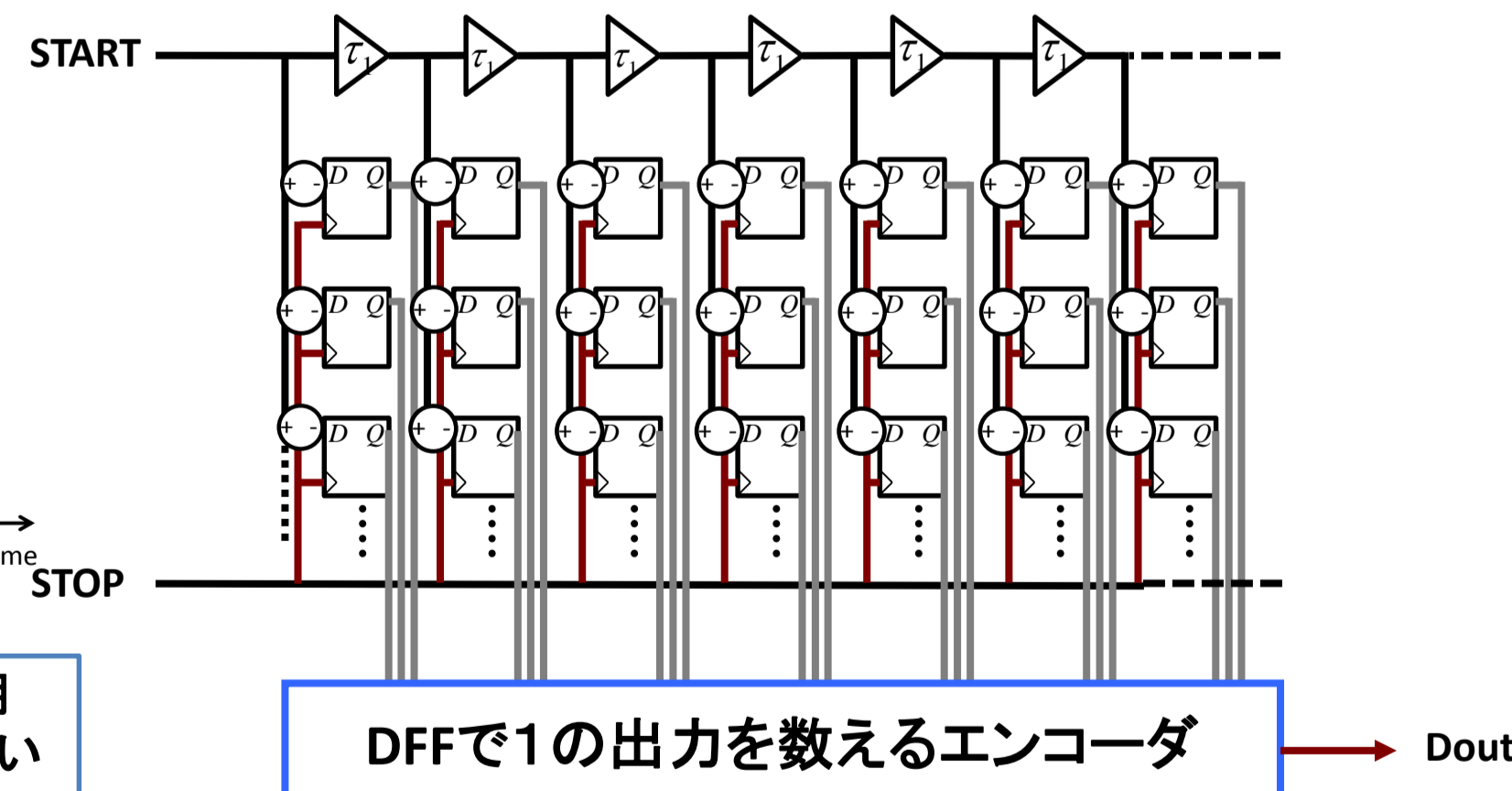
- 一つの遅延バッファ(τ)出力からたくさんのDFFのD入力に接続
- 各DFFのランダム・オフセット
等価的に各DFFのD入力までの遅延時間が異なる



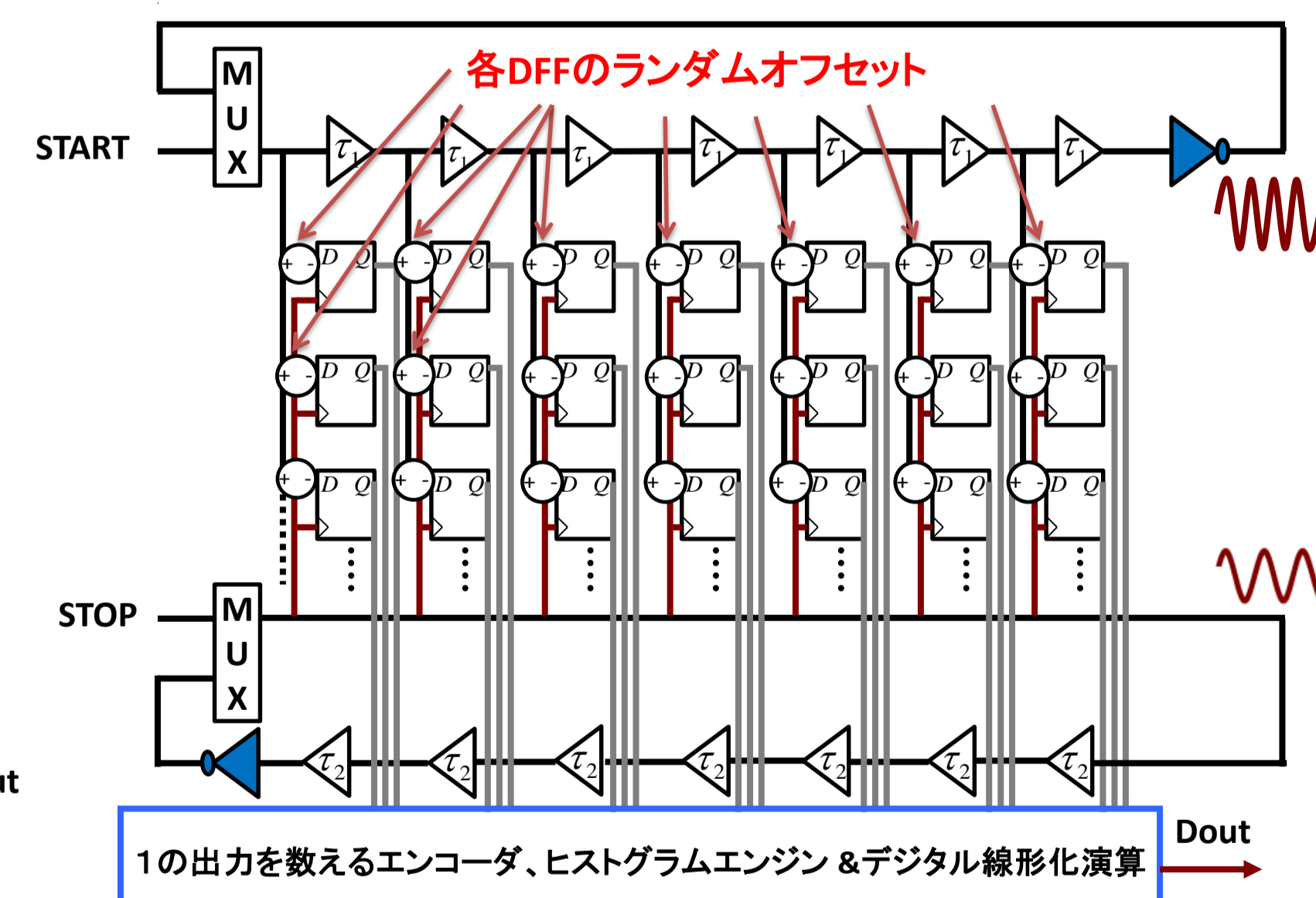
細かい時間分解能を実現

- ・オフセットを積極的利用
- ・MOSサイズは最小でよい
- ・低消費電力

確率的TDC



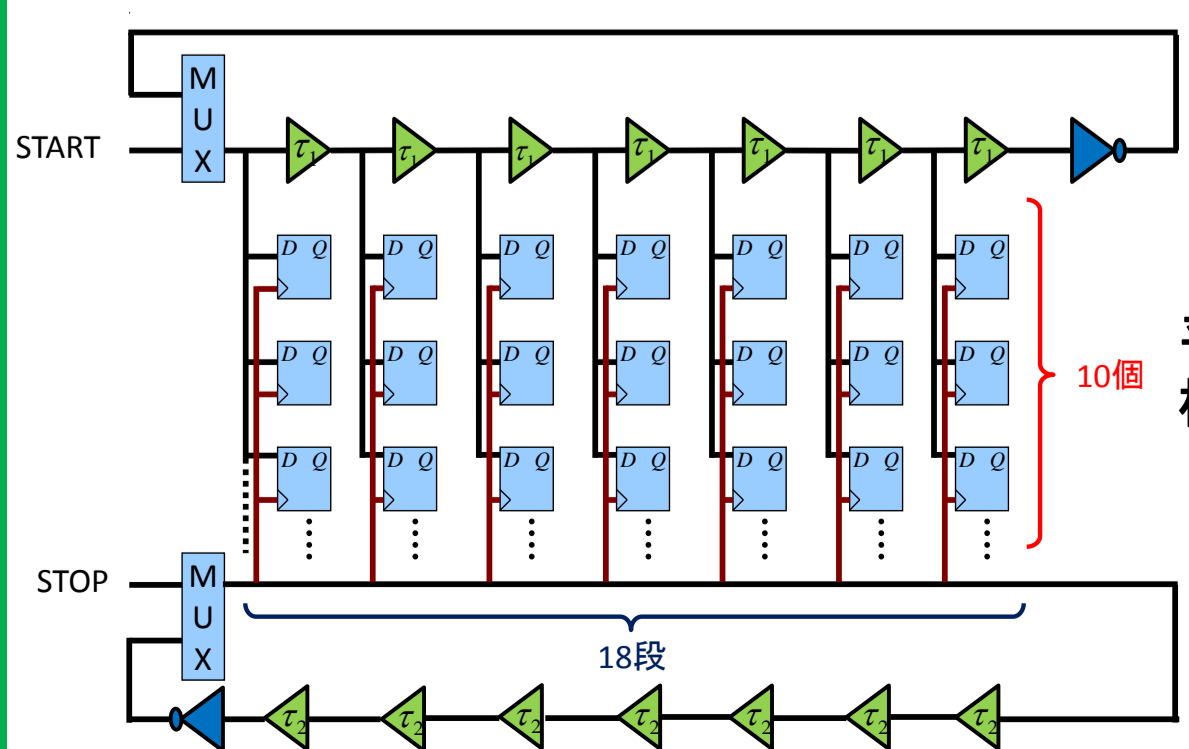
自己校正回路を備えた確率的TDC



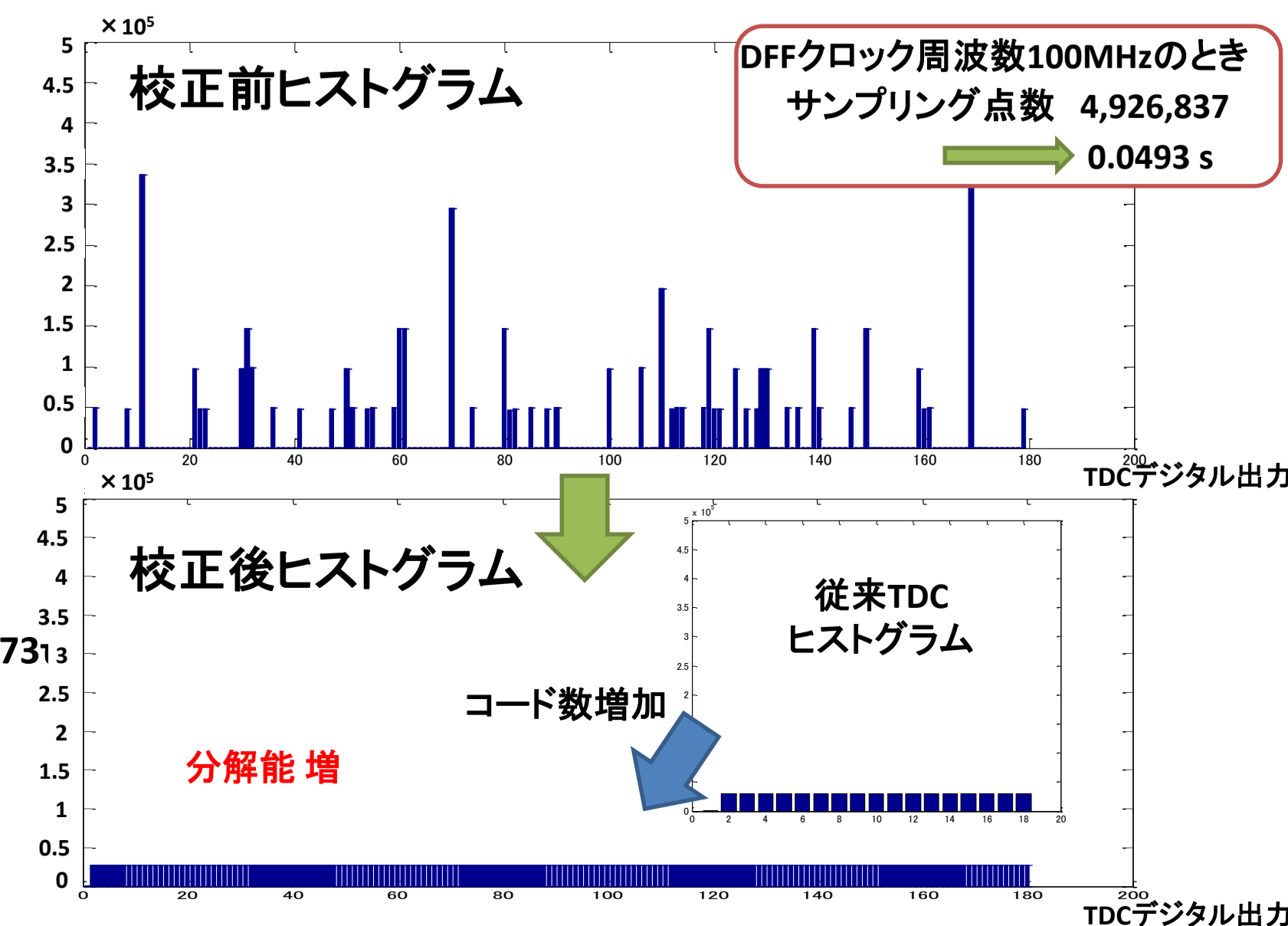
非線形性自己校正シミュレーション

シミュレーション条件

- ・遅延バッファ18段
- ・一つの遅延バッファ(τ)出力から10個のDFFに接続



効果検証シミュレーション



- ・TDCの非線形性の自己校正

ヒストグラム法使用

- ・TDCの高分解能化

確率的TDC

今後の課題

提案TDCのチップ実現

まとめ