

## [招待講演] デジタルアシスト・アナログテスト技術

### - ナノ CMOS 時代のアナログ回路テスト技術 -

小林 春夫<sup>†</sup> 山口 隆弘<sup>†</sup>

<sup>†</sup> 群馬大学大学院 工学研究科 電気電子工学専攻 〒 376-8515 群馬県桐生市天神町 1-5-1

E-mail: †k\_haruo@el.gunma-u.ac.jp, takahiro.yamaguchi@jp.advantest.com

あらまし この論文ではミックスドシグナル SoC のアナログ部のテストに関して現状と問題点を示し、次の 2 つの内容について考察する。(i) デジタル自己校正やデジタル誤差補正を用いてアナログ RF 回路を高性能化するデジタルアシストアナログ技術が微細 CMOS を用いた SoC 内で多用されつつある。この製造出荷時テスト法に関する考察を行う。(ii) 微細 CMOS SoC 内では DSP コア、メモリ等の豊富なデジタル回路を有する場合が多い。これらを利用して SoC 内アナログ RF 回路のテストを容易化する技術について考察する。

キーワード デジタルアシスト・アナログ技術, デジタルアシスト・アナログテスト技術, テスト容易化, 自己校正, デジタル誤差補正

## [Invited] Digitally-Assisted Analog Test Technology

### - Analog Circuit Test Technology in Nano-CMOS Era -

Haruo KOBAYASHI<sup>†</sup> and Takahiro J. YAMAGUCHI<sup>†</sup>

<sup>†</sup> Dept. of Electronic Engineering, Gunma University, 1-5-1 Tenjin-cho, Kiryu 376-8515 Japan

E-mail: †k\_haruo@el.gunma-u.ac.jp, takahiro.yamaguchi@jp.advantest.com

**Abstract** This paper reviews current production testing issues for analog and mixed-signal SoC, and discusses the following: (i) Digitally-assisted analog technology prevails in mixed-signal SoC with fine CMOS which uses digital-rich architecture, digital self-calibration and error correction, and we consider their effective production testing. (ii) Mixed-signal SoCs frequently incorporate digital resources such as DSP cores and memory. We discuss how such resources can be utilized to simplify production testing of the analog RF circuitry in the SoC.

**Key words** Digitally-Assisted Analog Technology, Digitally-Assisted Analog Test Technology, Design for Testability, Self-Calibration, Digital Error Correction

## 1. はじめに

LSI 技術の進展とともにテストコストの削減が産業上の大きな問題となりつつある (図 1) [1]- [42]. その中でミックスドシグナル SoC でアナログ RF 部のテストは技術的に難しく、チャレンジングな研究開発の課題がたくさんある。ここではミックスドシグナル SoC のアナログ RF 部のテストに関して現状と問題点を述べ、次の 2 つの内容について考察する。

(i) デジタル自己校正やデジタル誤差補正を用いてアナログ RF 回路を高性能化するデジタルアシストアナログ技術, デジタルリッチなアーキテクチャが微細 CMOS を用いた SoC 内で多用されつつある [43]- [52]. この製造出荷時テスト法に関する考察を行う。

(ii) 微細 CMOS SoC 内では多くの場合 DSP コア, メモリ等の豊富なデジタル回路を有する。これらを利用して SoC 内アナログ RF 回路のテストを容易化する技術について考察する。

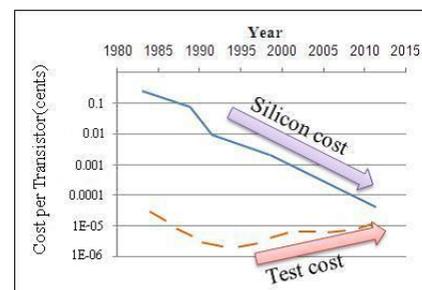


図 1 LSI でのシリコンコストおよびテストコストのトレンド。

## 2. ミックスドシグナル SoC のテスト

LSI テストの技術的問題は「コスト」をその評価関数として考えると非常に明確になる [29]. LSI テスト技術はすべて「コスト」に収束すると言えよう. LSI テストは一般には「価値を付加しない」と言われるが、故障診断 (diagnosis), 歩留まり向上を助けることができる. また、注意すべきは「テスト」と「測定」は下記のように目的と技術が似ているが異なることである.

- テスト: 100%エンジニアリングであるという発想をするとうわりやすい. LSI の良品か不良品かの判別を行う量産試験・生産技術でありテスト技術者により半導体工場、テストハウスで行われる.

- 測定: 科学とエンジニアリングの両面性をもつ. IC 設計技術者によりの設計検証および性能評価 (characterization) であり、研究室レベルで行われる.

LSI テストは技術だけでなくそのマネージメント戦略にも大きく依存する. 例えば SoC のアナログ部に関しては次の 2 つの戦略がありえよう.

- (i) アナログ BIST (Built-In Self-Test) を開発し低コスト ATE (Automatic Test Equipment: 半導体試験装置) を用いてテストを行いテストコストを削減する.

- (ii) 高性能ミックスドシグナル ATE とそのサービス、ノウハウを利用し、素早く LSI を市場に投入して収益を得る. (テストコスト削減以上に早期市場投入による先行者利益を優先する.)

また、回路設計者、LSI テスト技術者、ATE メーカー技術者、大学での LSI テスト研究者間の協力も重要である.

低コスト・テスト実現のためには次の方法がある.

- (i) 低コスト ATE を使用する.
- (ii) 短いテスト時間 (ATE コスト, その設置場所のコスト, 人件費). 例えば 1US ドルの売り値のチップに対して 1 秒以下程度のテスト時間が妥当であるとされている.
- (iii) 同時に多数個のチップを並列テスト (マルチサイトテスト).
- (iv) BIST を用いる場合はその開発期間が短くチップ面積ペナルティが最小であることが必要である.

ここで 低コスト ATE とは以下のようなものである.

- (i) デジタル ATE, すなわち任意波形発生器 (Arbitrary Waveform Generator: AWG) のようなアナログオプションを使用せず、入出力ピンがデジタルの ATE.
- (ii) 時間・電圧分解能が低く、低速で安価な ATE.
- (iii) アナログ ATE をデジタル ATE で置き換えるとマルチサイトテストが可能になる.
- (iv) 中古 ATE や内製 ATE.

また、LSI テストはパッケージ前のウェーハテスト とパッケージ後のパッケージテスト に大別される. パッケージ前のウェーハプロービングテストで不良品を落とすと低コスト化できるが、次の課題がある.

- (i) プロービングのオン抵抗が問題になる.
- (ii) プローブにより PAD がダメージを受ける (MEMS プローブはこの問題を軽減し得る).
- (iii) 高周波信号のプロービングは高コストである (歩留まり向

上後は省略することが多い).

- (vi) 複数チップ同時テストのプロービングは難しい.

現状ではウェーハテストでは低コスト ATE を用いて低周波信号でのテストを行い、パッケージ後のテストではより高性能 ATE を用いて高周波数でのテストを行うことが多い. また無線通信技術は接触なしのプロービング実現の可能性がある、高周波測定が可能になりえるので次世代の技術として研究開発が行われている [23], [24].

## 3. アナログ回路部テストの問題点

ミックスドシグナル SoC 内アナログ回路部のテスト容易化の問題点として次のことがある [1]- [10].

- (i) 故障 (fatal fault, catastrophic fault) しているかどうかの判別に加えてパラメトリック故障 (parametric fault, 基本動作はしているが性能が足りない) を検出する必要があり、テストというより測定に近い.

- (ii) デジタル回路テストでのスキャン・パスやシグネチャ・アナリシスのような汎用的テスト容易化手法がない. (アナログ・バンドリ・スキャン [32] は普及が限定している.)

- (iii) アナログ回路毎、さらにその性能指標毎の個別対応しなければならない. 例えば ADC の DC 線形性テストのためには高精度ランプ波発生技術が必要であり (図 2), 高周波特性テストのためには低ジッタ・クロック供給と高周波信号入力が必要である等、要求される技術が大きく異なる.

- (iv) アナログ [1] ~ [4], RF [5], [6], 高速 IO [22], パワーマネージメントのテスト容易化技術はそれぞれ異なる.

- (v) アナログ回路の実用的な故障モデル (fault model) がない.

- (vi) アナログ DFT (Design for Testability), BIST の回路規模が大きくなるとそれらの故障により歩留まりを落としてしまう. (アナログ DFT, BIST は簡単な回路でなければならない.)

- (vii) 被テストアナログ回路より DFT, BIST の性能要求が厳しくなりがちである.

- (viii) アナログ DFT, BIST を付加するとその負荷容量等でアナログ回路性能が劣化しがちである.

- (ix) DFT, BIST を使用する場合データ転送 (シリアルデータによるシフトレジスタへのモード設定) 時間が問題になり得る.

- (x) DFT, BIST によるチップ面積増加 (チップコスト増加) が問題になる.

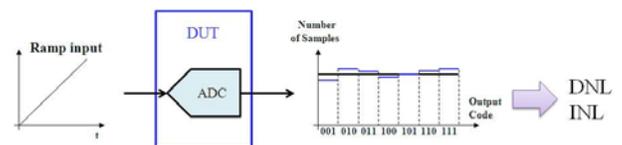


図 2 ランプ波入力ヒストグラム法による ADC 線形性テスト.

現状ではメモリチップやデジタル LSI のテスト容易化技術に比べてアナログ部のテスト容易化技術は課題が多い.

またアナログテストのためのミックスドシグナル ATE 開発コストは大きいので、アナログテスト容易化技術はミックスドシグナル ATE メーカーにもメリットがあると指摘されている. ATE

の開発には「今日の技術で明日の（高性能な）チップをテストする」というジレンマが常に存在しそれを克服するための革新的技術が必要である [36] ~ [40].

#### 4. アナログ回路のテスト容易化技術

アナログテスト容易化技術は 20 年以上にわたり研究されており充分普及しているとは言いが難いが着実に進歩している。たとえば適用ルールは次のようにまとめられる [11].

- (i) オーバーサンプリング（変調技術）を用いる。
- (ii) アンダーサンプリング（等価時間サンプリング）を用いる（図 3）。テスト時には ATE で入力信号を制御可能なので繰り返し信号を与えて出力を等価時間サンプリングで観測可能である。
- (iii) デジタル技術を多用する。
- (iv) オフライン校正 (off-line calibration), 自動ゼロ技術 (auto zero technique) を用いる。
- (v) 差動信号等, 信号の差を利用する。
- (vi) 被テスト回路 (Circuit Under Test: CUT) 内の冗長性をテスト基準として用いる。
- (vii) SoC 内の回路ブロックをテスト時に利用する。例えば SoC 内 ADC, DAC でループバック構成をとる, 受信回路, 送信回路でループバック構成をとる。

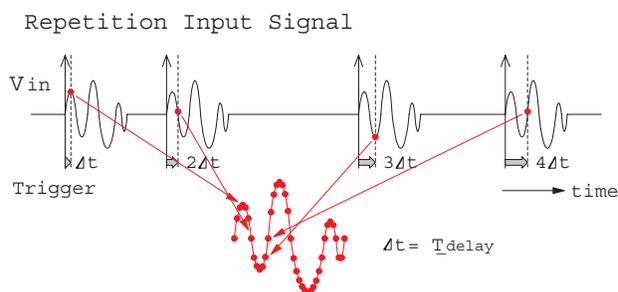


図 3 繰り返し入力波形に対する等価時間サンプリングの原理図。サンプリング時刻のトリガ信号（繰り返し入力信号の起点）からの時間を知ることサンプル値データから波形を再合成できる。

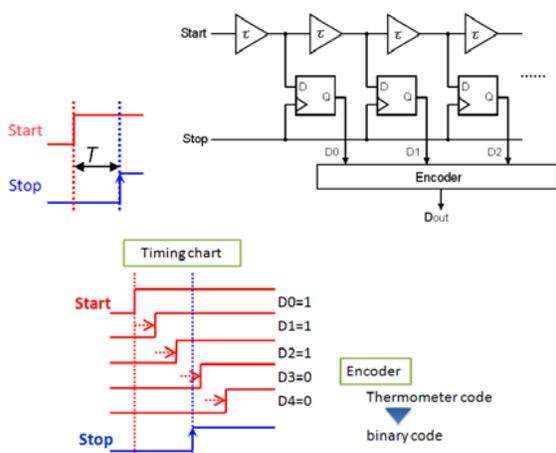


図 4 タイムデジタル化回路の構成と動作。

個別アナログ回路のテスト容易化手法としては次のようなも

のがある。

- (i) オペアンプ, アナログフィルタ回路をテスト時にポジティブフィードバック構成にして発振を利用する [7], [13], [16], [35].
- (ii) 電源線を利用する。
- (iii) タイムデジタル化回路等の時間領域アナログ回路を用いる [34] (図 4)。PLL 回路ジッタ特性のテスト容易化はこの考え方で成功している例である [25].

(iii) については、「ディープ・サブミクロン・プロセスでは、デジタル信号のエッジ遷移の時間領域の分解能のほうがアナログ信号の電圧分解能よりも優れている」という考え方で [43], 微細 CMOS での実現に適した時間分解能型アナログ回路として多くの回路設計の研究者により様々な展開がなされているが、アナログ・テスト容易化にも適用されつつある。

アナログテスト容易化技術の開発のためにはアナログ回路設計の技術的バックグラウンドが必要であり, また回路技術に加えて信号処理技術も有用である [33]. アナログテスト容易化を考える際に可観測性 (observability), 可制御性 (controllability) は有用な概念である。BIST, BOST (Built-Out Self-Test), ATE との協調テストも重要であろう [26].

RF システム全体のテスト指標として BER (Bit Error Rate), EVM (Error Vector Magnitude) の有用な指標が広く実用化されている [10]. 個別の RF 回路用 BIST もいくつか提案されている [15].

アナログ RF 回路部のテスト法として「代替テスト (alternative testing)」の概念が提案されている [12]. アナログ RF 部の「仕様ベースのテスト (specification-based test)」は測定に近くコスト増になる。一方デジタルのような「故障テスト (fault-based test)」だけでは不十分である。代替テストは仕様項目パラメータと等価で測定が容易なパラメータでテストを行ない仕様項目を満たしているかを推定する手法であり, 有用な概念・手法と思う。

今後はアナログ RF 回路個別のテスト容易化技術に加えてアナログ RF 回路を含むシステムとしてのテスト容易化技術の研究開発が重要となると思われる [14] (例えばアナログ RF 回路部のテスト部をベースバンドデジタル回路と協調して行う)。

#### 5. デジタルアシスト・アナログ RF 技術

LSI の微細化の進展とともに, デジタル回路は面積の縮小・高速化・低消費電力化が進んでいる。しかし従来アナログ RF 回路では微細化に伴いトランジスタ特性ばらつき, 真性利得低下, 電源電圧低下のため必ずしも性能は向上せず, アナログ RF 回路設計のパラダイムシフトが必要である。

半導体プロセスの微細化はデジタルの低消費電力・高速・高集積化・低コスト化のために行う。したがってデジタルでメリットがなければ半導体微細化をする理由はない。微細化プロセスでもデジタルは必ず動作する。そこで微細 CMOS トランジスタを用いる L S I ではデジタル技術を用いてアナログ性能を向上させる技術 (デジタルアシスト・アナログ RF 技術 Digitally-Assisted Analog RF Technology) が微細 CMOS SOC 内のアナログ RF 回路を実現する際の重要な設計コンセ

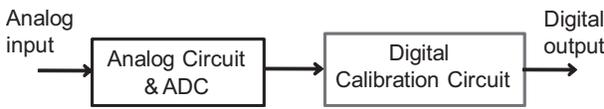


図 5 デジタルアシスト ADC のブロック図.

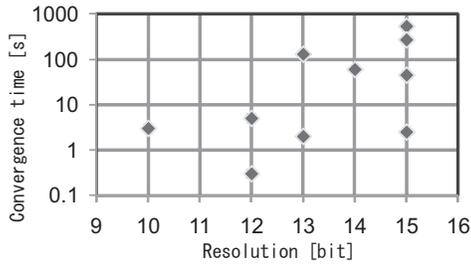


図 6 最近の論文発表でのパイプライン ADC のバックグラウンド自己校正時間 [44]- [47].

プトである.

この思想でのアナログ RF 回路設計で次が期待できる.

- 微細デジタル CMOS 回路での低電源電圧動作が可能.
- CMOS プロセス微細化進展で性能が向上する.
- 小さなチップ面積で実現できる.
- 初回試作チップでの完全動作が期待できる.
- 半導体プロセス開発と並行して回路設計が行える.
- プロセス・ポータビリティおよびプロセス・スケラビリティが確保できる.
- 他のデジタル回路と集積化できる.
- デジタル的手法でテストが可能である.

この設計思想は [43] の ADPLL (All Digital PLL, 完全デジタル PLL 回路) にその端緒をみることができる.

## 6. デジタルアシスト・アナログテスト技術 (1)

近年のアナログ RF 回路では自動調整, 自己校正, 誤差補正技術により特性向上・歩留まり向上が図られているが (図 5), そのテストは難しい側面がある. 回路がバックグラウンド自己校正を行っているためそのテスト時に技術的な課題がでてきていることがテスト現場から報告されている.

その一つがバックグラウンド自己校正はその収束時間 (図 6) がテスト時間の一部になってしまいテストコストを増大させるという問題が指摘されている. 我々もテスト時にバックグラウンド自己校正の時間を短縮する技術 (図 7) [28], および通常動作時にも自己校正時間を短縮する技術に取り組んでいる [51].

また, 一般にロバストな設計とテスト容易化は相反する側面がある. 例えばフィードバック回路は回路素子のパラメータ変動の観測を難しくし, 自己校正と冗長性は被テスト回路の欠陥を隠す傾向にある.

バックグラウンドデジタル自己校正 AD 変換器等のデジタル・アシスト・アナログ技術を用いた回路では設計パラメータ空間が広がる. 内部に不良箇所があっても補正され LSI テスト (出荷検査) の際に「良品」と判定されてしまう. その欠陥が補正できるぎりぎりのとき, 市場で補正範囲を超え動作不良とな

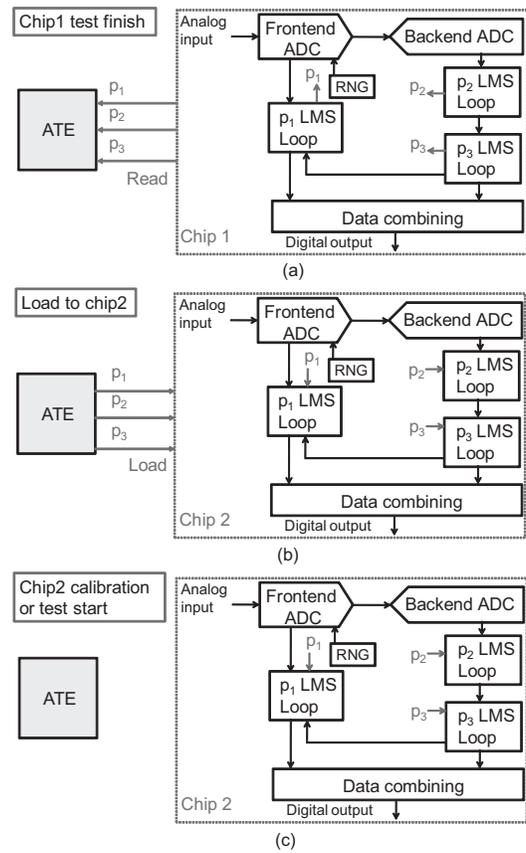


図 7 提案する自己校正パイプライン ADC の短時間テスト手法. 同じウェーハ内のチップの回路の特性は強い相関があることを利用. (a) ATE でチップ 1 のパラメータ収束値  $p_1, p_2, p_3$  を読む. (b) ATE はチップ 2 にそれらを初期値として与える. (c) チップ 2 の自己校正・テストがスタート.

ることがある. この問題を軽減するために, テスト時に自己校正用のメモリ内容を読み込んで良否判定に利用する技術が提案されている. (なお校正メモリデータを読み込んで利用することはネットワークアナライザですで行われている.)

また我々は冗長性を含んだ回路の冗長経路のテストを容易化する技術として非 2 進冗長アルゴリズム SAR ADC のテスト容易化技術の検討を行っている (図 8) [27], [30].

デジタルアシスト・アナログ技術の普及とともにそのテスト技術の研究開発が重要になってくるが, その研究開発は始まったばかりの状態である.

## 7. デジタルアシスト・アナログテスト技術 (2)

SoC 内アナログ RF 回路部のテスト容易化・コスト削減が産業上の大きな課題であるその解決策として有効なのはテスト時に SoC 内の DSP やメモリ等のデジタル回路の力を積極的に利用することであると考えている.

トランシーバ IC の出荷時テストの際に受信機側に信号発生器で信号を与え送信機出力をスペクトラムアナライザでテストする構成では高価な電子計測器が必要になる. 携帯電話では受信側と送信側のキャリア周波数が異なるので直接にはループバックが使用できない. しかしサンプリングミキサ受信機と

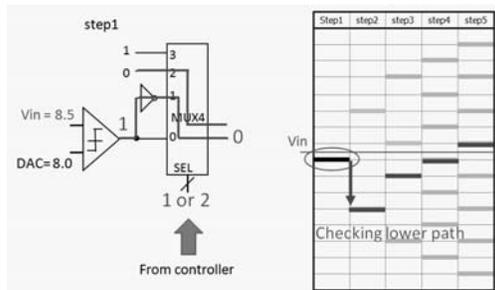
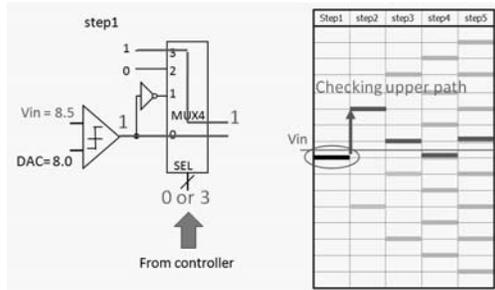
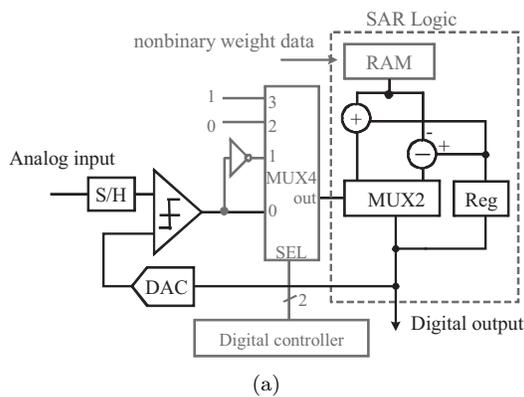


図 8 冗長アルゴリズム SAR ADC の提案冗長経路テスト用 BIST の構成と動作例。(a) 提案 BIST の構成。(b) 初段でコントローラ出力が 0 または 3 でその他の段では 0 の場合。(c) 初段でコントローラ出力が 1 または 2 でその他の段では 0 の場合。

ADPLL を用いた送信機で構成された携帯電話送受信 IC ではテスト時に受信側と送信側のキャリア周波数を合わせることができるのでループバックのテストが構成可能である [31]。

ADPLL 出力の位相ノイズは ADPLL 回路内のあるデジタル信号推移と密接な相関があるということを利用し、出荷時のテストの際に位相ノイズ特性を RF 測定器で直接測定するのではなくそのデジタル信号をモニタすることでテストコスト削減をすることが提案されている [43]。

$\Delta\Sigma$  DA 変調を用いてテスト信号出力を生成する場合に、その出力コードをチップ内メモリに記憶しておいて信号生成時に逐次読み出しアナログフィルタを通過させてテストアナログ信号を生成する手法も提案されている。

ATE 側での AWG で、DSP の信号生成アルゴリズムを工夫することで歪みの少ない正弦波信号および ADC 線形性の短時間テスト用マルチ正弦波信号を生成することができる [31], [38]。

車載応用等で高い信頼性を要求されるところでは自己診断・自己テスト機能が重要である。タイムデジタイザ回路を例にと

りその機能のデジタル的実現手法を検討している [34]。

テストに関してトップダウンアプローチをとりデジタル的手法でテストが可能な手法をアーキテクチャ・回路設計とリンクさせて開発する必要がある。個別のアナログ回路ではなく、回路ブロック・チップ・システムレベルでのテスト容易化の戦略をとる必要がある。

## 8. まとめ

ミクストシグナル SoC アナログ部のテスト容易化技術は今すぐ取り組まなければならない大きな技術課題である。ミクストシグナル SoC にデジタルアシスト・アナログ技術が多用されつつありそのテストが大きな課題である。またミクストシグナル SoC 内のデジタル回路をテスト時に積極利用することでアナログ部のテスト容易化が実現でき得る。これらは技術的にチャレンジングな領域である。

謝辞 有意義なご討論をいただきました宮下博之、力野邦人、矢野雄二、岸上真也、我毛辰弘氏、小林修、松浦達治、森俊彦、荒井智、古川靖夫、浅見幸司、山田庸一郎、小室貴紀、酒寄寛、高井伸和、新津葵一各氏 ならびにこの研究をご支援頂いています STARC に謝意を表します。

## 文 献

- [1] M. Burns, G. W. Roberts, An Introduction in Mixed-Signal IC Test and Measurement, Oxford Univ. Press (2000).
- [2] M. L. Bushnell, V. D. Agrawal, Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits, Kluwer Academic Publishers (2000).
- [3] B. Vinnakota (editor), Analog and Mixed-Signal Test, Prentice Hall (1998).
- [4] M. Baker Demystifying Mixed-Signal Test Methods, Newnes (2003).
- [5] J. Kelley, M. Engelhardt, Advanced Production Testing of RF, SoC, and SiP Devices, Artech House (2007).
- [6] T. Kellet, M. Engelhardt, Production Testing of RF and System-on-a-Chip Devices for Wireless Communications, Artech House (1999).
- [7] C. H. Sanchez, D. V. C. Vega, A. R. Rueda, J. L. H. Diaz, Oscillation-Based Test in Mixed-Signal Circuits, Springer (2006).
- [8] D. Hong, K.-T. Cheng, Efficient Test Methodologies for High-Speed Serial Links, Springer (2010).
- [9] S. Abdennadher, S. Shaikh, Practices in Analog, Mixed-Signal and RF Testing, Tutorial, International Test Conference (Nov. 2009).
- [10] K.-T. Cheng, H.-M. Chang, "Recent Advances in Analog, Mixed-Signal and RF Testing", IPSJ Trans. on System LSI Design Methodology, vol.3, pp.19-46 (Feb. 2010).
- [11] K. Arabi, "Mixed-Signal Test Impact to SoC Commercialization", IEEE VLSI Test Symposium (April 2010).
- [12] S. Goyal, A. Chatterjee, M. Purtell, "A Low-Cost Test Methodology for Dynamic Specification Testing of High-Speed Data Converters", J. of Electronic Testing, vol.23, pp.95-106 (2006).
- [13] K. Arabi, "Design for Testability of Integrated Operational Amplifiers Using Oscillation-Test Strategy", ICCD (1996).
- [14] E. D. Obaldia, "RF BIST: Techniques to Lower Test Cost", IEEE VLSI Test Symposium (April 2010).
- [15] R. M. Ramzan, Flexible Wireless Receivers: On-Chip Testing Techniques and Design for Testability, Ph. D. Dissertation, Linkopings University (May 2009).

- [16] A. Goyal, M. Swaminathan, A. Chatterjee, "A Low-Cost Specification Based Testing of RF Amplifier Circuits Using Oscillation Principles", *J. of Electronic Testing*, vol.26, pp.13-24 (Feb. 2010).
- [17] M. Abbau, K.-T. Cheng, Y. Furukawa, S. Komatsu, K. Asada, "Signature-Based Testing for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links", *European Test Symposium*, pp.107-112 (May 2009).
- [18] H.-M. Chang, M.-S. Lin, K.-T. Cheng, "Digitally-Assisted Analog/RF Testing for Mixed-Signal SoCs", *Asian Test Symposium*, pp.43-48 (Nov. 2008).
- [19] H.-M. Chang, K.-Y. Lin and K.-T. Cheng, "Calibration-Assisted Production Testing for Digitally-Calibrated ADCs", *IEEE VLSI Test Symposium* (April 2010).
- [20] S. Goyal, A. Chatterjee, M. Atia, H. Iglehart, C. Yu Chen, B. Shenouda, N. Khouzam, H. Haggag, "Test Time Reduction of Successive Approximation Register A/D Converter By Selective Code Measurement", *IEEE International Test Conference* (2005).
- [21] B. Mullane, V. O'Brien, C. MacNamee, T. Fleischmann, "A2DTest: A Complete Integrated Solution for On-chip ADC Self-Test and Analysis", *IEEE International Test Conference* (2009).
- [22] H. Xing, H. Jiang, D. Chen, R. Geiger, "A Fully Digital-Compatible BIST Strategy for ADC Linearity Testing", *IEEE International Test Conference* (2007).
- [23] M. Daito, Y. Nakata, S. Sasaki, H. Gomyo, H. Kusamitsu, Y. Komoto, K. Iizuka, K. Ikeuchi, G. Kim, M. Takamiya, T. Sakurai, "Capacitively Coupled Non-Contact Probing Circuits", *ISSCC Tech. Digest*, (Feb. 2010).
- [24] Y. Yoshida, K. Nose, Y. Nakagawa, K. Noguchi, Y. Morita, M. Tago, T. Kuroda, M. Mizuno, "Wireless DC Voltage Transmission Using Inductive-Coupling Channel for Highly-Parallel Wafer-Level Testing", *ISSCC Tech. Digest*, (Feb. 2009).
- [25] K. A. Jenkins, L. Li, "A Scalable, Digital BIST Circuit for Measurement and Compensation of Static Phase Offset", *IEEE VLSI Test Symposium* (May 2009).
- [26] T. Komuro, N. Hayasaka, H. Kobayashi, H. Sakayori "A Practical Analog BIST Cooperated with an LSI Tester", *IEICE Trans. Fundamentals*, no.2, pp.465-468 (Feb. 2006).
- [27] T. Ogawa, H. Kobayashi, S. Uemori, Y. Tan, S. Ito, N. Takai, T. Yamaguchi, "Fast Testing of Linearity and Comparator Error Tolerance of SAR ADCs", *IEEE International Analog VLSI Workshop* (Nov. 2009).
- [28] T. Yagi, H. Kobayashi, H. Miyajima, Y. Tan, S. Itoh, S. Uemori, N. Takai, T. J. Yamaguchi, "Production Test Consideration for Mixed-Signal IC with Background Calibration", *IEEE International Analog VLSI Workshop* (Nov. 2009).
- [29] H. Kobayashi, "Issues and Challenges of Analog Circuit Testing in Mixed-Signal SoC, "東京大学 VDEC 「アドバンテスト D2T 寄附研究部門」 D2T シンポジウム (2009 年 12 月) (Invited).
- [30] 小川 智彦, 小林 春夫, 伊藤 聡志, 上森 聡史, 丹 陽平, 高井 伸和, 山口 隆弘 「冗長アルゴリズム SAR ADC のテスト容易化技術」電子情報通信学会, 第 23 回 回路とシステム (軽井沢) ワークショップ (2010 年 4 月) .
- [31] 上森聡史, 伊藤聡志, 古川靖夫, 山口隆弘, 浅見幸司, 小林春夫 「SoC 内 ADC テスト信号生成アルゴリズム」電子情報通信学会 総合大会, 仙台 (2010 年 3 月)
- [32] 趙楠, 高橋洋介, 光野正志, 龜山修一, 馬場雅之, 小林春夫, 「アナログバウンダリスキャンの測定評価と応用の検討」, フォールト・トレラント・コンピューティング (FTC) 研究会, 伊豆 (2007 年 7 月)
- [33] 本木義人, 菅原秀武, 小林春夫, 小室貴紀, 酒寄寛, 「通信用 AD 変換器テスト評価のためのマルチトーン・カーブ・フィッティング・アルゴリズム」, 電子情報通信学会和文誌 C, vol.J86-C, no.2, pp.186-196 (2003 年 2 月).
- [34] 伊藤 聡志, 小林 春夫, 上森 聡史, 丹 陽平, 高井 伸和, 山口 隆弘 「自己校正・自己診断機能を備えたタイムデジタイザ回路」電気学会 電子回路研究会, 北海道 (2010 年 6 月)
- [35] 高橋洋介, 林海軍, 小林春夫, 小室貴紀, 高井伸和, 「発振を利用したアナログフィルタのテスト・調整」, 電気学会, 電子回路研究会, 桐生 (2006 年 3 月) .
- [36] T. Yamaguchi, K. Ichiyama, M. Ishida, H. Hou, "A Robust Method for Identifying a Deterministic Jitter Model in a Total Jitter Distribution", *International Test Conference* (Nov. 2009).
- [37] T. Fujibe, M. Suda, K. Yamamoto, Y. Nagata, K. Fujita, D. Watanabe, T. Okayasu, "Dynamic Arbitrary Jitter Injection Method for > 6.5Gb/s SerDes Testing", *International Test Conference* (Nov. 2009).
- [38] A. Maeda, "Low Distortion Sine Waveform Generation by an AWG," *International Test Conference* (Nov. 2008).
- [39] K. Asami, T. Kurosawa, T. Tateiwa, H. Miyajima, H. Kobayashi, "Digital Compensation Techniques for Time-Interleaved ADC Channel Mismatch Effects in High-Speed Analog Measurement ATE Systems", *First IEEE International Workshop on Test and Verification of High Speed Analog Circuits (TVHAC)*, Austin, TX (Nov. 2009).
- [40] K. Asami, T. Suzuki, H. Miyajima, T. Taura, H. Kobayashi, "Technique to Improve the Performance of Time-Interleaved A-D converters with Mismatches of Non-linearity", *Asian Test Symposium* (Nov. 2008).
- [41] 小室貴紀, 小林春夫, 酒寄寛, 光野正志 「ミックスド・シグナル LSI テスタ技術の基礎 (前編) -システム L S I の品質・信頼性を保証するための基盤技術-」 *Design Wave Magazine* (2005 年 6 月) .
- [42] 小室貴紀, 小林春夫, 酒寄寛, 光野正志 「ミックスド・シグナル LSI テスタ技術の基礎 (後編) -MEMS 技術が LSI テストの課題を解決-」 *Design Wave Magazine* (2005 年 7 月) .
- [43] R. B. Staszewski, P. T. Balsara, *All-Digital Frequency Synthesizer a Deep-Submicron CMOS*, Wiley-Interscience (2007).
- [44] B. Murmann, B. E. Boser, *Digitally Assisted Pipeline ADCs Theory and Implementation*, Kluwer Academic Publishers (2004).
- [45] A. Panigada, I. Galton, "A 130mW 100MS/s Pipelined ADC with 69dB SNDR Enabled by Digital Harmonic Distortion Correction", *Digest of ISSCC Technical Papers* (Feb. 2009).
- [46] Y.-S. Shu, B.-S. Song, "A 15b-Linear, 20MS/s, 1.5b/Stage Pipelined ADC Digitally Calibrated with Signal-Dependent Dithering", *Digest of Technical Papers, Symposium on VLSI Circuits*, pp.218-219 (June 2006)
- [47] H.-C. Liu, Z.-M. Lee, J.-T. Wu, "A 15-b 40-MS/s CMOS Pipelined Analog-to-Digital Converter With Digital Background Calibration", *IEEE Journal of Solid-State Circuits*, vol.40, no.5, pp.1047-1056 (May 2005).
- [48] H. Kobayashi, "Analog Circuit Design in Nano-CMOS Era - Digitally-Assisted Analog Technology-", *IEICE Circuits and Systems Workshop in Karuizawa* (April 2009).
- [49] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori, "SAR ADC Algorithm with Redundancy and Digital Error Correction", *IEICE Trans. Fundamentals*, vol.E93-A, no.2 (Feb. 2010).
- [50] 丹 陽平, 小林 春夫, 上森 聡史, 伊藤 聡志, 高井 伸和, 山口 隆弘 「I, Q 残差パイプライン A/D 変換器アーキテクチャ」電気学会 電子回路研究会, 北海道 (2010 年 6 月)
- [51] 八木 拓哉, 森 聡史, 丹 陽平, 伊藤 聡志, 松浦 達治, 白井 邦彦, 小林 春夫 「開ループアンプを用いたパイプライン ADC の "Split ADC" 構成によるバックグランド自己校正法」電気学会 電子回路研究会, 桐生 (2010 年 3 月).
- [52] 小室貴紀, 小林春夫, 林海軍, 清水一也, 田邊朋之, "RF 回路設計に押し寄せるアーキテクチャの変革を読み解く! CMOS RFIC 実現への道のり後編: CMOS トランスマッタを実現した新技術, "RF ワールド No.2, CQ 出版 (2008 年 4 月).