

冗長アルゴリズム SAR ADC のテスト容易化技術

Production Test Consideration for SAR ADC with Redundant Algorithm

小川 智彦 小林 春夫 伊藤 聡志 上森 聡史 丹 陽平 高井伸和 山口 隆弘
群馬大学大学院 工学系研究科 電気電子工学専攻 〒376-8515 群馬県桐生市天神町 1-5-1
Phone: 0277-30-1788 Fax: 0277-30-1707 k.haruo@el.gunma-u.ac.jp

T. Ogawa H. Kobayashi S. Itoh S. Uemori Y. Tan N. Takai T. J. Yamaguchi
Electronic Engineering Department, Graduate School of Engineering, Gunma University

要約— この論文では冗長アルゴリズムを用いた SAR ADC のテスト容易化技術を考察する。冗長アルゴリズム SAR ADC ではコンパレータの誤判定を許容してデジタル補正するため、参照電圧発生用内部 DAC 出力が完全に整定するまで待たなくてもよいので高速サンプリングが実現できる。この冗長 SAR ADC の最終出力と各ステップのコンパレータの判定値から各ステップでの DAC 出力の整定値を推定し、スピード余裕を知る方式を提案する。このことにより温度・電源電圧を変化させてテストを行う工数を削減できテストコストが減少できる。

さらに出荷時に ATE によるそのスピード余裕推定をもとにチップ毎のプロセス変動に対応して、消費電力・スピードの観点から最適な冗長アルゴリズムを選択する再構成可能な SAR ADC を提案する。この方式により SAR ADC のスピード性能に対する歩留まり向上につながる。

キーワード： 逐次比較近似 ADC, デジタル誤差補正, 冗長性, テスト容易化, ADC テスト, 半導体試験装置

1 はじめに

アナログ・デジタル SOC のコスト削減のためにはそのアナログ部のテスト容易化が重要な技術である [1, 2]。この論文では、車載用マイコン等に搭載される逐次比較近似 (Successive Approximation Register: SAR) ADC のテストコスト削減、歩留まり向上技術を提案する。とくに SAR ADC では非 2 進冗長アルゴリズムを用いる方式を扱う [3, 4, 5, 6]。非 2 進冗長アルゴリズム SAR ADC でその出力と各ステップのコンパレータの判定出力から、各ステップでの参照電圧発生用内部 DAC 出力の整定値を推定する方法を提案する。この推定でその SAR ADC チップのスピード余裕が得られ、電源電圧・温度を変動させてのスピードに対する (高い温度, 低い電源電圧では低速になることに対する) テスト工数を削減できる。

さらに出荷時に ATE (Automatic Test Equipment: 半導体試験装置) によるそのスピード余裕推定をもとにチップ毎のプロセス変動に対応して、消費電力・スピードの観

点から最適な冗長アルゴリズムを選択する再構成可能な SAR ADC (Reconfigurable SAR ADC) を提案する。この方式により SAR ADC のスピード性能に対する歩留まり向上につながる。

この論文ではこれらの原理とその一部のシミュレーションおよび実チップによる検証結果を示す。

2 SAR ADC の特徴と構成

SAR ADC の特徴と構成は次のようになる。

逐次比較型 ADC の特徴： 逐次比較型構成は、高分解能 (10-14bit), 中速サンプリング (5-20MS/s 程度) AD 変換器を低消費電力・低コストで実現できるので、車載, 工業用制御, ペンデジタイザ等広く用いられている [5]-[9]。

逐次比較型 ADC の構成： 逐次比較型 AD 変換器はトラック・ホールド回路, コンパレータ, DA 変換器, 論理回路とタイミング発生回路から構成される (図 1, 2)。内部回路がほとんどデジタル回路で実現できるので微細 CMOS での ADC 実現に適した構成である。

3 2 進および非 2 進 SAR ADC アルゴリズム

通常の逐次比較型 ADC は“天秤の原理”で 2 進探索アルゴリズムに従って動作する (図 3)。2 進アルゴリズムは N ビット分解能を N 回の比較で実現し、分銅に対応する DAC 出力の重み付けは 2 進荷重である。しかし 2 進アルゴリズムでは各ステップでの比較で誤判定が起きた場合に出力に誤差が出てしまう。

非 2 進冗長アルゴリズムでは N ビット分解能を M 回 ($N < M$) の比較で実現する (図 4)。比較回数を増やすことにより各出力コードに対応する比較パターンが複数となり、前半の判定で間違えた場合でも正解を出力できるようになる。そして、各ステップで許容できる誤差の範囲は比較ステップ数 M と分銅重み付けみより決まる。

我々は先に (コンパレータ 1 個の場合に) 非 2 進探索アルゴリズムによる時間冗長性 [3, 4] を一般化したアルゴリズム [5, 6] を提案し、DAC 出力の整定時間を考慮する

とこれまでのアルゴリズムを用いる SAR ADC より高速化できることを示した (図 5, 6). またこのアルゴリズムで高速化できることをチップ設計・試作・評価を通じて検証した. この論文ではそのスピード余裕の推定およびそれに基づきスピード, 消費電力の観点から有利な冗長アルゴリズムを選択する再構成可能な SAR ADC を提案する.

4 参照電圧発生用 DAC 出力の整定値の推定

この節では冗長アルゴリズム SAR ADC の参照電圧発生用 DAC 出力の各ステップでの整定値の推定アルゴリズムを示す.

冗長アルゴリズム SAR ADC のある 2 つの入力 V_{in1}, V_{in2} を考える. この 2 つの入力に対して k ステップ目までのコンパレータ判定結果が同じで $k+1$ ステップ目で判定が異なる時, k ステップまでの判定結果によって, 選択された $k+1$ ステップ目での比較値の DAC 出力の整定値 $V_{DAC}(k)$ はこの 2 つの入力 V_{in1}, V_{in2} の間に存在する. つまり, その 2 つの入力の値が分かれば, k ステップ目までの判定によって, 選択された $k+1$ ステップ目での比較値の DAC 出力の整定値 $V_{DAC}(k)$ はその 2 点の間の値であることが分かる (図 7).

$$V_{in1} \leq V_{DAC}(k) \leq V_{in2}.$$

このことを用いると次の DAC 整定値推定アルゴリズムが求まる.

- (1) 冗長アルゴリズム SAR ADC では ADC 最終のバイナリ出力値と各ステップでのコンパレータ判定を出力する.
- (2) テスト時にランプ波入力を与えて ADC 最終のバイナリ出力値と各ステップでのコンパレータ出力データをとる.
- (3) 前段の (十分な誤差許容範囲のある) ステップでコンパレータの判定が 0 から 1 に変化する 2 点の V_{in1}, V_{in2} をさがす.
- (4) $k+1$ ステップ目でのコンパレータの判定変わり目の 2 点 V_{in1}, V_{in2} を考える. 1 ステップ目から k ステップ目までのコンパレータ判定結果が同じで $k+1$ ステップ目で判定が異なる時, $k+1$ ステップ目での k ステップ目までのコンパレータ判定結果が同じで $k+1$ ステップ目で判定が異なる時, DAC 出力の整定値は次のようになる.
 - その 2 点の ADC 最終デジタル出力値が等しいときはそのデジタル出力値が DAC 出力の整定値である.
 - 2 点の ADC 出力が異なる場合は, DA 出力の整定値はその 2 点のデジタル出力値が変わる境界付近となる (図 8).

5 シミュレーションによるアルゴリズム確認

表 1 に示す 10 ビット 12 ステップの冗長アルゴリズム SAR ADC の場合に, 1 ステップ目の判定が "1" のときの 2 ステッ

プ目の DAC 出力整定値の推定のシミュレーションを行った. DAC 出力は時定数 τ の一次形を仮定する.

$$V_{DAC}(k+1) = V_{DAC}(k) + DAC(k+1) * (1 - e^{-\frac{t}{\tau}}).$$

ここで $V_{DAC}(k)$ は k ステップ目での比較判定時の DAC 出力の整定値, t は 1 ステップあたりの整定に割り当てられる時間, τ は時定数とする.

典型的な条件 (typical condition) のときの時定数を τ_{TP} とする. このシミュレーションでは $t = 2.3 * \tau_{TP}$ とし, 時定数が変化したときの整定値の変化をシミュレーションした.

1 ステップ目の判定が "1" のときの 2 ステップ目の完全に整定した値は $512 + 246 = 758$ である. 2 ステップ目の誤差許容値は 40 であるので, 718~798 の間で整定値を推定することができる. 時定数 $\tau = \tau_{TP}$ のとき DAC 出力の計算値は以下のようになる.

$$V_{DAC}(2) = 512 + 246 * (1 - e^{-\frac{2.3 * \tau_{TP}}{\tau_{TP}}}) = 733.3.$$

入力がランプ波でサンプル点が 4096 のときの 1, 2 ステップのコンパレータの判定が 10 から 11 に変化した点付近のコンパレータの判定と出力値を図 9 に示す. 判定変化点の 2 点の出力は 733 で計算値を一致している.

次に, 整定が速い場合で $\tau = 0.8 * \tau_{TP}$ の場合を考える. DAC 出力整定の計算値は以下のようになる.

$$V_{DAC}(2) = 512 + 246 * (1 - e^{-\frac{2.3 * \tau_{TP}}{0.8 * \tau_{TP}}}) = 744.1.$$

シミュレーション結果を図 10 に示す. 判定変化点の 2 点の出力は 744 で計算値を一致している.

最後に, 整定が遅い場合で $\tau = 1.1 * \tau_{TP}$ の場合を考える. DAC 出力整定の計算値は以下のようになる.

$$V_{DAC}(2) = 512 + 246 * (1 - e^{-\frac{2.3 * \tau_{TP}}{1.1 * \tau_{TP}}}) = 727.6.$$

シミュレーション結果を図 11 に示す. 判定変化点の 2 点の出力が 727, 728 で計算値に近い値になっている.

以上のように, シミュレーションで提案アルゴリズムにより各ステップでの DAC 出力整定値の推定が可能であることが確認できた.

6 試作チップでの検証

DAC 整定値の推定アルゴリズムを我々の試作した 10 ビット非 2 進冗長アルゴリズム SAR ADC チップで検証した. (回路構成を図 2 に示す). チップは 2 回試作し試作チップは ADC 出力と各ステップでのコンパレータの判定を出力できるように設計した. また, 冗長 SAR アルゴリズムは表 1 の 10 ビット 12 ステップアルゴリズムを用いた. 1~4 ステップでの各判定パターンにおける DAC の理想値

(完全に整定した場合の値)と上記方法で推定した推定値を表2, 表3に示す。

最初のチップは性能が出ず,理由はチップ外から与えている参照電圧がボンディングワイヤ・インダクタと寄生容量でリングングを生じ,そのためDAC出力整定がリングングしていると推測した。2回目の試作ではリングング対策を施した。

最初の試作のチップの測定結果(表2)ではDAC整定値の推定アルゴリズムからDAC出力がオーバーシュートしているような推定結果が得られ(ステップ2,3,4でDAC出力推定値が理想値を追い越している),出力がリングングしていることが推定できる。リングング対策を施した2回目の試作チップの結果(表3)ではDACが1次系近似で不完全整定している推定結果が得られ(ステップ2,3,4でDAC出力推定値が理想値に到達していない),その動作スピード余裕値を得ることができる。すなわち提案アルゴリズムは“チップ内の診断(diagnosis)”にも用いることができた。

実際のSAR ADCチップのスピードはSAR論理回路遅延時間とDAC出力整定時間に規定されるが,前者の占める割合は論理回路の並列・パイプライン構成および微細化により小さくなり得る.[3]

7 再構成可能な冗長アルゴリズム SAR ADC

前述したように,冗長アルゴリズム SAR ADCの各比較ステップでのDAC出力の整定値を推定することができる。この推定値はチップ毎のプロセスばらつきにより異なる。冗長アルゴリズムはDACの不完全整定誤差を補正できるように設計するが,プロセスばらつきにより,チップ毎に最適なアルゴリズムが異なる。[6]そこで,チップ毎に最適な冗長アルゴリズムを設計する方法を提案する。チップ内の冗長アルゴリズムを書き込むメモリーにフラッシュメモリ等を用いる。製造出荷テスト時に前述の方法でATE等によりDAC出力整定値を推定する。その推定値から最適な(できるだけ動作スピードマージンの大きな)非2進アルゴリズムを設計し,その値をチップ上のフラッシュメモリに書き込む(図12)。これにより,本来不良となるはずの特性の悪い(スピードが遅い)チップを良品して歩留まり向上をはかることができる。

8 まとめ

この論文では冗長アルゴリズムを用いたSAR ADCのテスト時にスピード余裕を推定する手法を提案した。温度・電源電圧を変化させてSAR ADCのスピードのテストを行う工数を軽減でき テストコストの削減を実現できる。さらに出荷時にATEによるそのスピード余裕推定値をもとにチップ毎のプロセス変動に対応して,消費電力・スピードの観点から最適な冗長アルゴリズムを選択する再構成

可能なSAR ADCを提案した。このことによりスピード性能に対するSAR ADCの歩留まり向上が実現できる。

一般に“ロバストな回路システム設計”と“テスト容易化”は相反する。例えば冗長性をもった回路システムは内部に欠陥があっても補正された出力がでてくるので内部の欠陥を見つけるのが難しい。自己校正を行う回路も同様である。またフィードバック構成は回路素子のパラメータ値変動の影響が抑えられるのでその値の変動をフィードバック回路出力から知るためには高性能の(高価な)計測器が必要になる。この論文で提案した手法は逆に冗長性を積極的にテスト容易化に利用するものである。

謝辞 有意義なご討論をいただきました森俊彦,宮下博之,力野邦人,矢野雄二,岸上真也,我毛辰弘氏,荒井智,松浦達治,堀田正生 各氏 ならびにこの研究をご支援頂いています STARCに謝意を表します。

参考文献

- [1] T. Ogawa, H. Kobayashi, S. Uemori, Y. Tan, S. Ito, N. Takai, T. Yamaguchi, "Fast Testing of Linearity and Comparator Error Tolerance of SAR ADCs," IEEJ International Analog VLSI Workshop (Nov. 2009).
- [2] T. Yagi, H. Kobayashi, H. Miyajima, Y. Tan, S. Itoh, S. Uemori, N. Takai, T. J. Yamaguchi, "Production Test Consideration for Mixed-Signal IC with Background Calibration", IEEJ International Analog VLSI Workshop (Nov. 2009).
- [3] M. Hesener, et. al., "A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13 μ m CMOS," Tech. Digest of ISSCC (Feb. 2007).
- [4] F. Kuttner, "A 1.2V 10b 20MS/S Non-Binary Successive Approximation ADC in 0.13 μ m CMOS," Tech. Digest of ISSCC (Feb. 2002).
- [5] T. Ogawa, H. Kobayashi, M. Hotta, Y. Takahashi, H. San, N. Takai, "SAR ADC Algorithm with Redundancy", IEEE Asia Pacific Conference on Circuits and Systems (Dec. 2008).
- [6] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori, "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals, vol.E93-A, no.2 (Feb. 2010).
- [7] M. Kawakami, N. Kawasaki, M. Hotta, H. San, H. Kobayashi, "Design of ADC with Digital Error Correction using Three Comparators", IEEJ International Analog VLSI Workshop (Nov. 2009).
- [8] M. Hotta, A. Hayakawa, N. Zhao, Y. Takahashi, H. Kobayashi, "SAR ADC Architecture with Digital Error Correction", IEEJ International Analog VLSI Workshop (Nov. 2006).
- [9] S. Shimokura, M. Hotta, N. Zhao, Y. Takahashi, H. Kobayashi, "Conversion Rate Improvement of SAR ADC with Digital Error Correction", IEEJ International Analog VLSI Workshop (Nov. 2007).
- [10] C.-C. Liu, et. al., "A 10b 100MS/s 1.13mW SAR ADC with Binary-Scaled Error Compensation," Tech. Digest of ISSCC (Feb.2010).

表 1: 10 ビット 12 ステップアルゴリズム.

step	DAC	誤差許容値 [LSB]
1	512	20
2	246	40
3	113	23
4	65	14
5	37	9
6	21	4
7	13	3
8	7	2
9	4	2
10	2	0
11	2	0
12	1	0

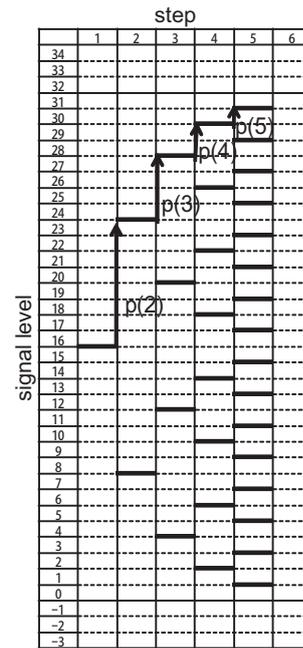


図 3: 2進探索 SAR アルゴリズム (5 ビット 5 ステップ) .

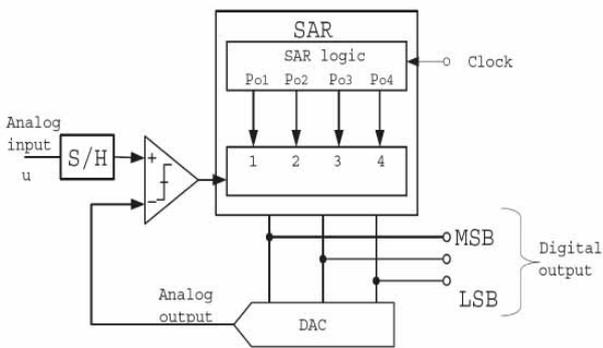


図 1: SAR ADC の構成図.

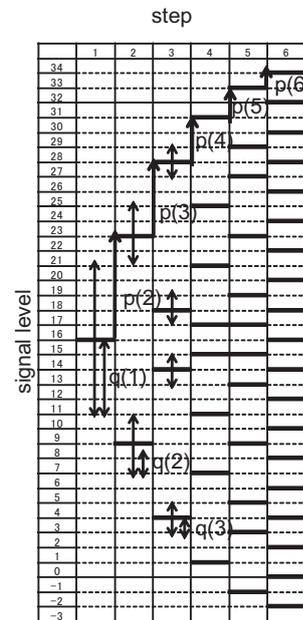


図 4: 非 2 進探索冗長 SAR アルゴリズム (5 ビット 6 ステップ) .

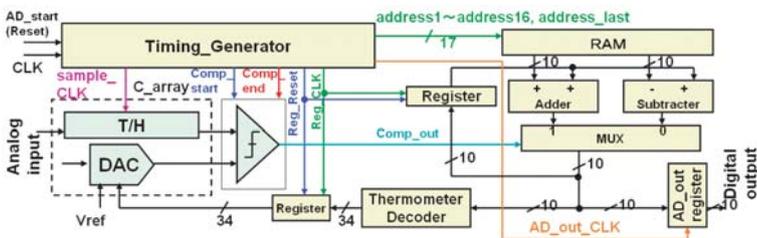


図 2: 設計した冗長アルゴリズム 10bi SAR ADC のブロック図.

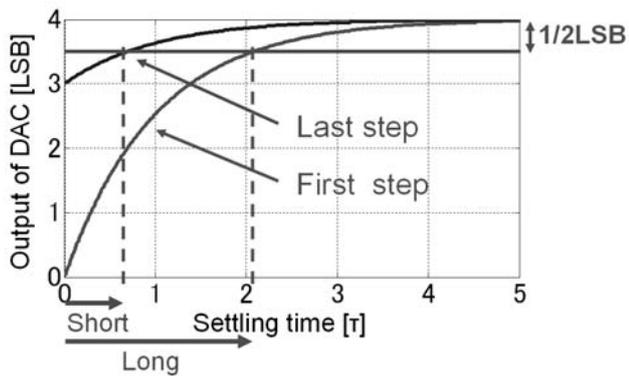


図 5: SAR ADC 各ステップでの参照電圧発生用 DAC 出力の整定.

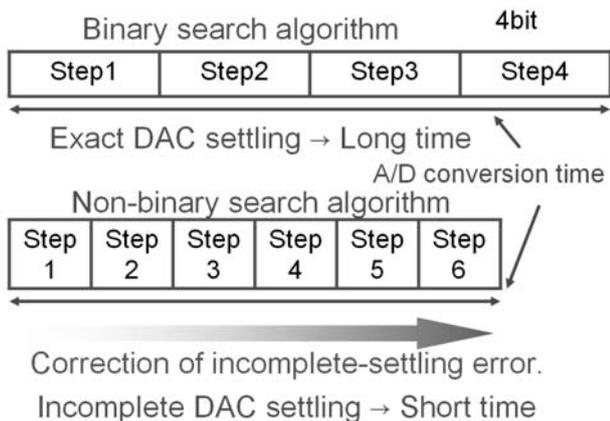


図 6: 2進および非2進アルゴリズム SAR ADC での AD 変換時間の説明.

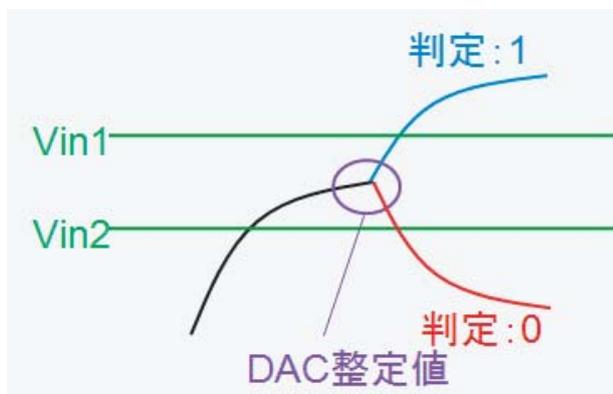


図 7: DAC 出力整定値の推定.

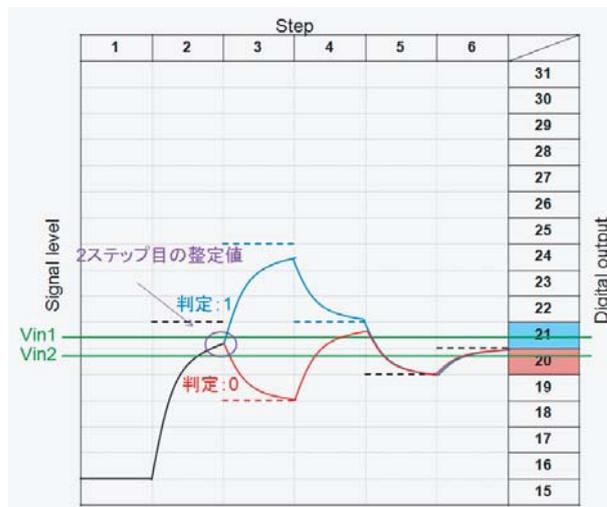


図 8: DAC 出力推定値の精度良い推定が難しい場合.

		step												出力
		1	2	3	4	5	6	7	8	9	10	11	12	
comparator output	1	1	1	0	0	0	0	0	1	1	1	0	0	734
	1	1	1	0	0	0	0	0	1	1	1	0	0	734
	1	1	0	0	0	0	0	0	1	1	1	0	0	734
	1	1	0	0	0	0	0	0	1	1	1	0	0	734
	1	0	0	0	0	0	0	0	1	1	1	0	0	734
	1	1	0	0	0	0	0	0	1	1	0	1	1	733
	1	1	0	0	0	0	0	0	1	1	0	1	1	733
	1	0	1	1	0	1	0	1	0	0	1	1	1	733
	1	0	1	1	0	1	0	1	0	0	1	1	0	732
	1	0	1	1	0	1	0	0	1	1	1	0	0	732
	1	0	1	1	0	1	0	0	1	1	1	0	0	732
	1	0	1	1	0	1	0	0	1	1	1	0	0	732
	1	0	1	1	0	1	0	0	1	1	0	1	0	731
	1	0	1	1	0	1	0	0	1	1	0	1	1	731

図 9: ランプ波入力に対する 10bit 12step SAR ADC の各ステップでのコンパレータ出力と最終 ADC デジタル出力のシミュレーション結果 (DAC 時定数が typical のとき).

		step											出力	
		1	2	3	4	5	6	7	8	9	10	11	12	
comparator output	1	1	0	0	0	0	1	1	0	1	0	1	745	
	1	1	0	0	0	0	1	1	0	1	0	1	745	
	1	1	0	0	0	0	1	1	0	1	0	1	745	
	1	1	0	0	0	0	1	1	0	1	0	0	744	
	1	1	0	0	0	0	1	1	0	1	0	0	744	
	1	1	0	0	0	0	1	1	0	1	0	0	744	
	1	0	1	1	0	1	1	0	1	1	0	0	744	
	1	0	1	1	0	1	1	0	1	0	1	1	743	
	1	0	1	1	0	1	1	0	1	0	1	1	743	
	1	0	1	1	0	1	1	0	1	0	1	1	743	
	1	0	1	1	0	1	1	0	1	0	1	0	742	
	1	0	1	1	0	1	1	0	1	0	1	0	742	
	1	0	1	1	0	1	1	0	1	0	1	0	742	

図 10: ランプ波入力に対する 10bit 12step SAR ADC の各ステップでのコンパレータ出力と最終 ADC デジタル出力のシミュレーション結果 (DAC 時定数が fast のとき).

		step											出力	
		1	2	3	4	5	6	7	8	9	10	11	12	
comparator output	1	1	0	0	0	0	0	1	0	0	1	1	729	
	1	1	0	0	0	0	0	0	1	1	1	1	729	
	1	1	0	0	0	0	0	0	1	1	1	0	728	
	1	1	0	0	0	0	0	0	1	1	1	0	728	
	1	1	0	0	0	0	0	0	1	1	1	0	728	
	1	1	0	0	0	0	0	0	1	1	1	0	728	
	1	0	1	1	0	0	0	1	1	1	0	1	728	
	1	0	1	1	0	0	1	0	1	1	0	1	727	
	1	0	1	1	0	0	1	0	1	1	0	1	727	
	1	0	1	1	0	0	1	0	1	1	0	0	726	
	1	0	1	1	0	0	1	0	1	1	0	0	726	
	1	0	1	1	0	0	1	0	1	1	0	0	726	
	1	0	1	1	0	0	1	0	1	1	0	0	726	
	1	0	1	1	0	0	1	0	1	1	0	0	726	

図 11: ランプ波入力に対する 10bit 12step SAR ADC の各ステップでのコンパレータ出力と最終 ADC デジタル出力のシミュレーション結果 (DAC 時定数が slow のとき).

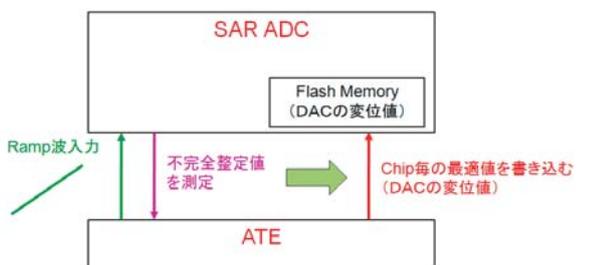


図 12: 再構成可能な非 2 進アルゴリズム SAR ADC.

表 2: 初回試作 10 ビット 12 ステップ SAR ADC 測定結果. 1~4 ステップでの DAC 出力整定推定値.

step1	step2	step3	step4	判定	
理想：512 推定：512	理想：758 推定：765	理想：871 推定：876	理想：936 推定：939	111	
			理想：806 推定：809	110	
		理想：645 推定：647	理想：710 推定：712	101	
			理想：580 推定：580	100	
		理想：266 推定：258	理想：379 推定：377	理想：444 推定：443	011
				理想：314 推定：311	010
	理想：153 推定：146		理想：218 推定：214	001	
			理想：88 推定：84	000	

表 3: 2 回目試作 10 ビット 12 ステップ SAR ADC 測定結果. 1~4 ステップでの DAC 出力整定推定値.

step1	step2	step3	step4	判定	
理想：512 推定：511	理想：758 推定：750	理想：871 推定：864	理想：936 推定：931	111	
			理想：806 推定：802	110	
		理想：645 推定：642	理想：710 推定：707	101	
			理想：580 推定：579	100	
		理想：266 推定：273	理想：379 推定：381	理想：444 推定：444	011
				理想：314 推定：315	010
	理想：153 推定：160		理想：218 推定：221	001	
			理想：88 推定：92	000	