

# 高速データ受信回路 ジッタ耐性テスト回路の検討

○土井佑太 ○佐久間一哲  
石井正道 小林春夫 小林修  
高井伸和 新津葵一 山口隆弘

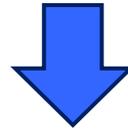
群馬大学

STARC

- 研究背景
- 高速データ受信回路ジッタ耐性テスト用  
デジタル制御ジッタ発生回路
  - 広帯域ジッタ発生回路
  - 正弦波分布ジッタ発生回路
- 送信回路出力信号ジッタ計測回路
- まとめ

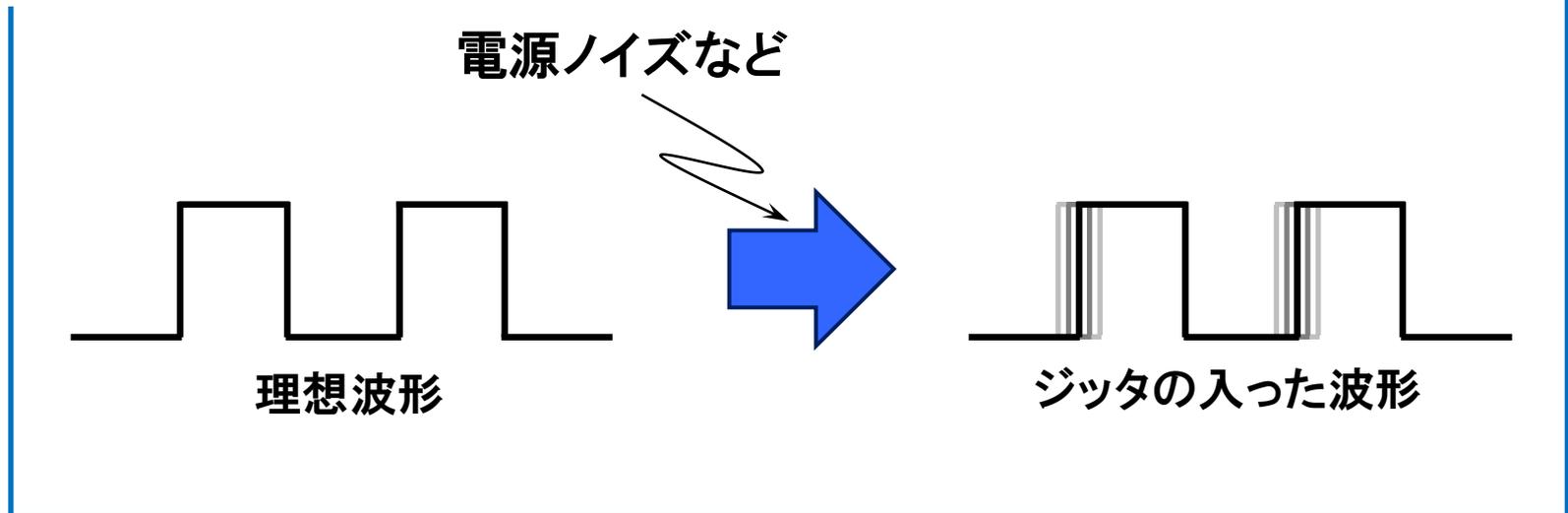
- 研究背景
- 高速データ受信回路ジッタ耐性テスト用  
デジタル制御ジッタ発生回路
  - 広帯域ジッタ発生回路
  - 正弦波分布ジッタ発生回路
- 送信回路出力信号ジッタ計測回路
- まとめ

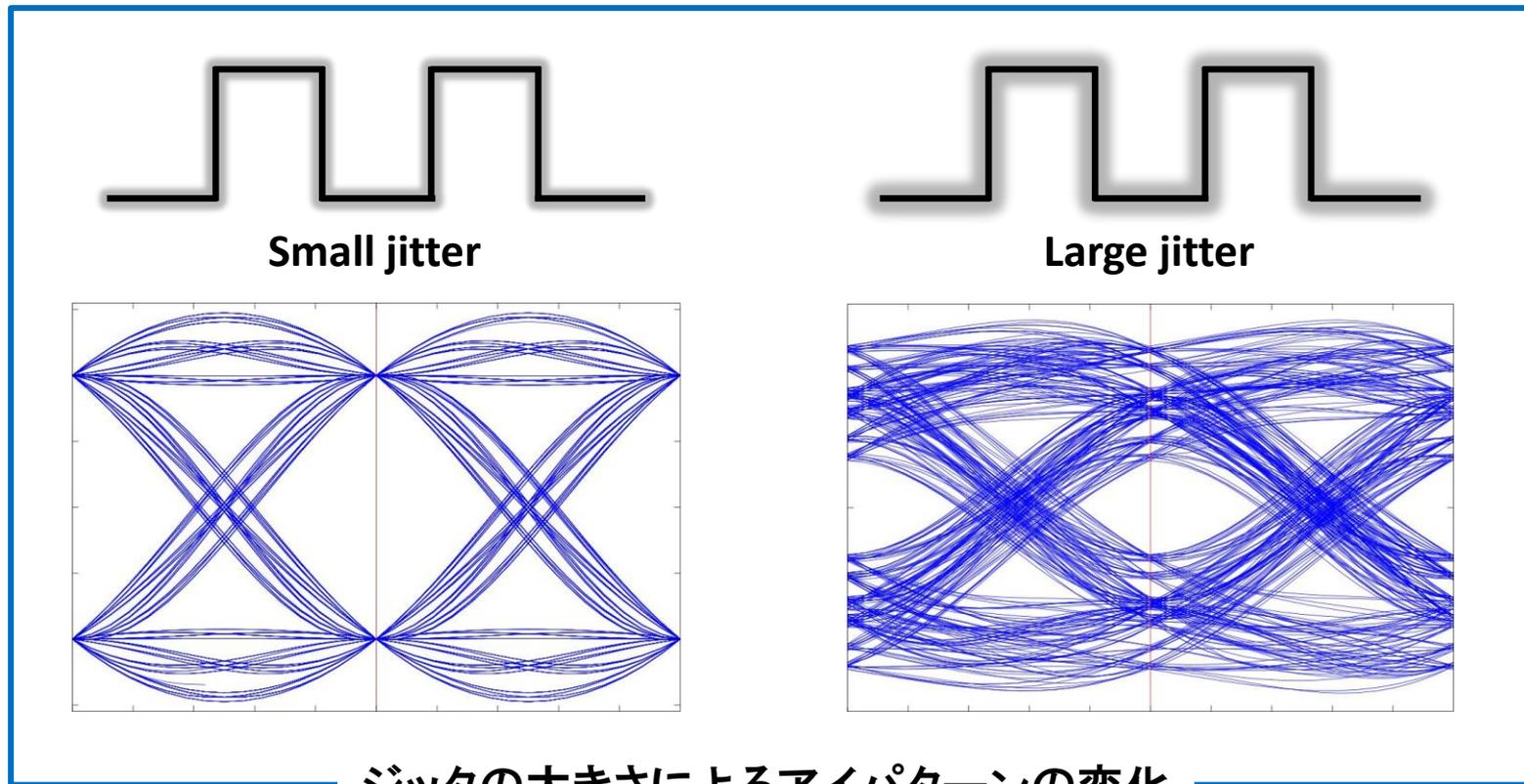
通信機器におけるデータ・レート的高速化



ジッタ(信号のずれや揺らぎ)の問題が顕在化

ジッタ



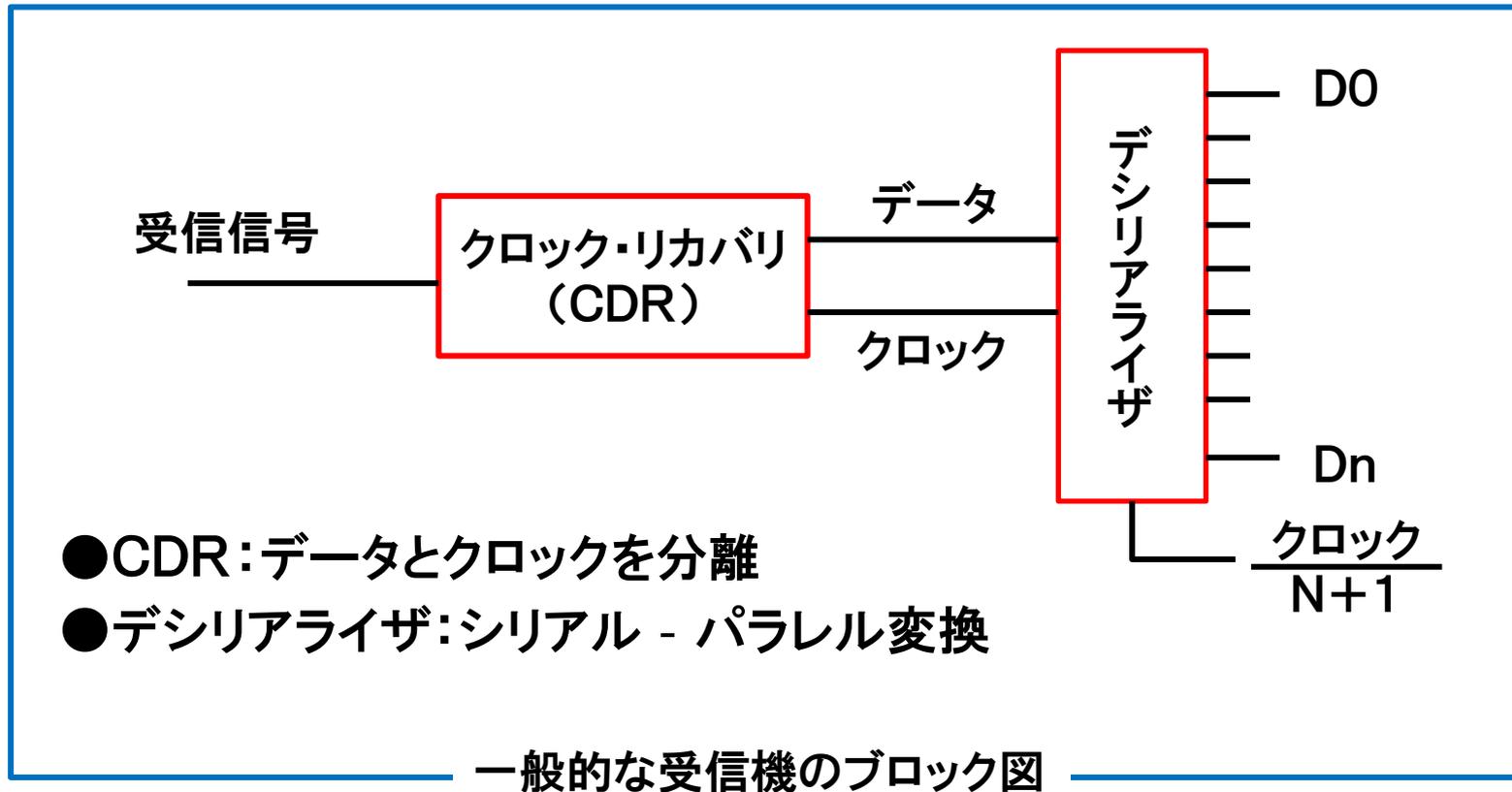


ジッタの大きさによるアイパターンの変化

ジッタが大きいほど動作不良が起きやすい



ジッタの特性評価(ジッタ耐性テスト)が不可欠



受信信号にはジッタが含まれる



相互運用性を確保するためには  
一定量のジッタに耐えられる必要あり

- 研究背景
- 高速データ受信回路ジッタ耐性テスト用  
デジタル制御ジッタ発生回路
  - 広帯域ジッタ発生回路
  - 正弦波分布ジッタ発生回路
- 送信回路出力信号ジッタ計測回路
- まとめ

高速データ受信回路のジッタ耐性テスト回路として  
ジッタをもつクロック生成回路を開発

ジッタ発生回路をデジタル回路で構成  
FPGAでBOST実現を目指す



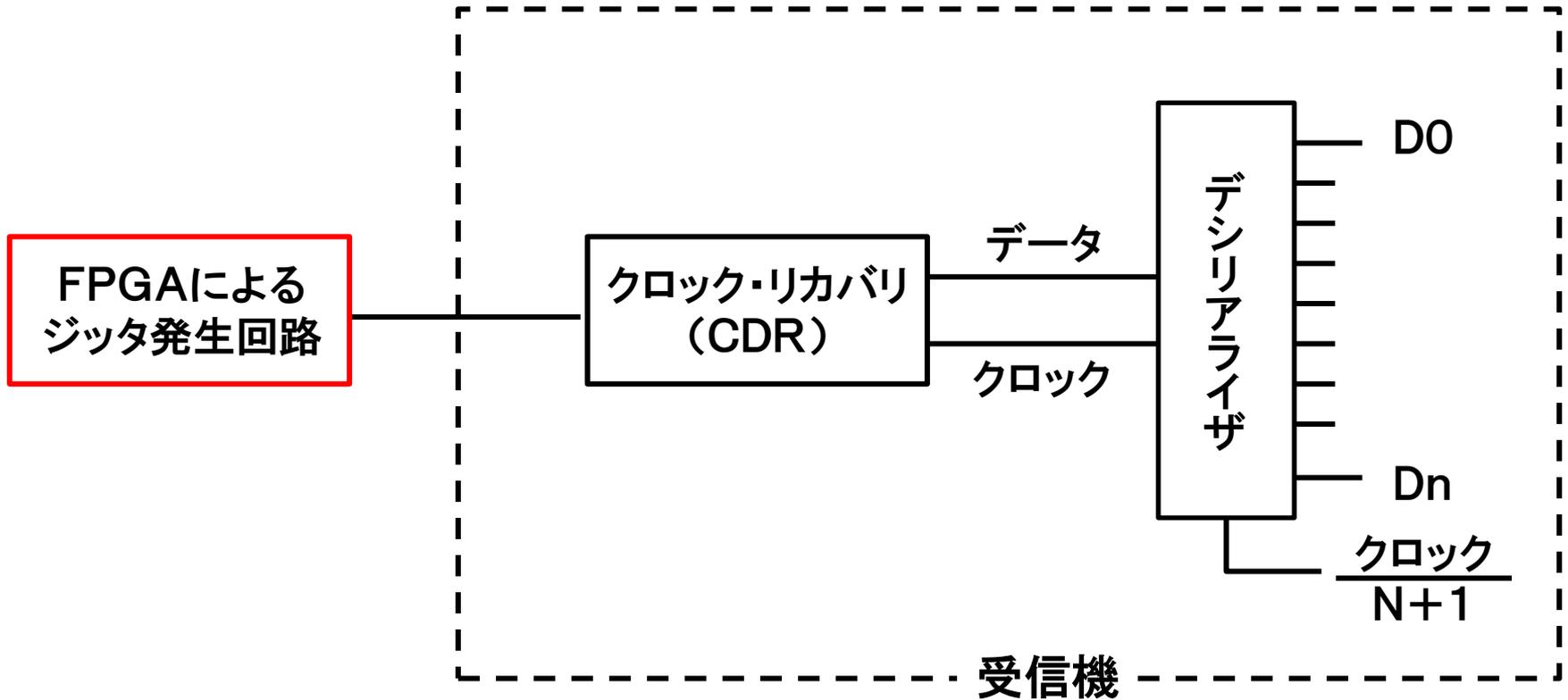
高価な計測器(BERT等)が不要

**テストコストの削減**

FPGA: Field-Programmable Gate Array

BOST: Built-Out Self Test

BERT: Bit Error Rate Tester



FPGAでBOST実現を目指す

## 遅延セル配列をデジタル制御信号で選択

- ① 遅延セルの遅延ばらつきをランダムジッタとして積極的に利用（細かなジッタ分解能を実現）



確率的デジタル・時間変換回路

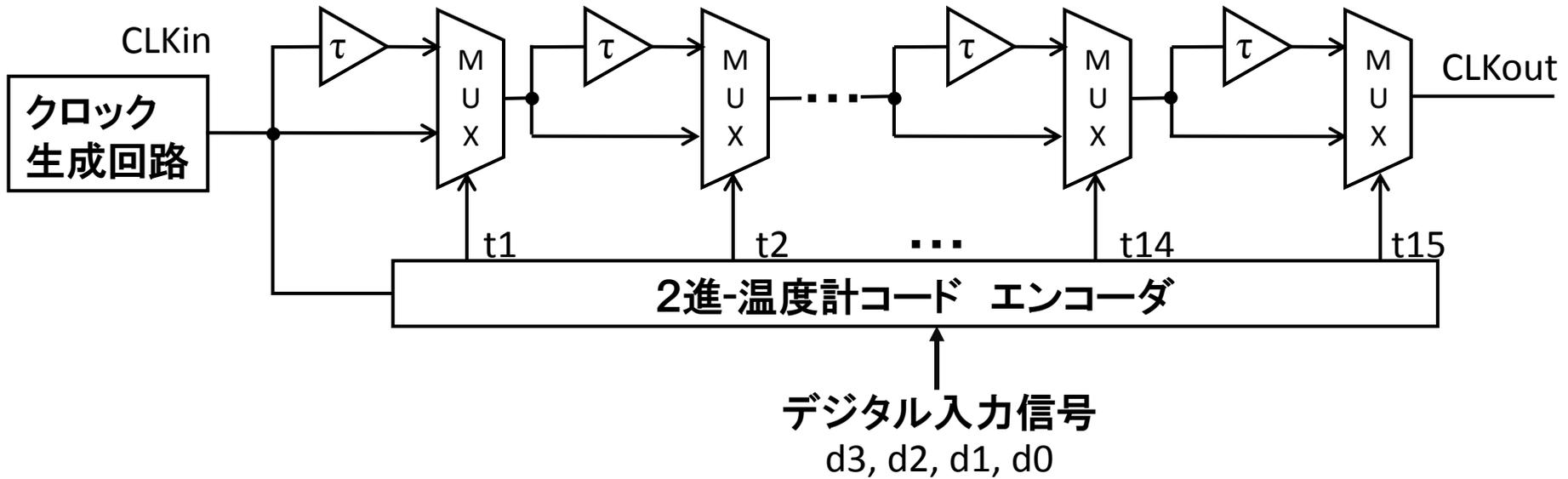
Stochastic DTC (Digital-to-Time Converter)

- ② 遅延セル選択法の工夫により遅延ばらつきを抑える

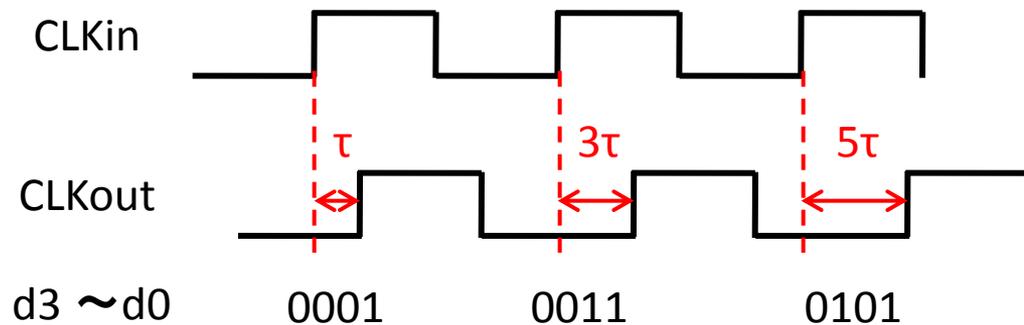
- 研究背景
- 高速データ受信回路ジッタ耐性テスト用  
デジタル制御ジッタ発生回路
  - 広帯域ジッタ発生回路
  - 正弦波分布ジッタ発生回路
- 送信回路出力信号ジッタ計測回路
- まとめ



# デジタル制御パルス位置変調回路



デジタル入力d3, d2, d1, d0で  
クロック CLKIn からの遅延量(ジッタ)を決める



## 問題点

ジッタの分解能が  $\tau$  で  
規定されてしまう

〔例えば、 $(\tau/2)$ のジッタは  
発生できない〕

ランダムばらつき(敵)



デジタル制御タイミング発生回路の  
非線形性

## 確率的デジタル時間発生回路の提案

「敵を味方にする」

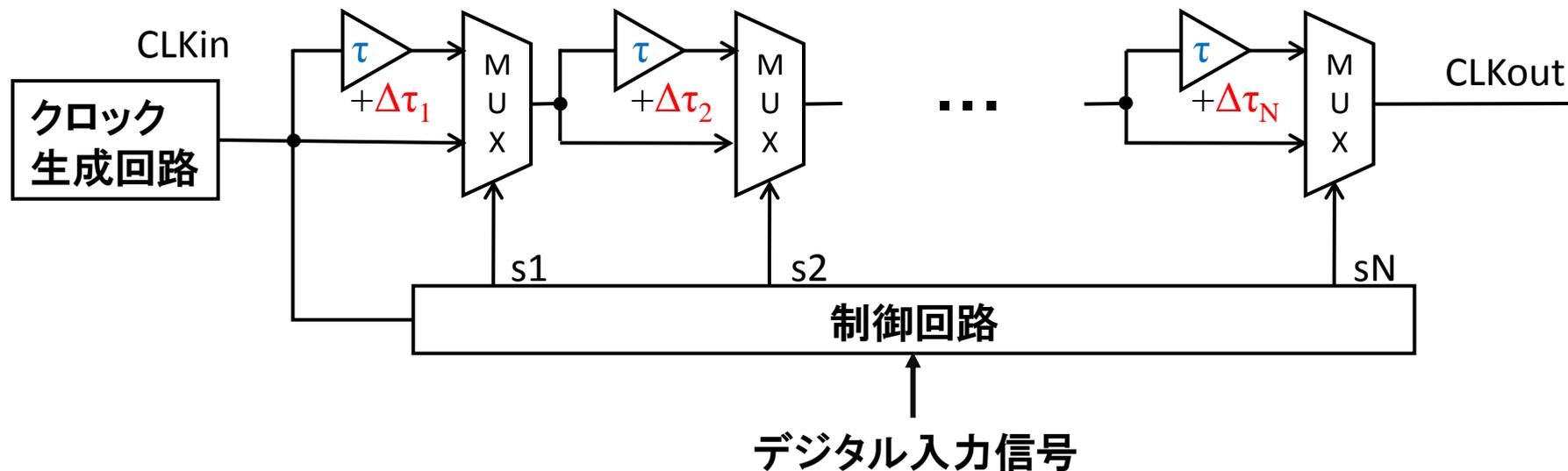
相手の駒を取って  
味方にする

ランダムばらつき(味方)



高時間分解能  
ジッタ発生回路の実現

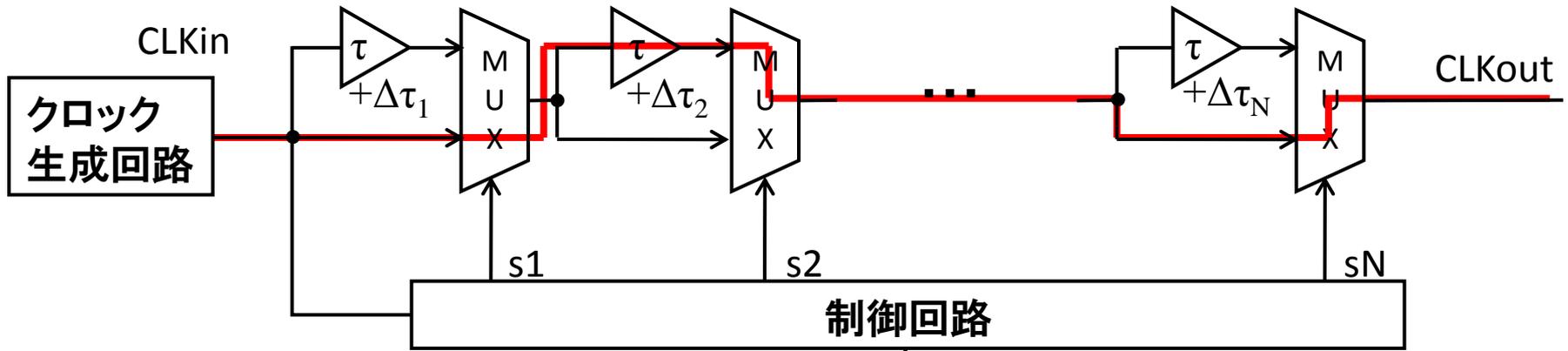
## デジタル時間変換回路: Digital-to-Time Converter (DTC)



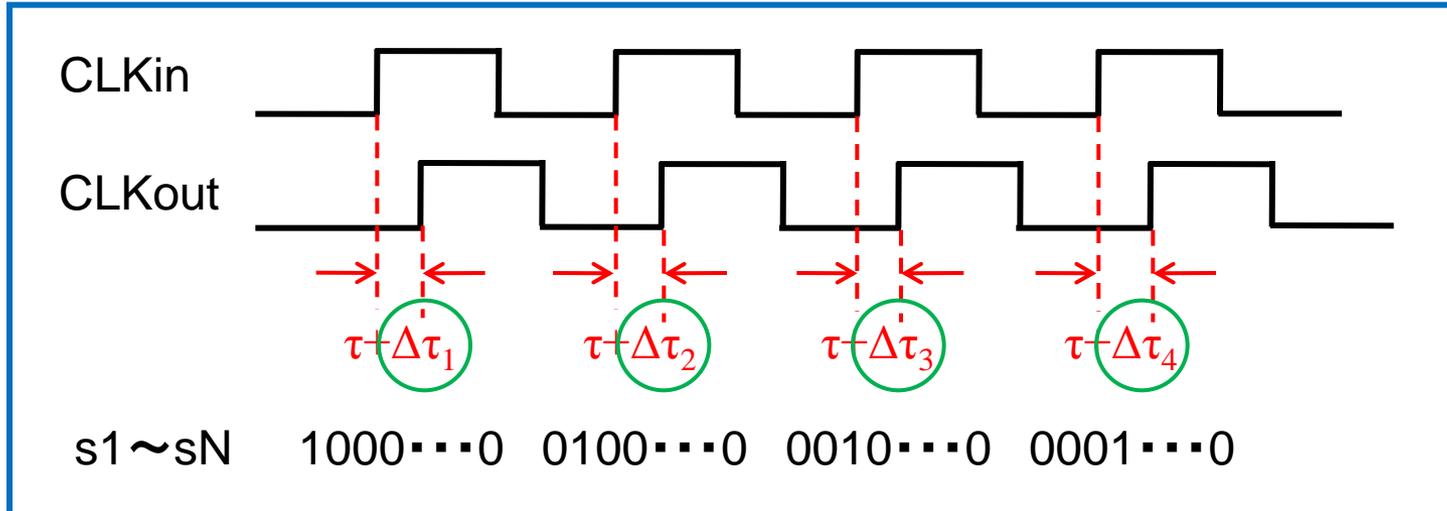
各遅延素子の素子ばらつき  $\Delta\tau_1, \Delta\tau_2, \dots, \Delta\tau_N$  を利用



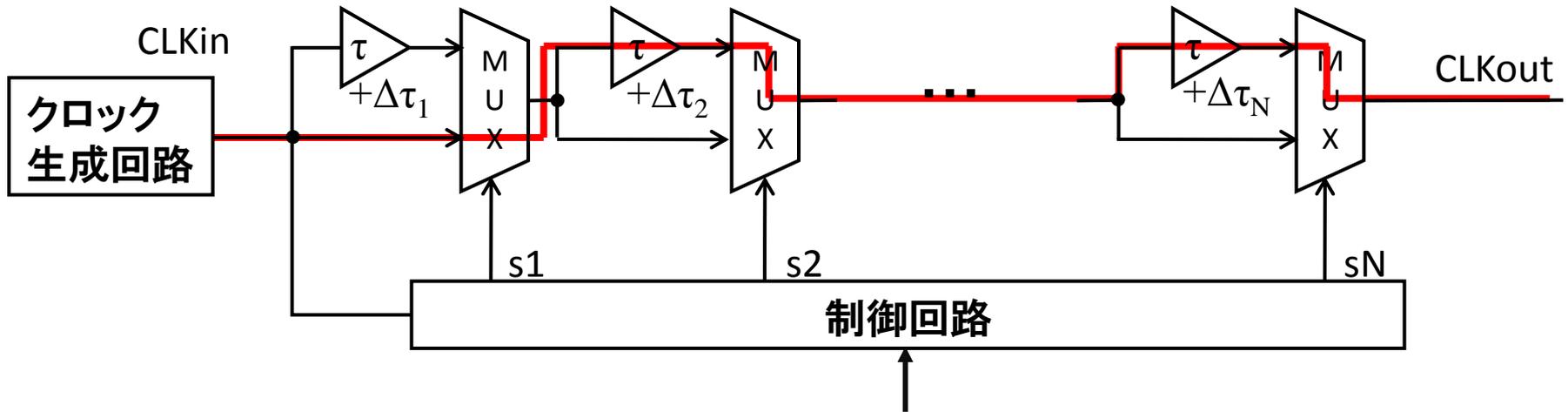
$\tau$  より小さいジッタをデジタル制御で発生



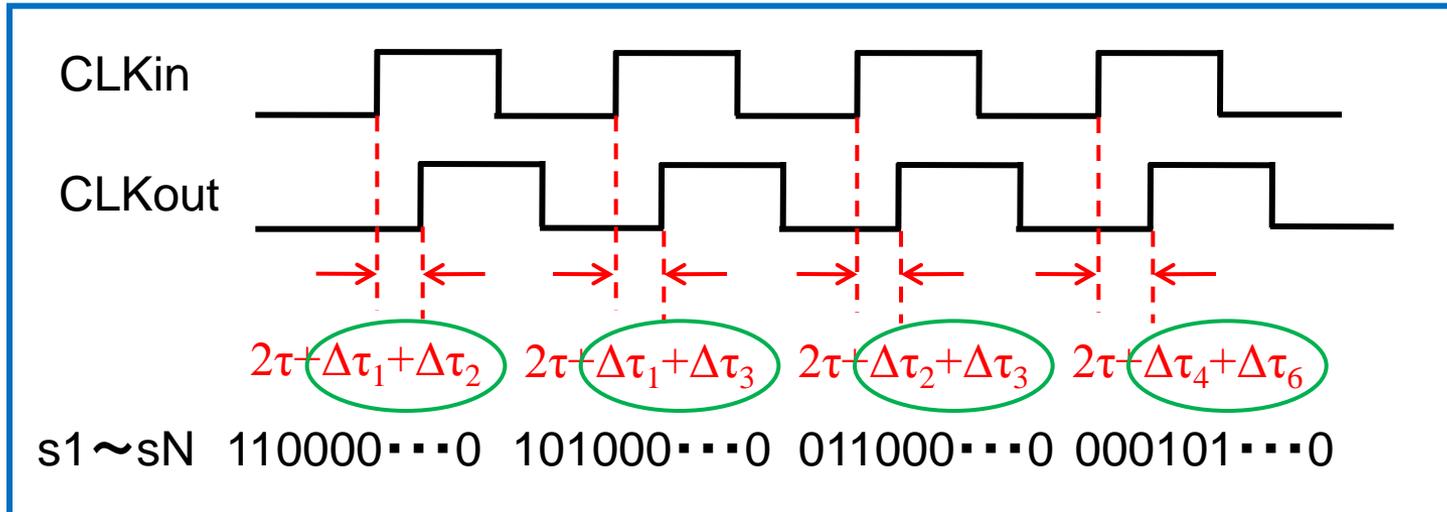
デジタル入力信号：常に1の場合



細かい時間分解能のジッタを与えることが可能



デジタル入力信号：常に2の場合

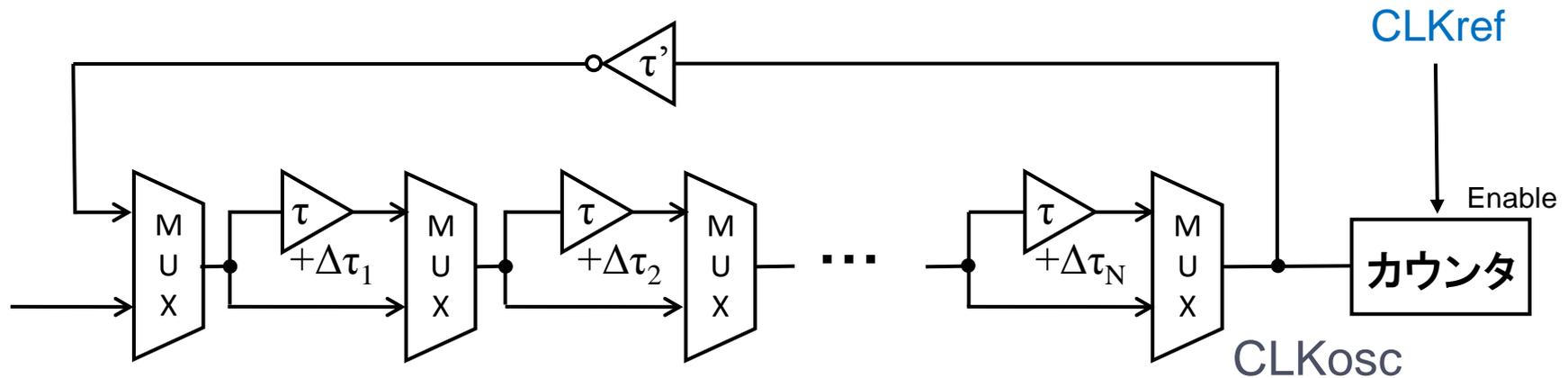


広い範囲の値のジッタを与えることが可能

遅延ばらつきは未知の値



リング発振回路構成にして測定

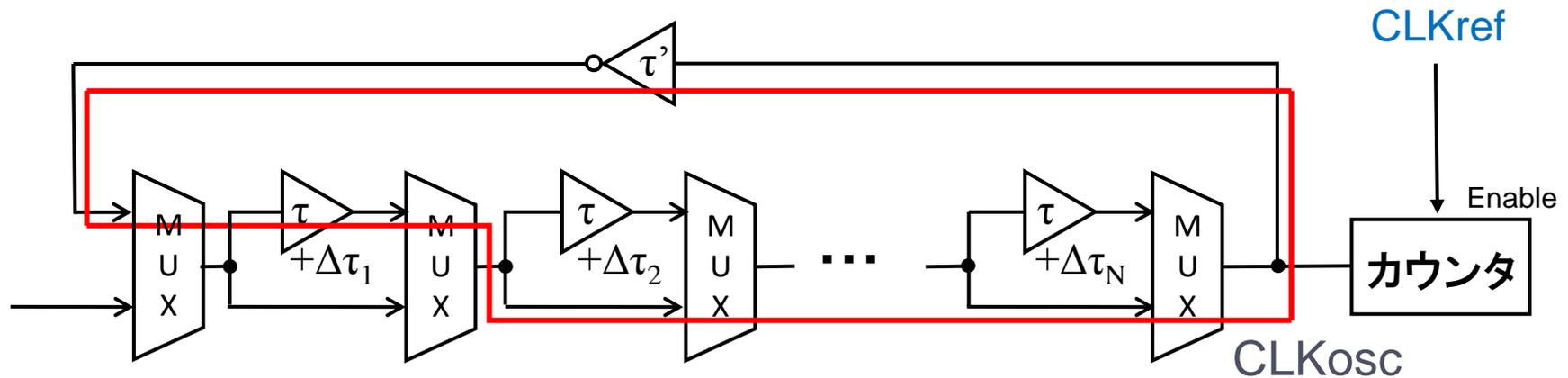


- リング発振回路構成(インバータ奇数個)
- 自己測定 (Self-Measurement)
- デジタル的に測定可

リング発振回路の発振周波数を測定



遅延ばらつきを計算

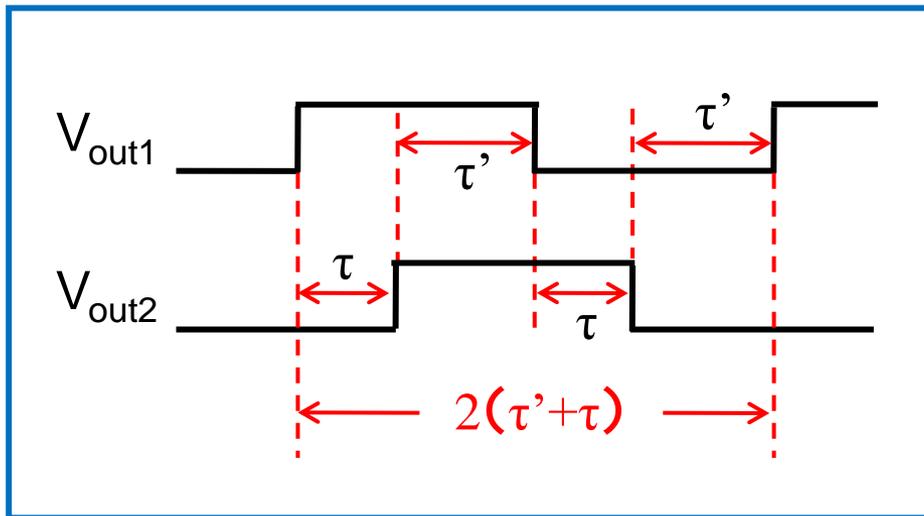
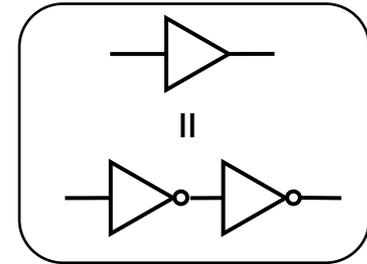
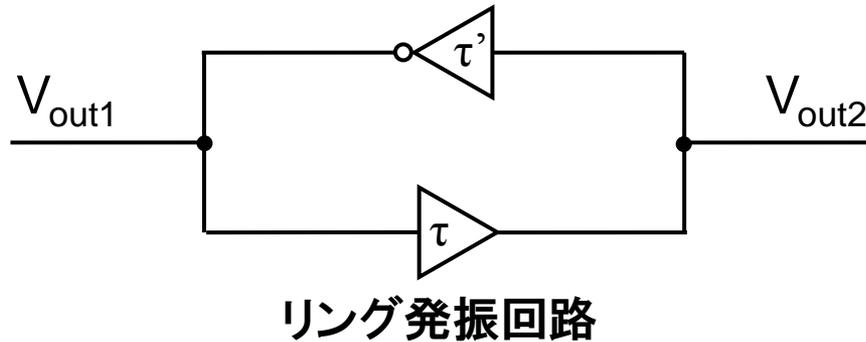


基準クロック CLKref

発振クロック CLKosc

カウンタでパルス数を数え、  
発振周波数を求める

## 遅延と発振周期との関係

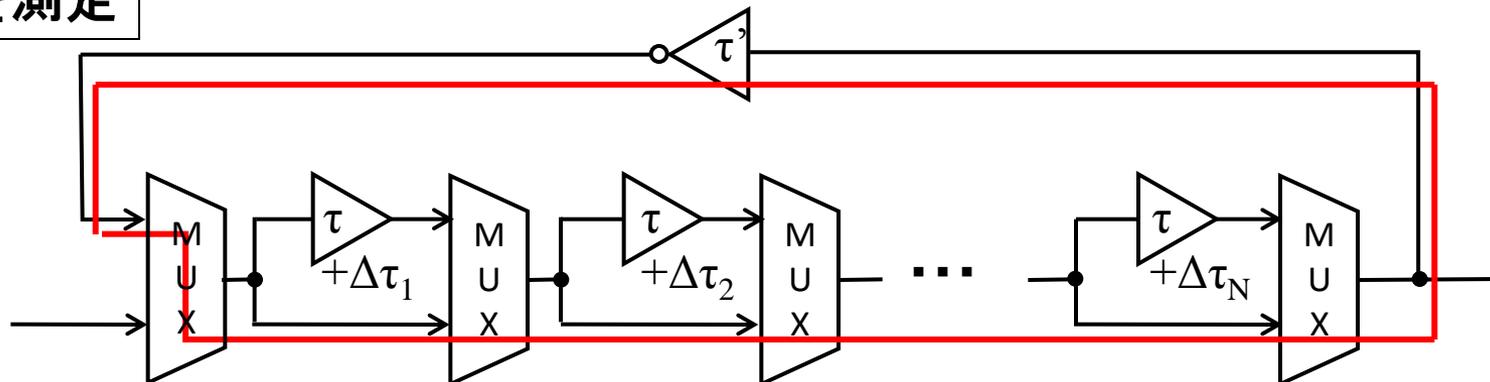


発振周波数  $f = \frac{1}{2(\tau' + \tau)}$

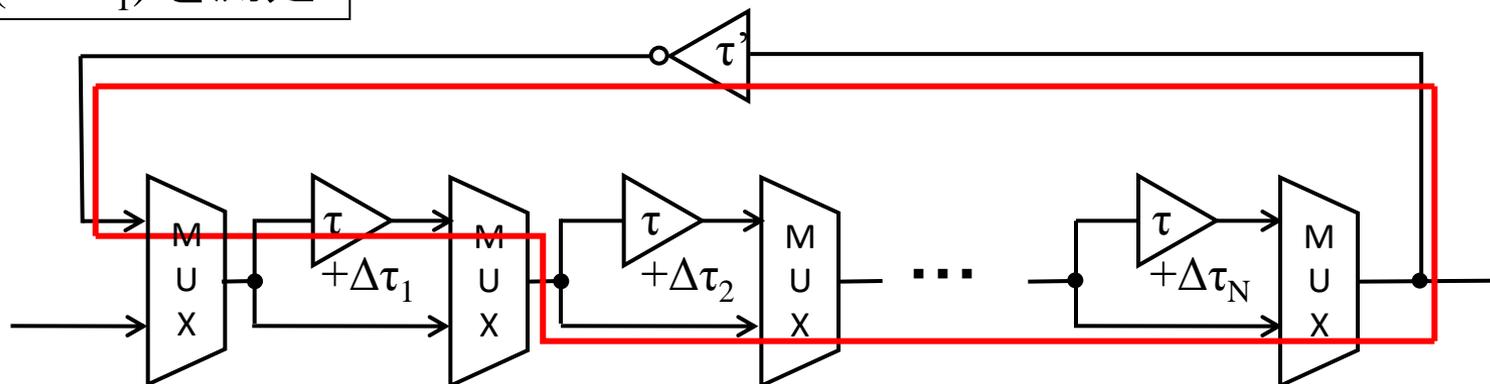


遅延時間  $\tau' + \tau = \frac{1}{2f}$

$\tau'$ を測定

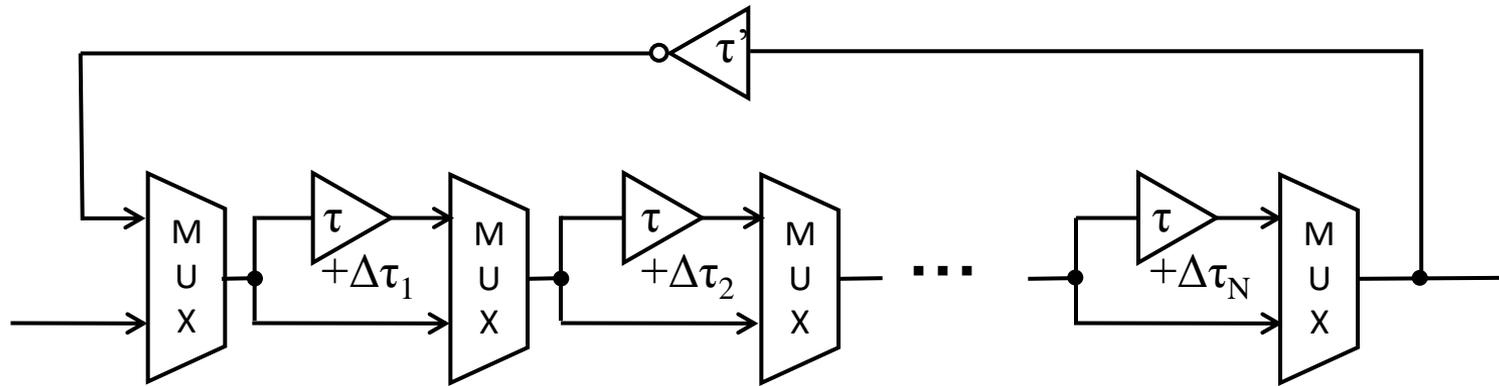


$\tau' + (\tau + \Delta\tau_1)$ を測定



$$\tau_1 = \tau + \Delta\tau_1 = \tau' + (\tau + \Delta\tau_1) - \tau'$$

同様にして $\tau_N$ まで測定



$\tau = \tau_1 \sim \tau_N$  の平均値と定義

$$\tau = \frac{1}{N} (\tau_1 + \tau_2 + \dots + \tau_N)$$

$$\Delta\tau_1 = \tau_1 - \tau, \Delta\tau_2 = \tau_2 - \tau, \dots, \Delta\tau_N = \tau_N - \tau$$

$$(\Delta\tau_1 + \Delta\tau_2 + \dots + \Delta\tau_N = 0)$$

リング発振回路構成にして  
発振周波数をカウンタで測定

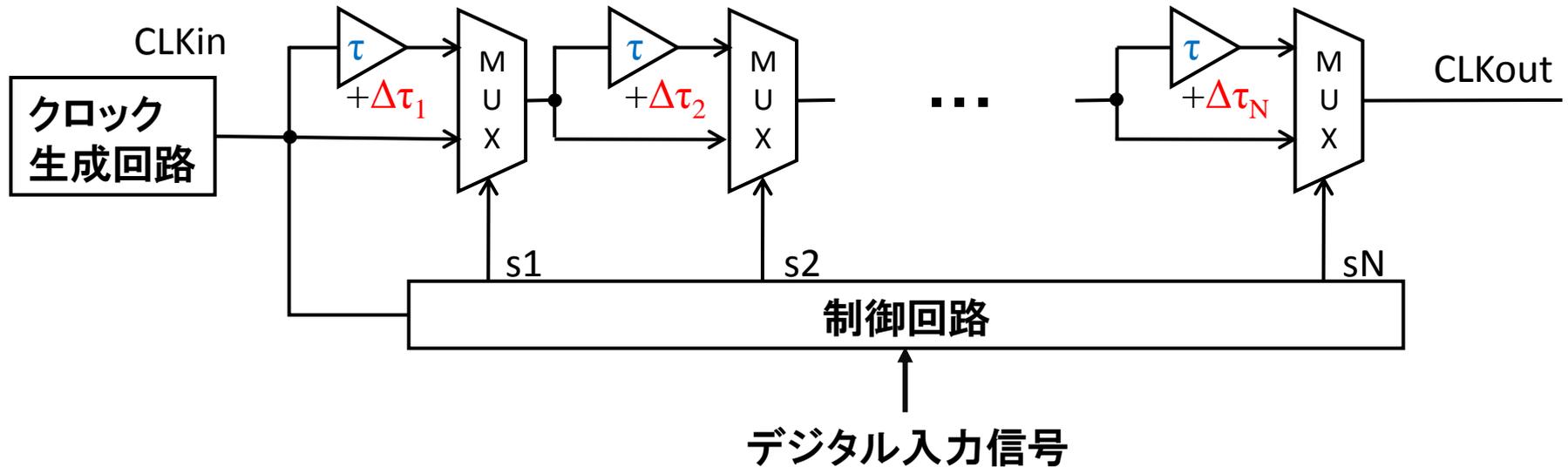


各遅延ばらつき  $\Delta\tau_1, \Delta\tau_2, \dots, \Delta\tau_N$  を  
計算



ジッタ発生仕様を満たす  
ジッタ系列  $\Delta\tau_{k1}, \Delta\tau_{k2}, \dots, \Delta\tau_{kN}$  を  
制御回路で選択し、  
毎クロック供給

(例: 小さなジッタ仕様の場合は  
大きな遅延ばらつきは選択しない)

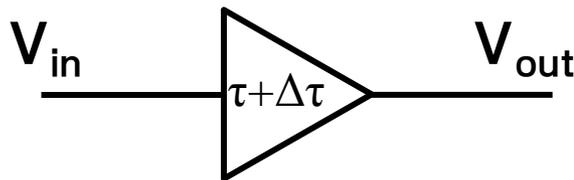


## リング発振回路での遅延測定の問題点

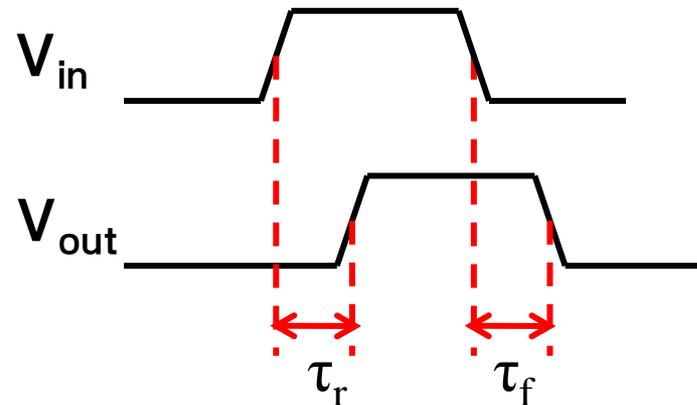
リング発振回路から計算する $\tau + \Delta\tau$ は  
立ち上がり遅延 $\tau_r$ と立ち下がり遅延 $\tau_f$ の平均値



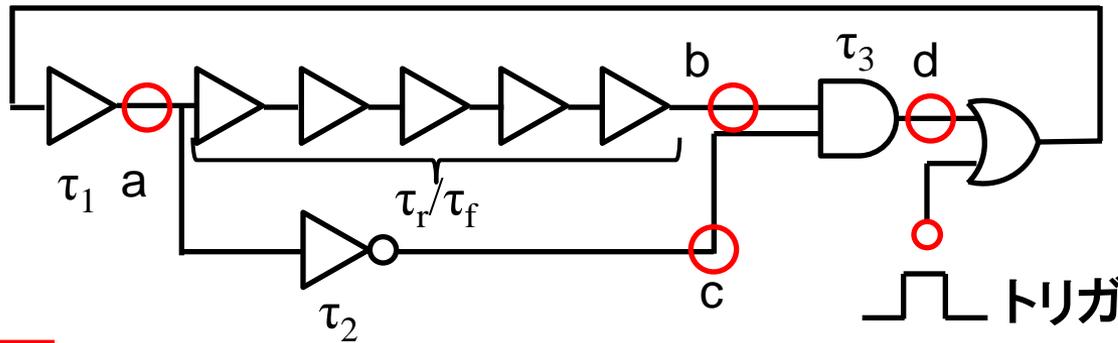
使用するのは立ち上がり遅延  $\tau_r$



$$\tau + \Delta\tau = \frac{\tau_r + \tau_f}{2}$$

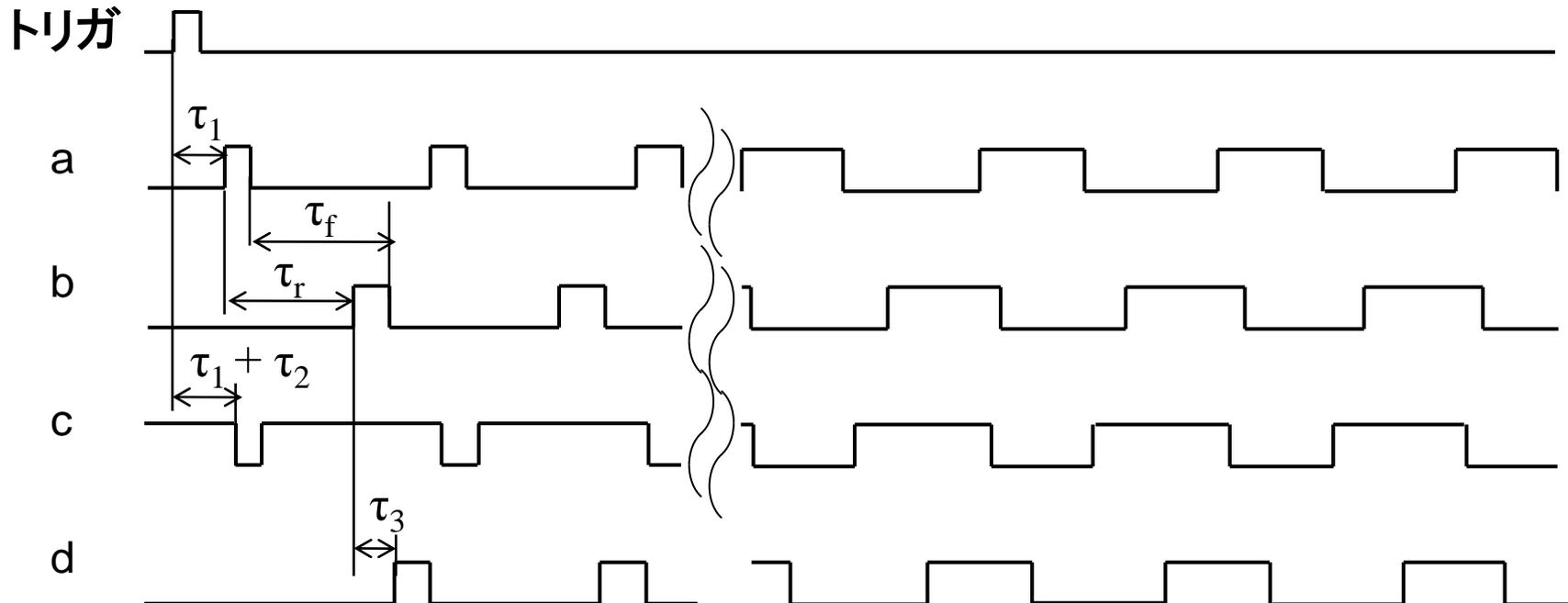


# 立ち上がり時間 $\tau_r$ 測定発振回路

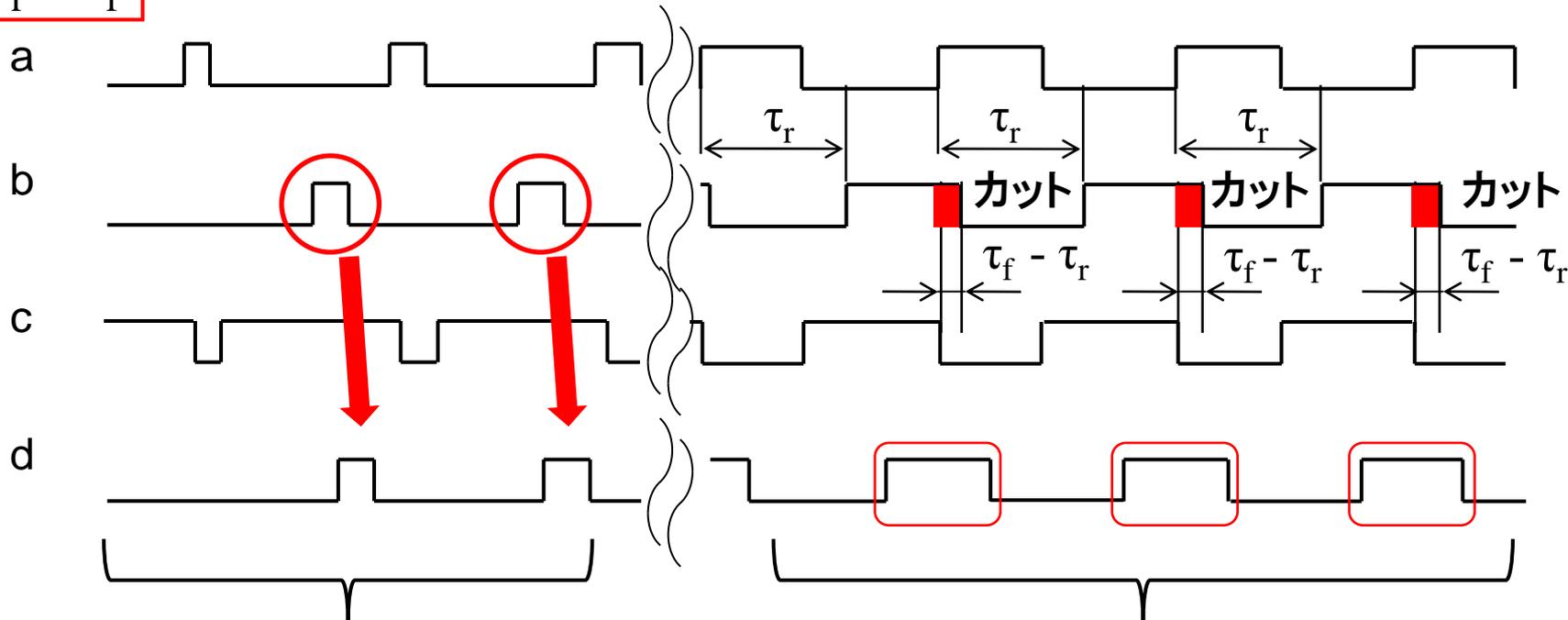


- $\tau_1$  : d-a間の遅延
- $\tau_2$  : a-c間の遅延
- $\tau_3$  : b-d間の遅延

$$\tau_r < \tau_f$$



$$\tau_r < \tau_f$$



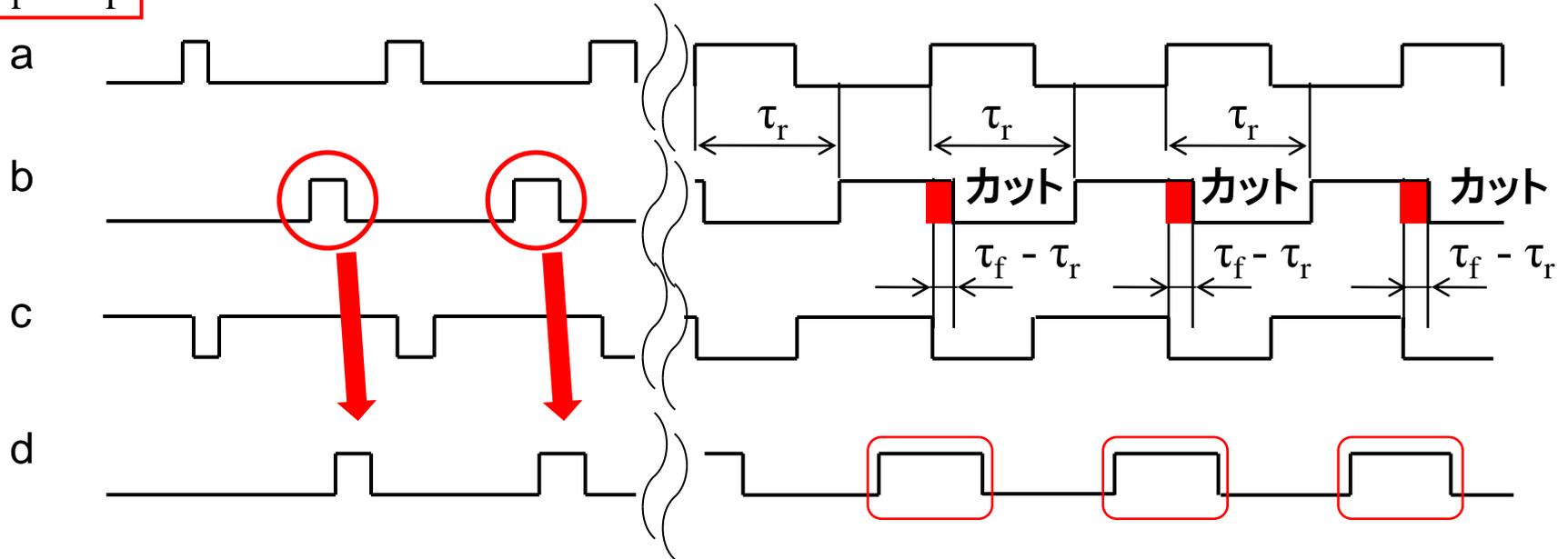
bのパルス幅がそのまま  
dに出力

bのパルス幅がcによってカットされ  
一定のパルス幅になり、dに出力  
カット幅： $\tau_f - \tau_r$

dのパルス幅増大  $\Rightarrow$

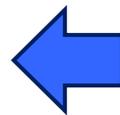
最終的にパルス幅は一定に

$$\tau_r < \tau_f$$

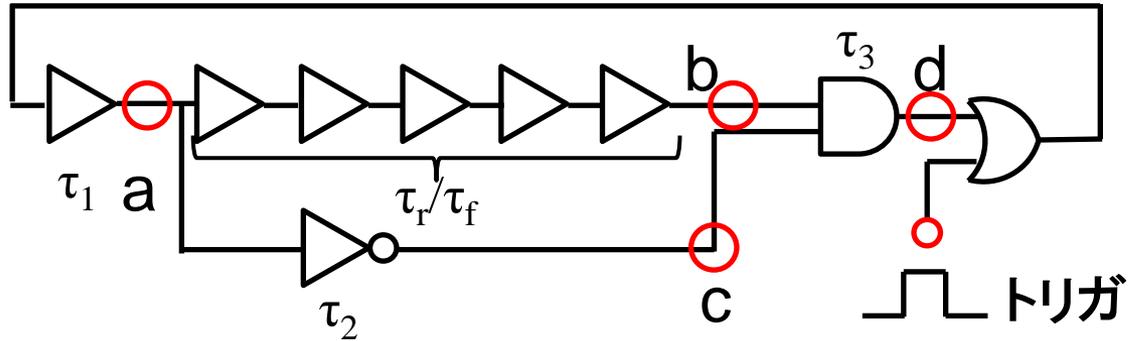


発振周波数

$$\frac{1}{\tau_r + \tau_1 + \tau_3}$$

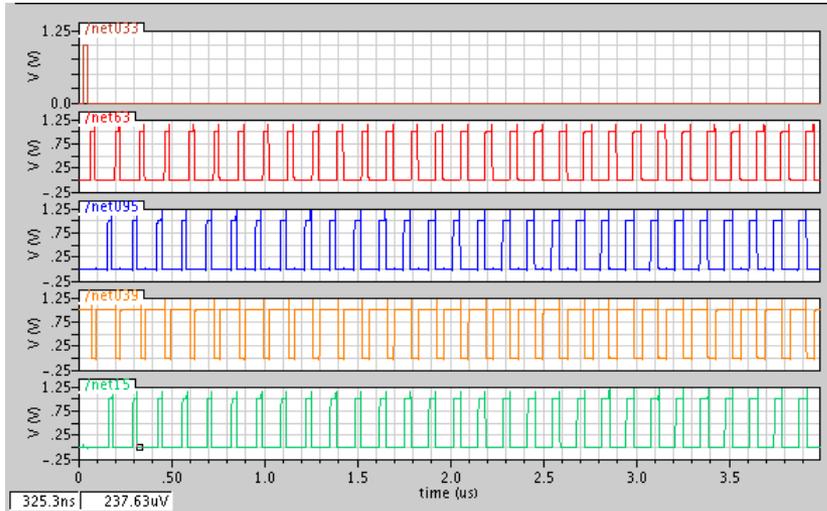


立ち上がり時間 $\tau_r$ のみの関数



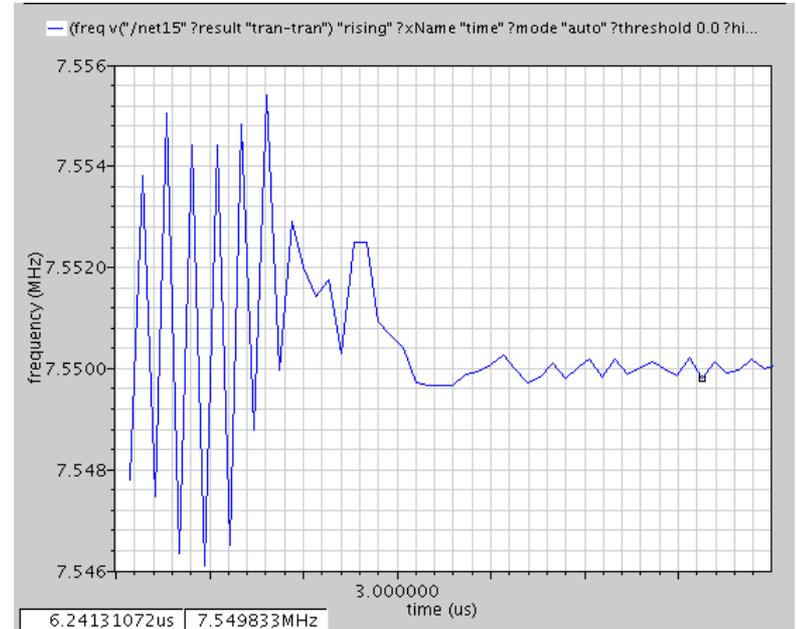
トリガ

a  
b  
c  
d



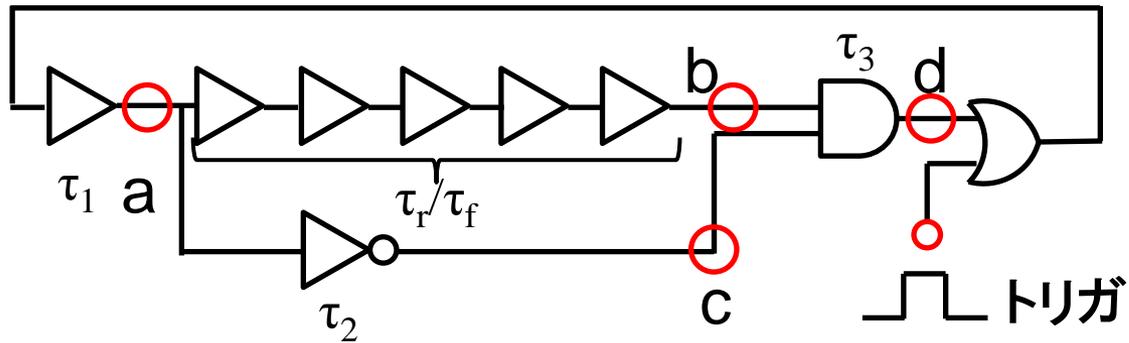
タイミングチャート

パルス幅が一定に



発振周波数

7.55 [MHz]



$\tau_1$	38.28 ns
$\tau_2$	3.03 ns
$\tau_3$	3.79 ns
$\tau_r$	91.34 ns

## 理論値

$$\frac{1}{\tau_r + \tau_1 + \tau_3} \doteq 7.50[\text{MHz}]$$

## シミュレーション結果

7.55 [MHz]

理論式とシミュレーション結果の一致を確認

- 研究背景
- 高速データ受信回路ジッタ耐性テスト用  
デジタル制御ジッタ発生回路
  - 広帯域ジッタ発生回路
  - **正弦波分布ジッタ発生回路**
- 送信回路出力信号ジッタ計測回路
- まとめ

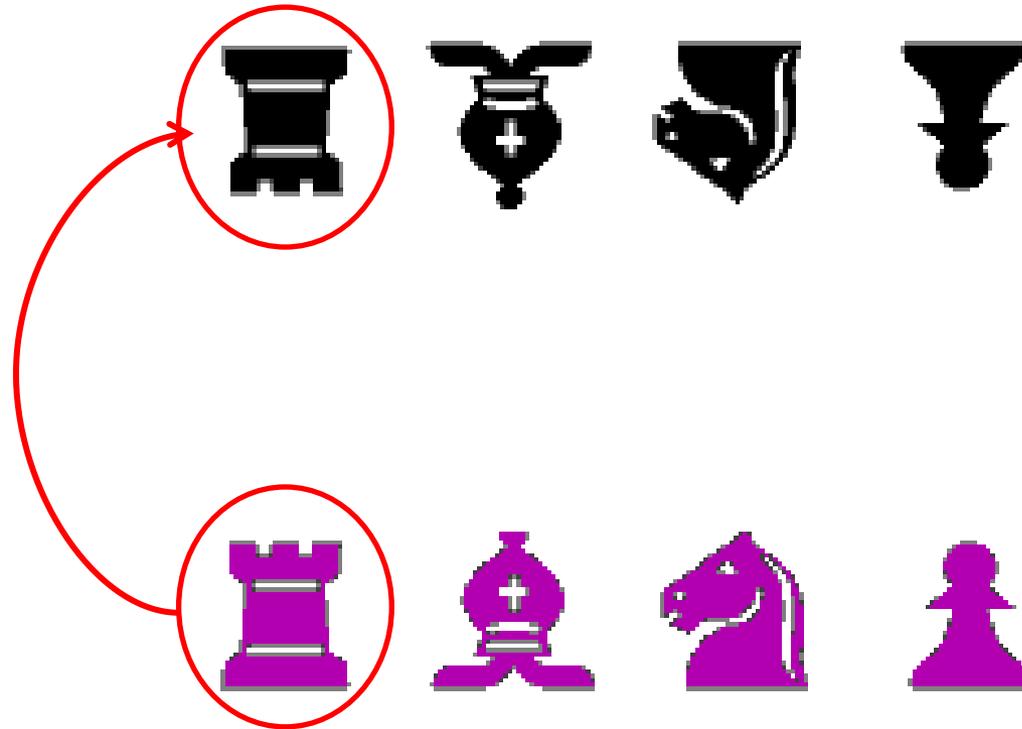


タイミング変位が正弦波状に変化するクロックを生成

- **遅延ばらつきの影響を抑える**  
(完全にタイミングを制御する)
- - ・デジタル制御パルス位置変調
  - ・デジタル $\Delta\Sigma$ 変調
  - ・Element Rotation アルゴリズム
  - ・PLL回路を組み合わせて実現する構成を提案

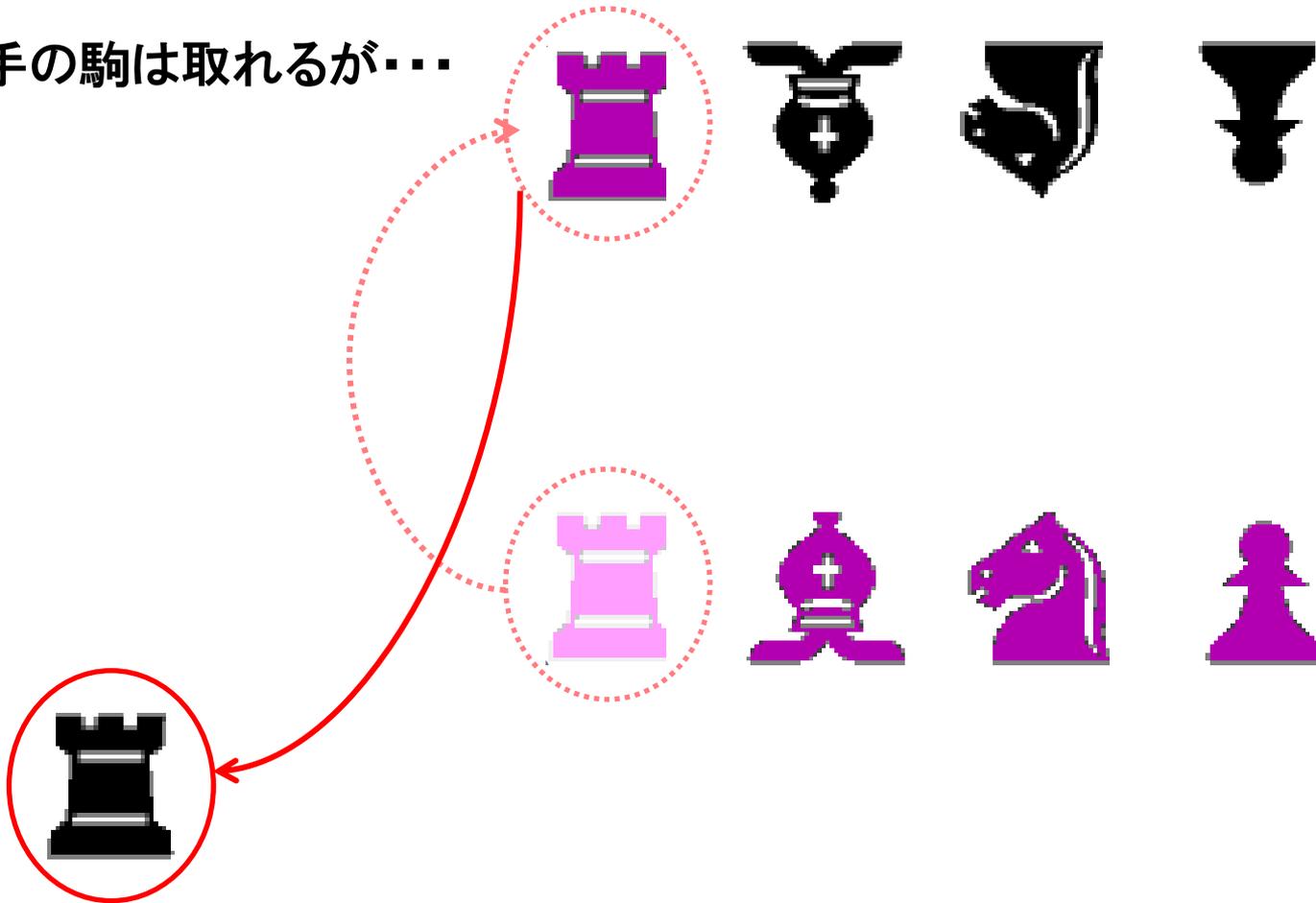
# ばらつきを抑えるとは

チェスでは...



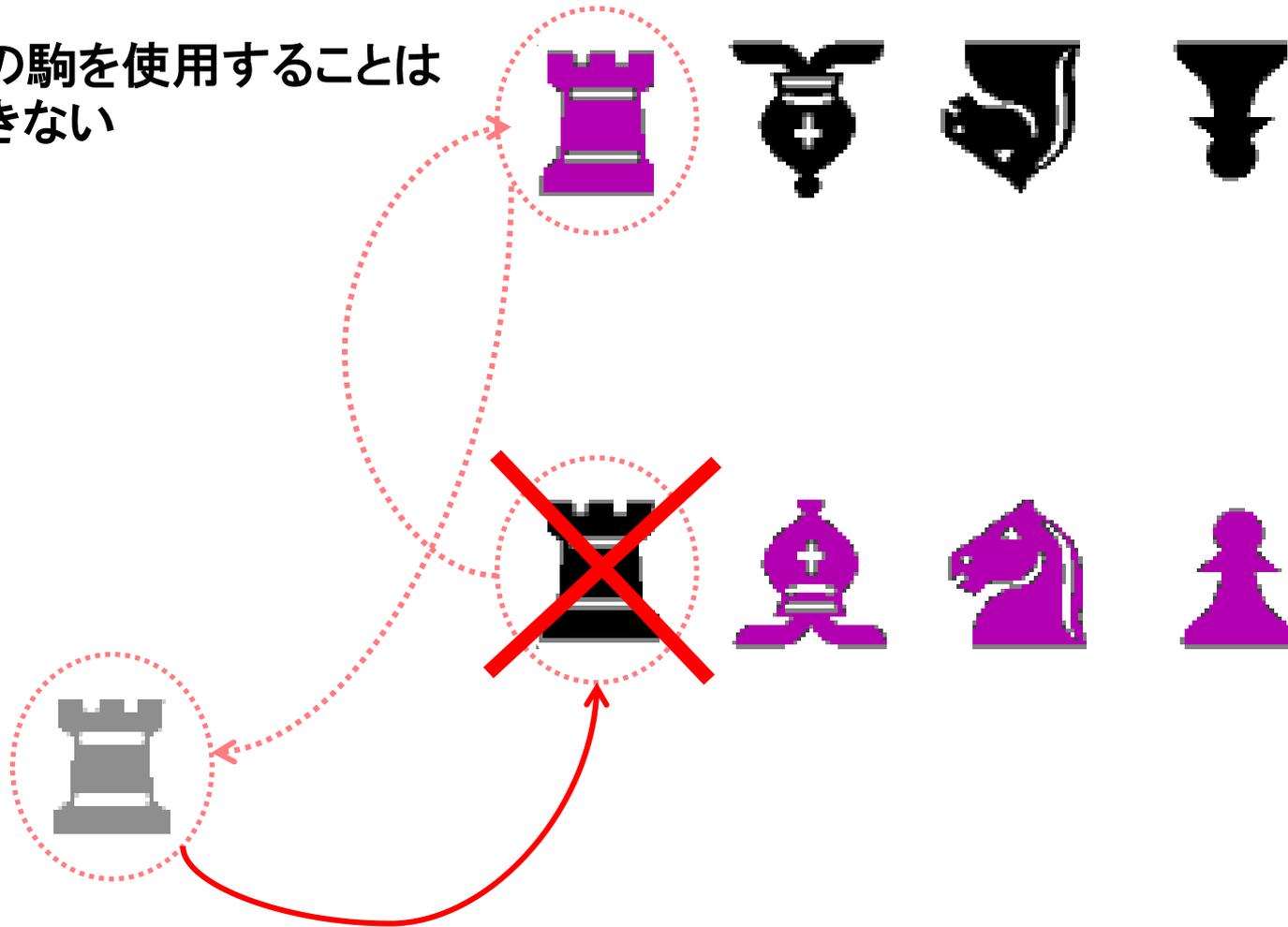
# 敵のコマを取ること

相手の駒は取れるが...

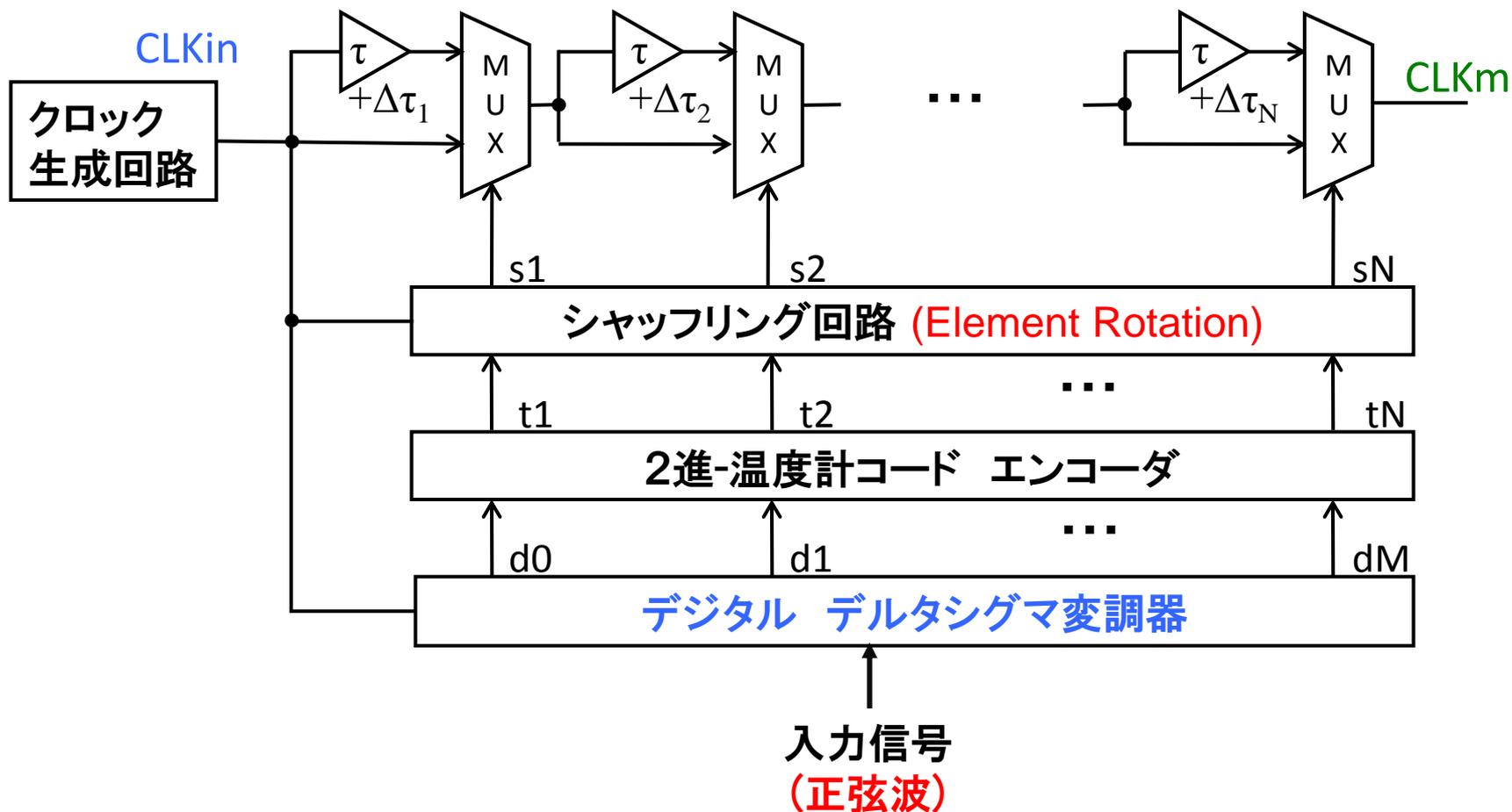


# ばらつきを積極利用はしない

その駒を使用することは  
できない



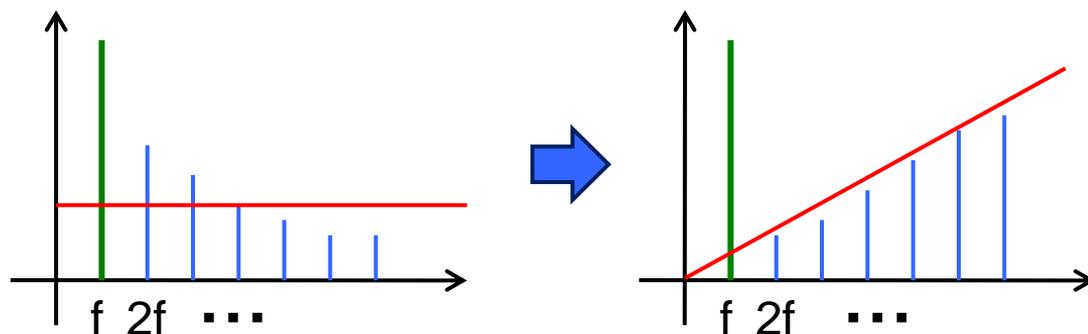
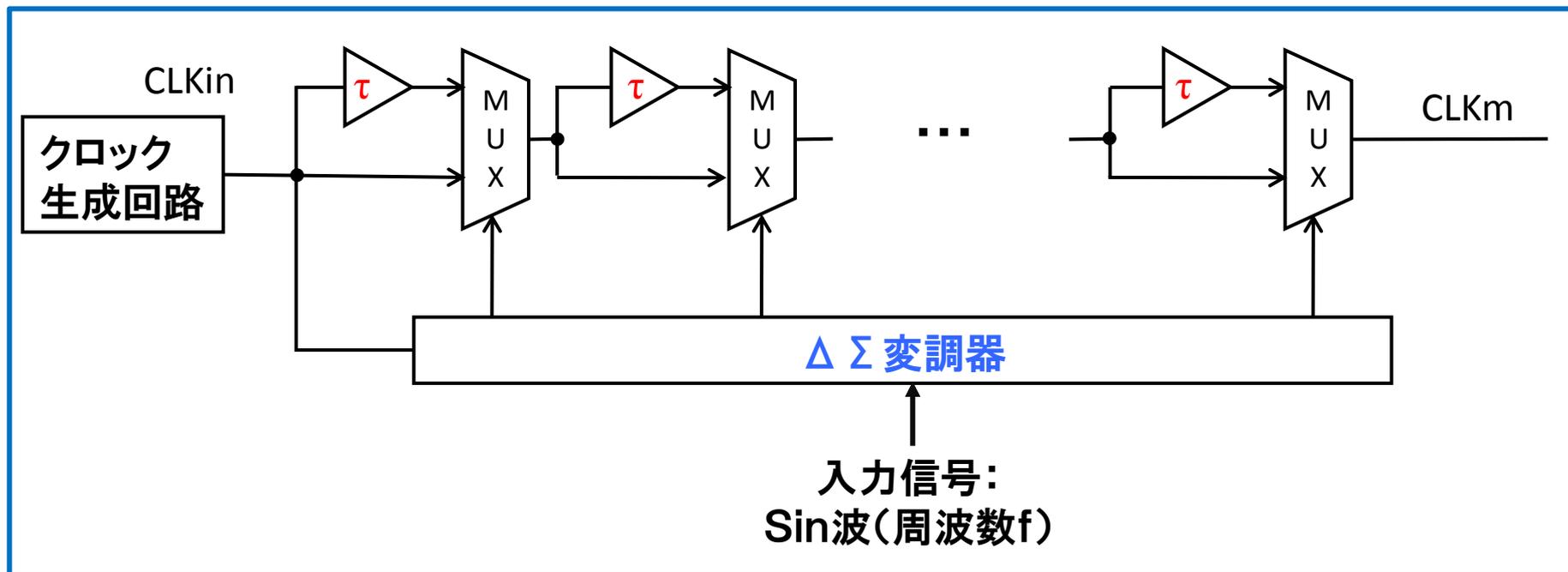
# 正弦波分布ジッタ発生回路全体構成



デジタル  $\Delta \Sigma$  変調器  
Element Rotation回路

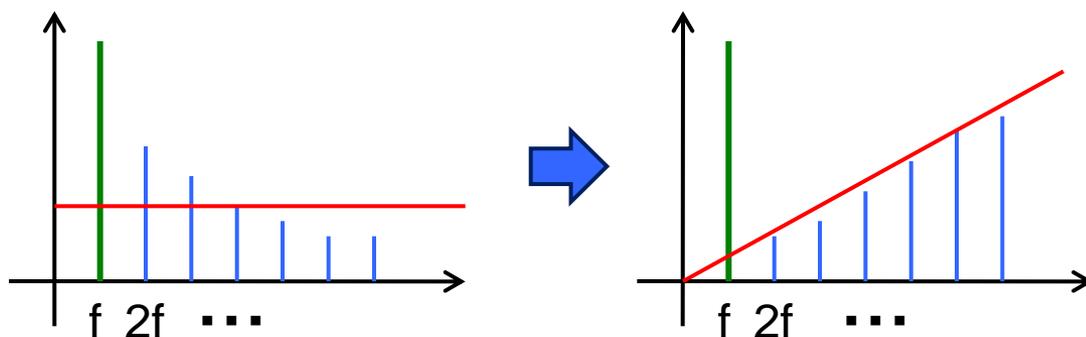
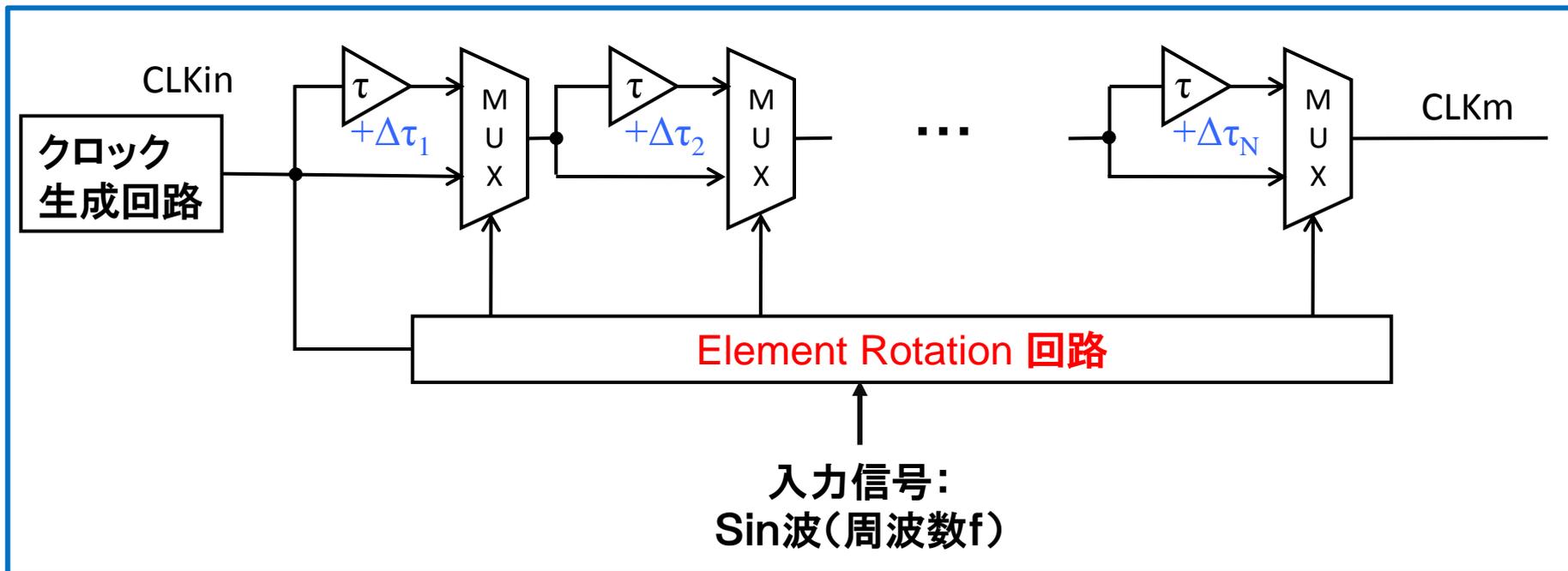


遅延ばらつきの影響を抑える



CLKm タイミング変位のパワースペクトル

遅延量子化( $\tau$ )の  
誤差影響を  
高周波に押しやる  
(ノイズシェーピング)

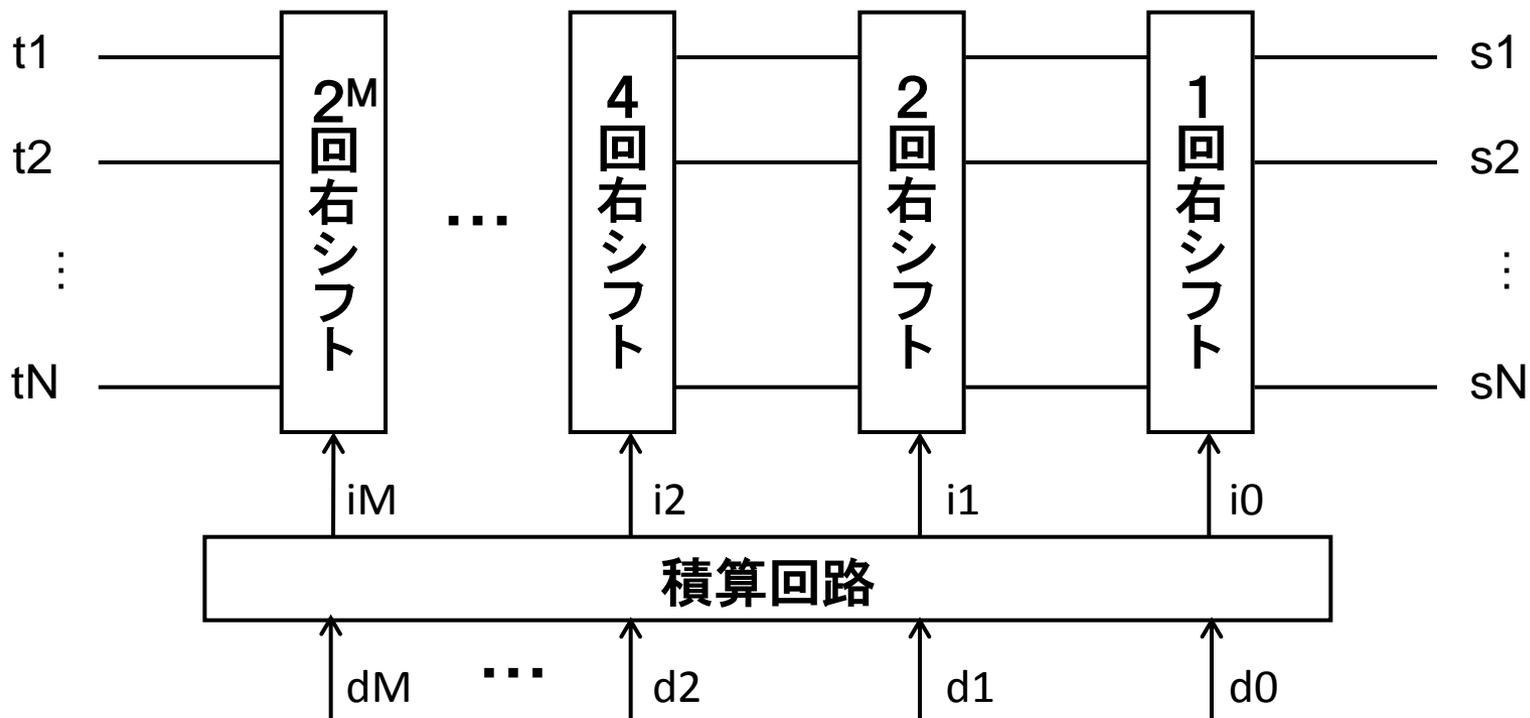


CLKm タイミング変位のパワースペクトル

遅延セルの選択を均等化

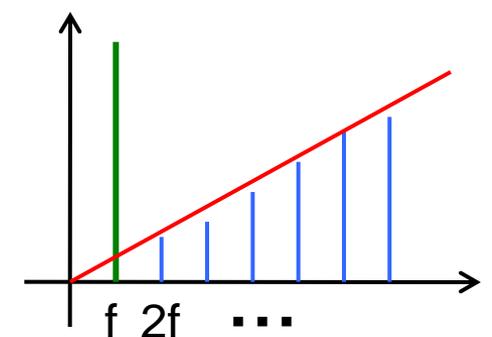
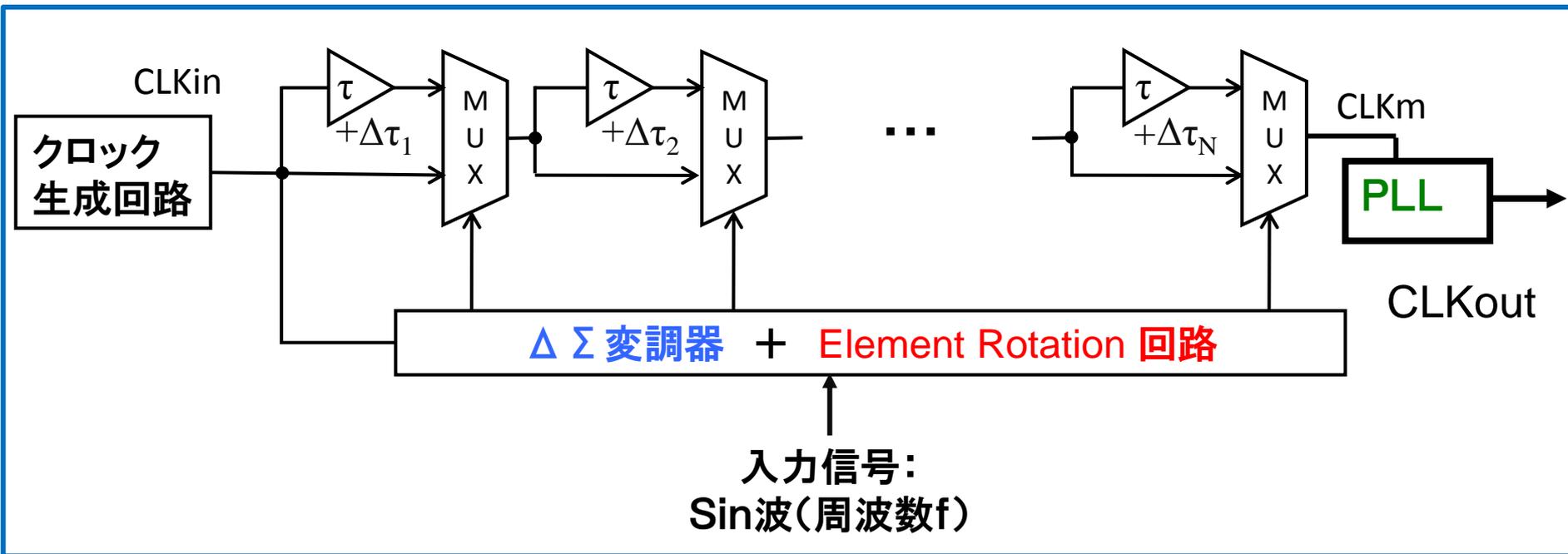


遅延ばらつき  $\Delta\tau$  の影響を  
高周波に押しやる

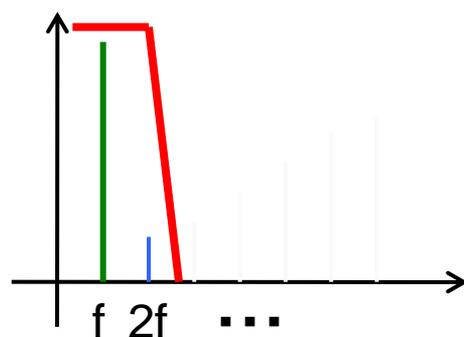


$d$	$t_1$	$t_N$	$s_1$	$s_N$
1	1000000000...00		1000000000...00	0シフト
3	1110000000...00		0111000000...00	0+1=1シフト
2	1100000000...00		0000110000...00	1+3=4シフト

遅延セルの選択を均等化

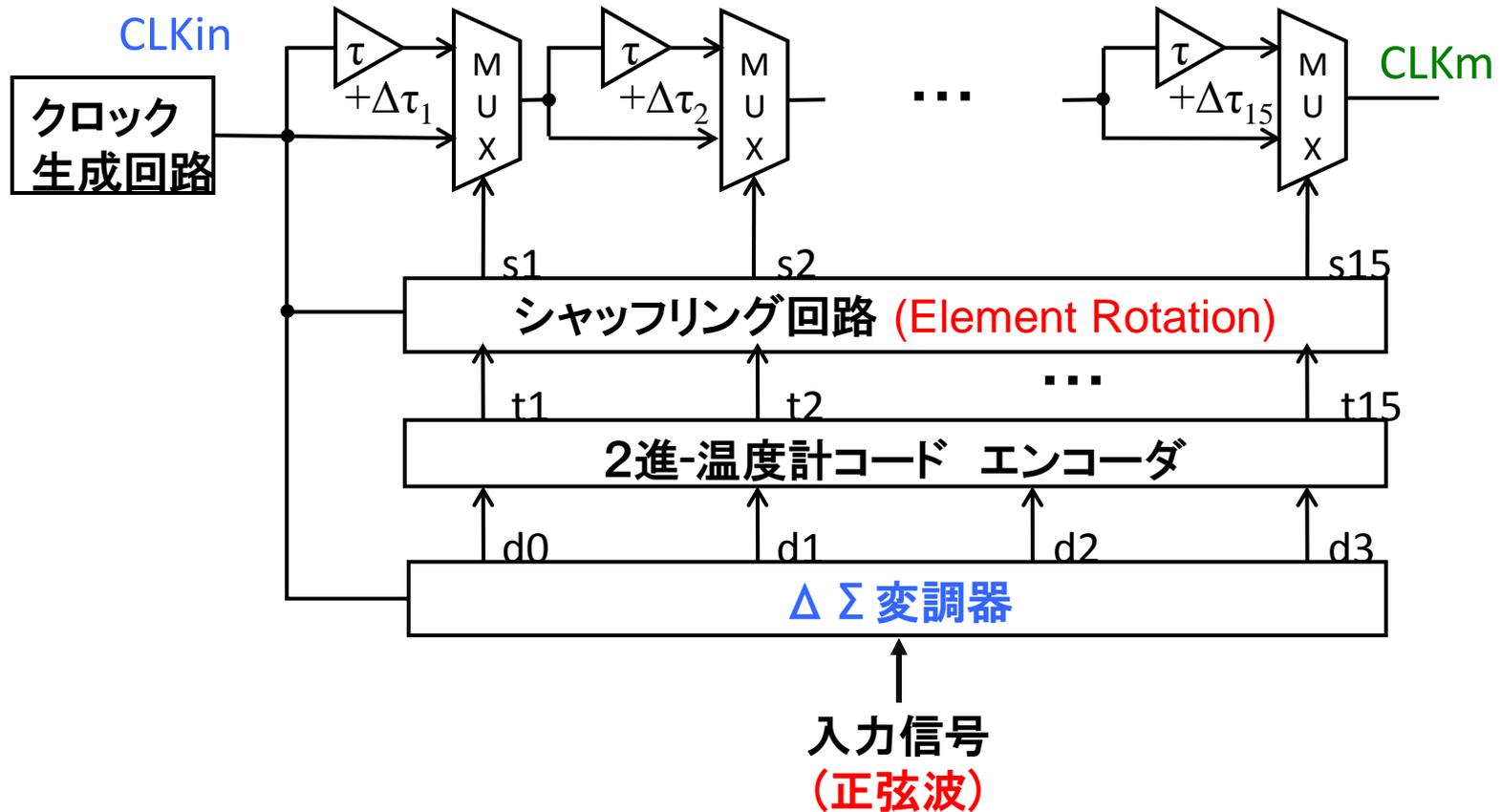


CLKm タイミング変位の  
パワースペクトル



CLKout タイミング変位の  
パワースペクトル

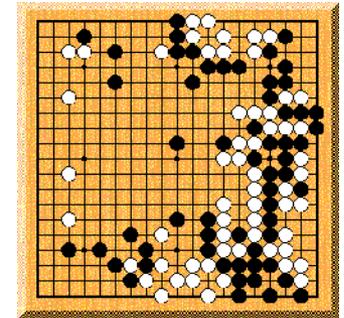
高周波成分を除去  
(LPFの役割)



ΔΣ変調器出力	4bit
CLKin	1MHz
入力信号(正弦波)	750Hz
平均遅延 $\tau$	10ns
遅延ばらつき $\Delta\tau$	$\tau$ の±50%以内

MATLABにて  
シミュレーション

- 研究背景
- 高速データ受信回路ジッタ耐性テスト用  
デジタル制御ジッタ発生回路
  - 広帯域ジッタ発生回路
  - 正弦波分布ジッタ発生回路
- 送信回路出力信号ジッタ計測回路
- まとめ



## ジッタ特性

### 回路の性能測定項目の1つ

全てデジタル回路で構成



FPGAでBOST 実現を目指す。  
高価な計測器(デジタルオシロ等)が不要。

## 下記文献をシミュレーション・解析で追試

A. H. Chan, G. W. Roberts

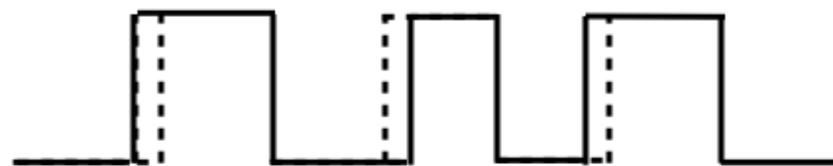
“A Jitter Characterization System

Using a Component-Invariant Vernier Delay Line,”

IEEE Trans. VLSI, Vol.12, No.1, pp.79–95 (Jan. 2004).

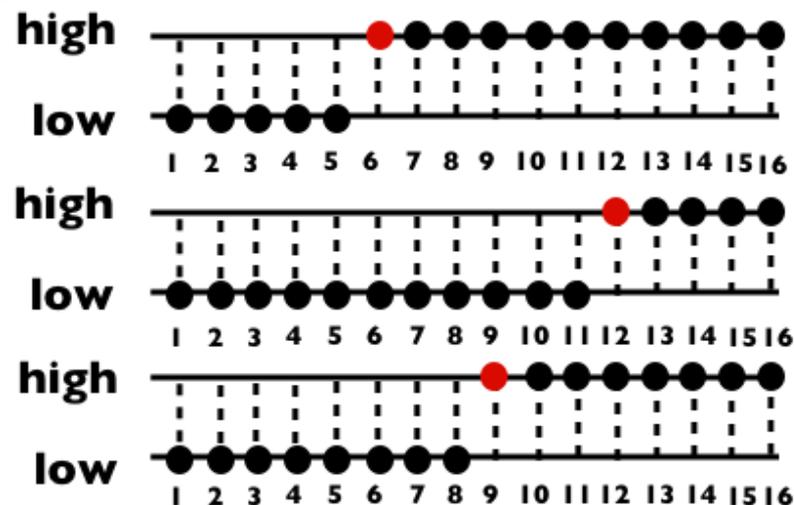
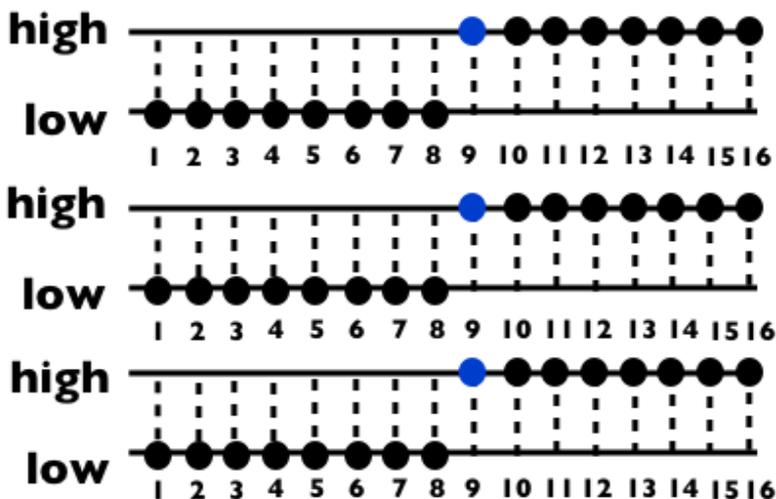


jitter-free signal



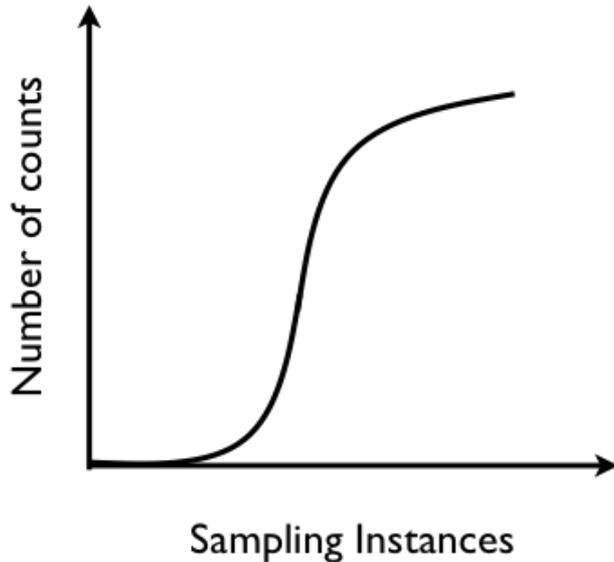
jittery signal

サンプリング



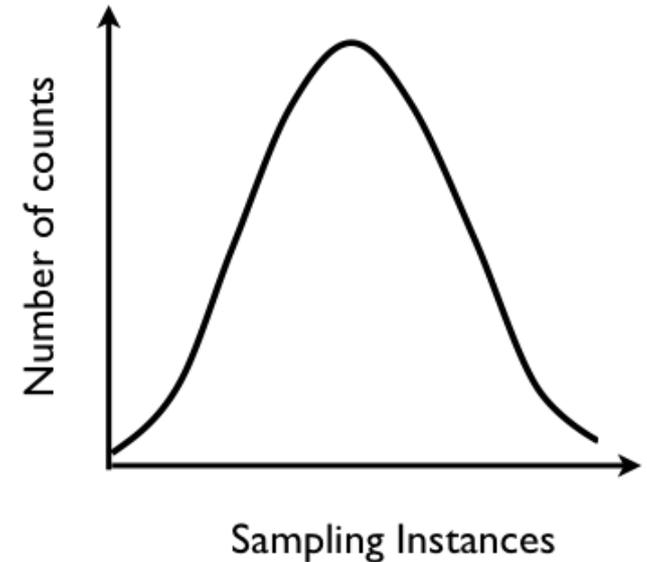
highの数をカウントする

累積密度関数(CDF)



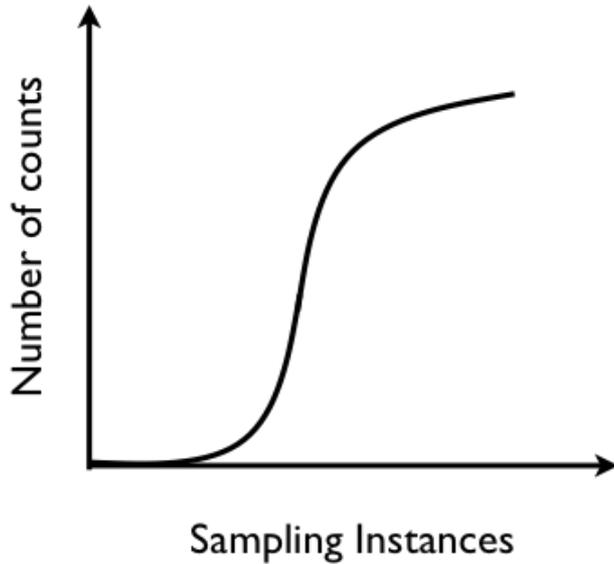
微分

確率密度関数(PDF)



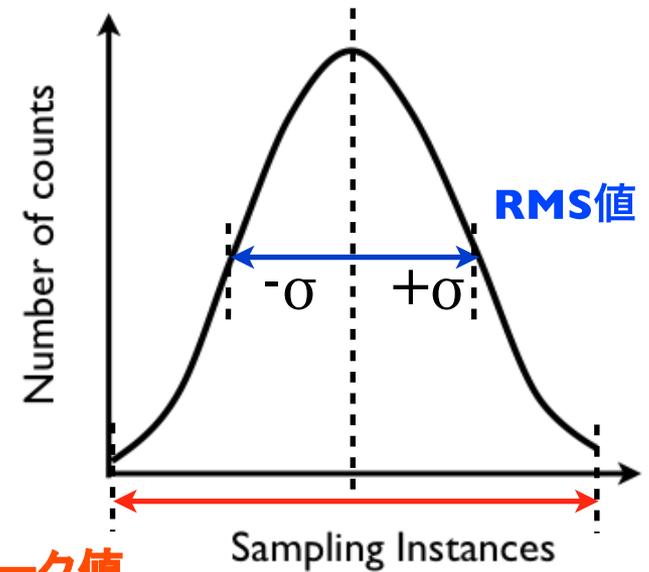
PDFを元にRMS値やピークtoピーク値を得る

## 累積密度関数(CDF)



微分

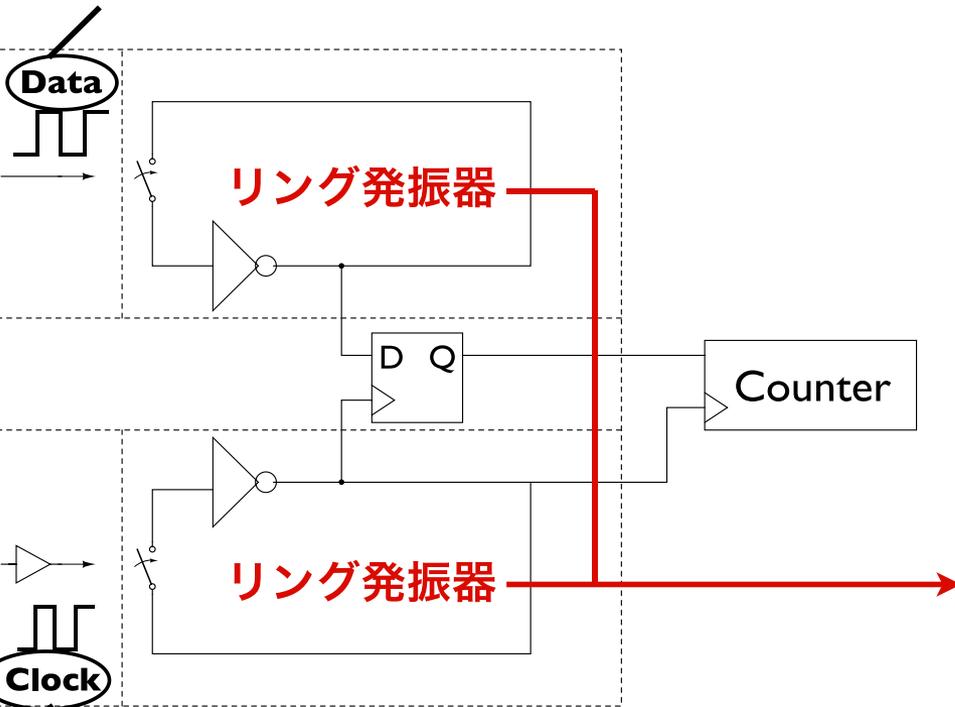
## 確率密度関数(PDF)



PDFを元にRMS値やピークtoピーク値を得る

被測定信号

jittery signal



jitter-free signal

基準信号

## ◆ 回路

Component-Invariant  
VDL 回路

VDL : Vernier Delay Line

## ◆ 特徴(利点)

- 回路面積の縮小化
- 素子マッチング要求の緩和

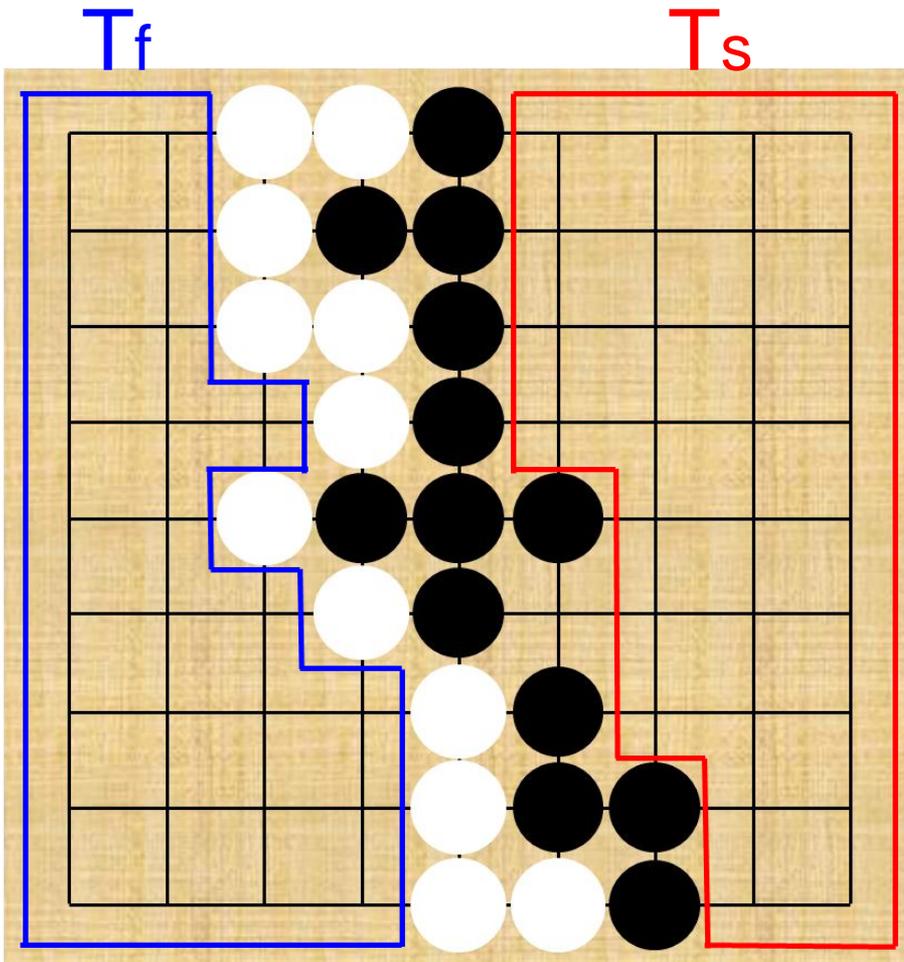
# バーニア型とは「差」が分解能

囲碁は 陣地(領土)の  
広さの差で勝負をする

バーニア型

時間の差

$\Delta T = T_s - T_f$ : 時間分解能



被測定信号  
jittery signal

jitter-free signal  
基準信号

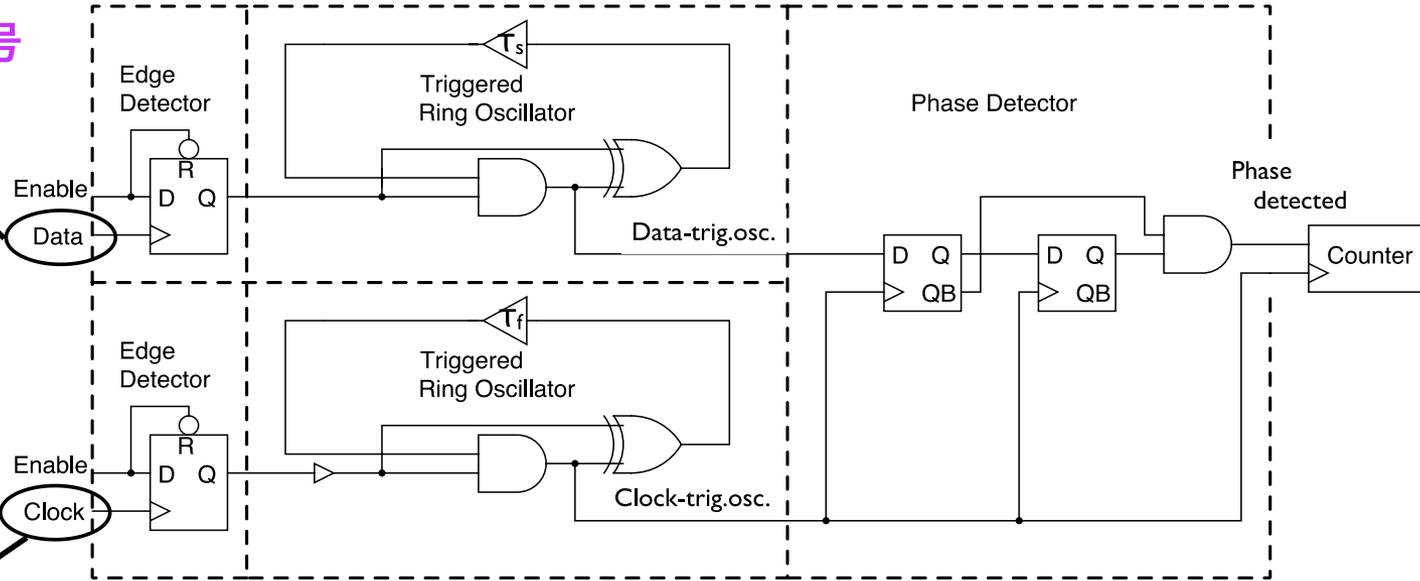
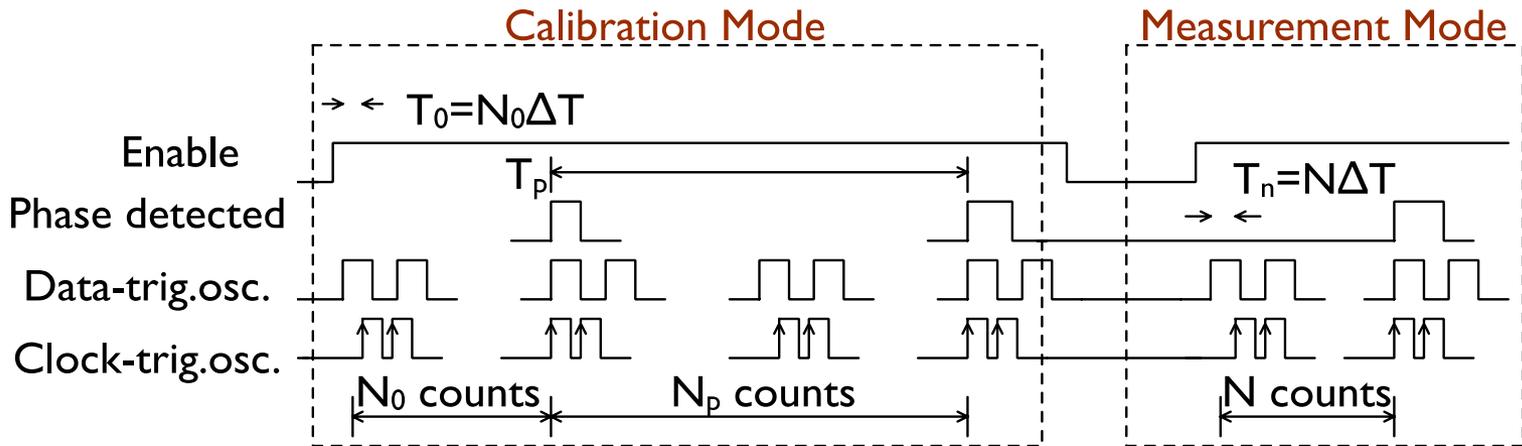


図: Component Invariant VDL の全体図



発振周期

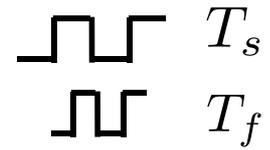


図: Component Invariant VDL のTiming Diagram

被測定信号  
jittery signal

Enable  
Data

Enable  
Clock

jitter-free signal  
基準信号

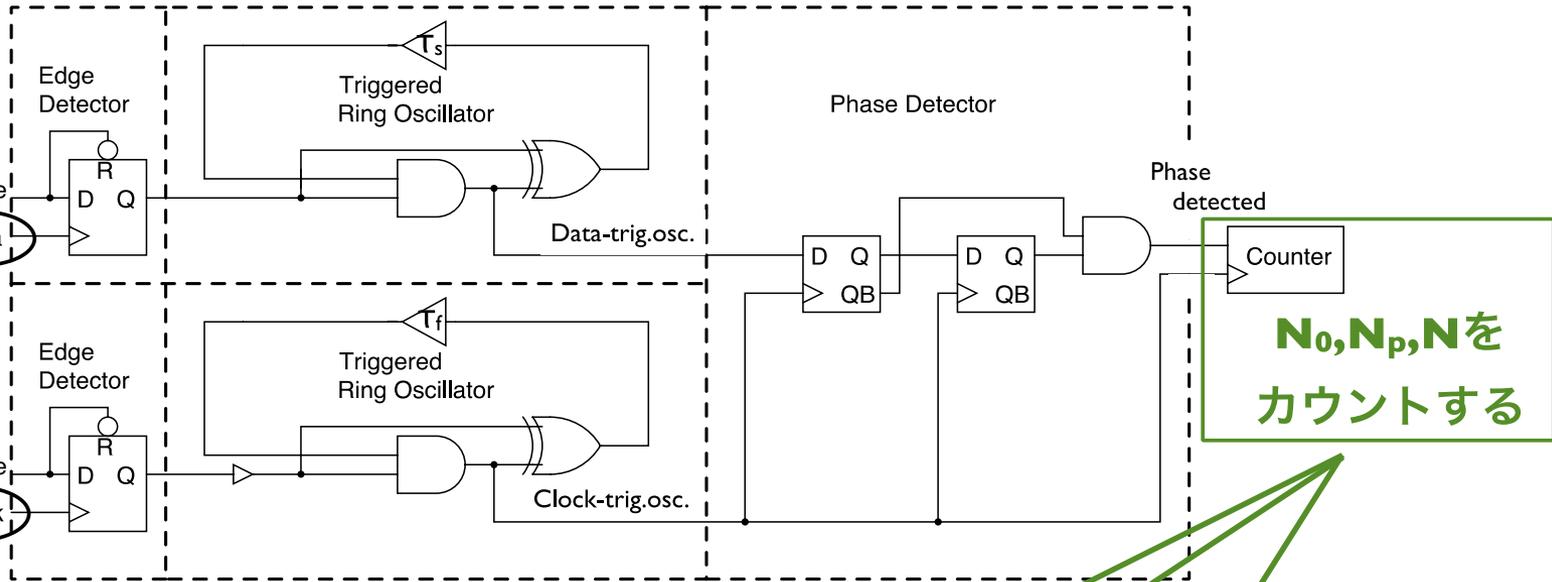
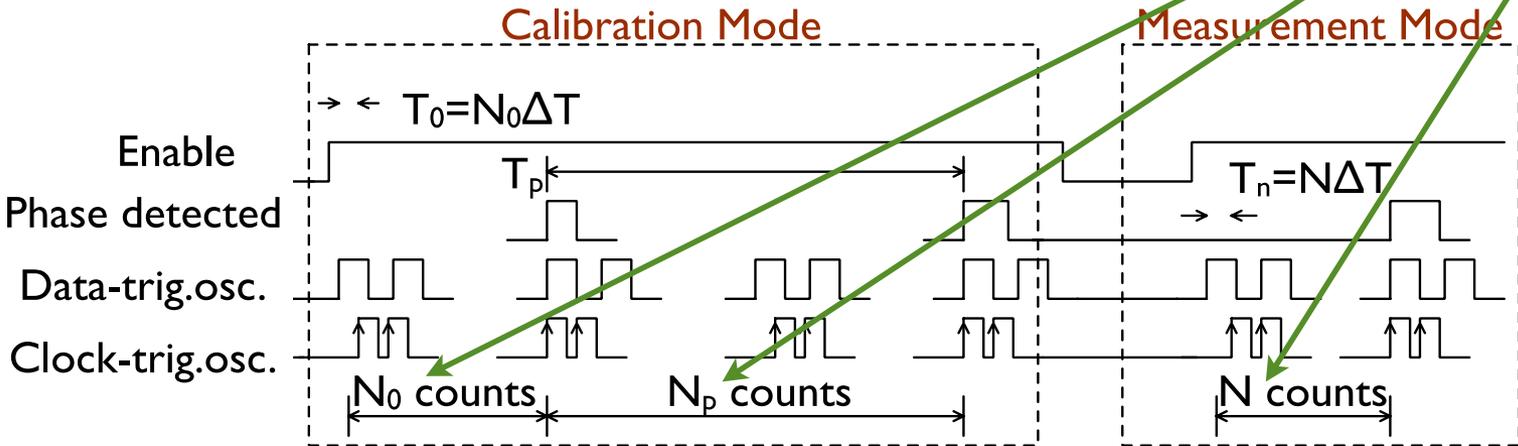


図: Component Invariant VDL の全体図



発振周期

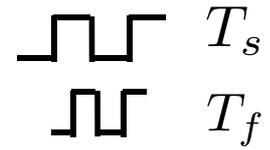
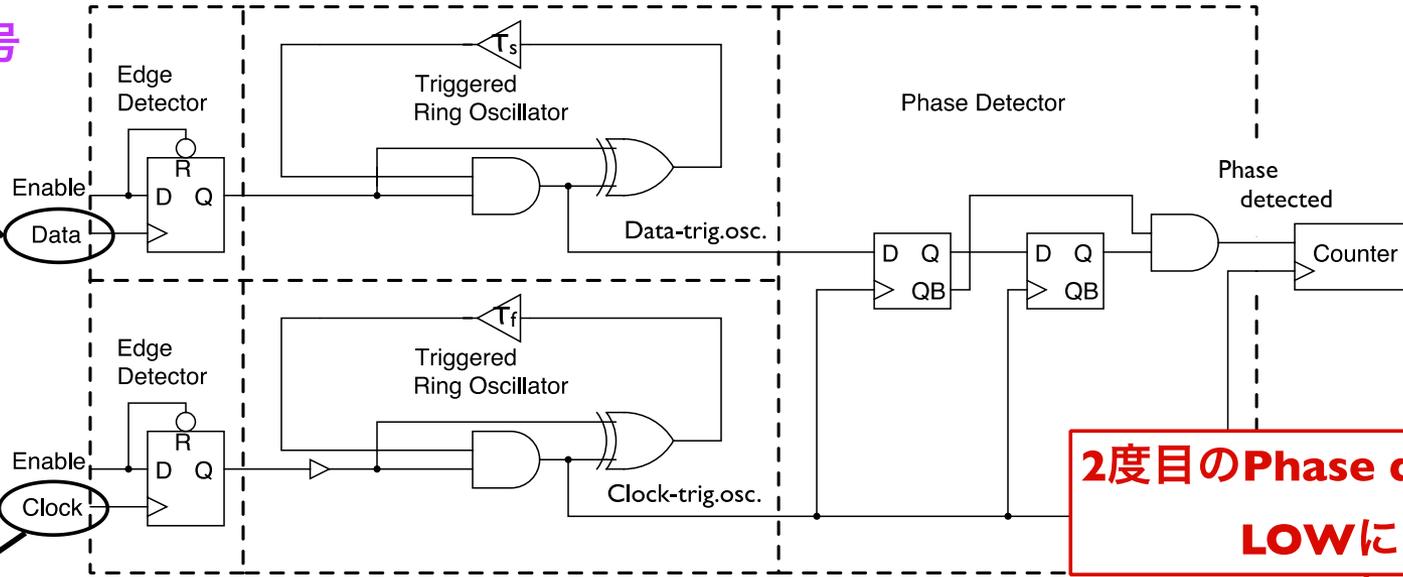


図: Component Invariant VDL のTiming Diagram

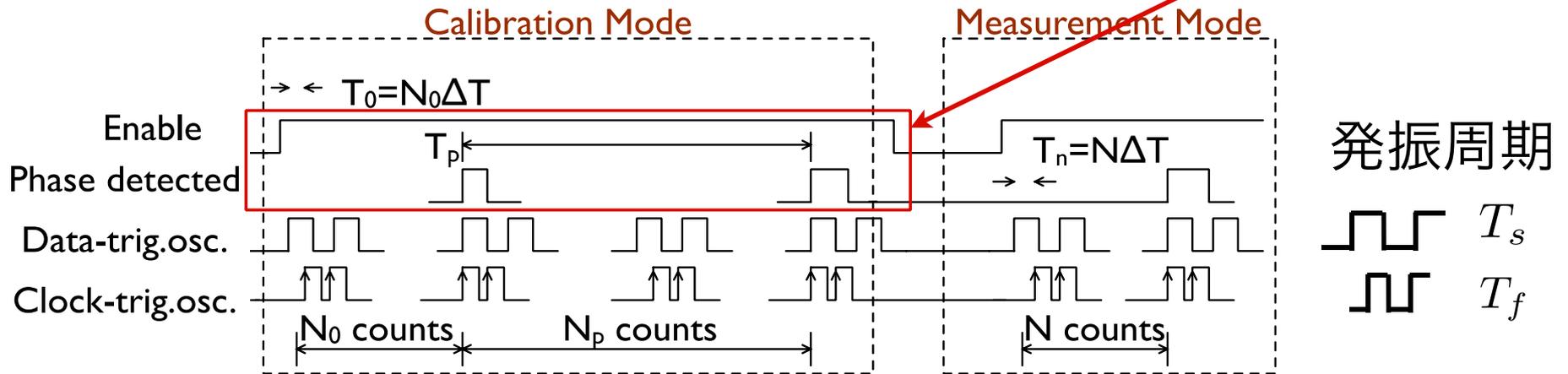
被測定信号  
jittery signal



2度目のPhase detected 後  
LOWになる

jitter-free signal  
基準信号

図: Component Invariant VDL の全体図



発振周期  
 $T_s$   
 $T_f$

図: Component Invariant VDL のTiming Diagram

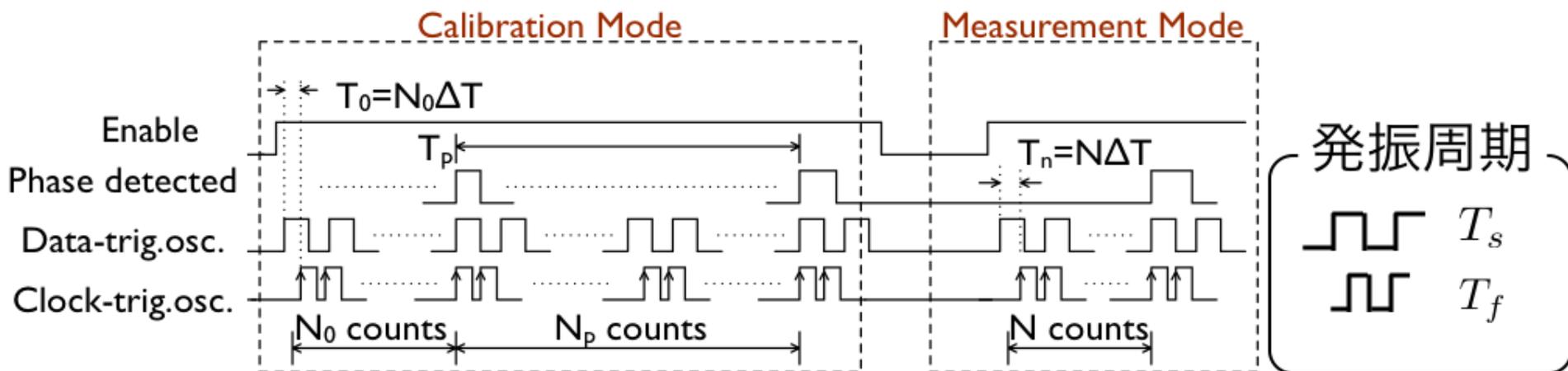


図: Component Invariant VDL の Timing Diagram

ジッタが無ければ  
常に  $T_0 = T_n$  が成り立つ



実際は存在する  
 $T_0 \neq T_n$

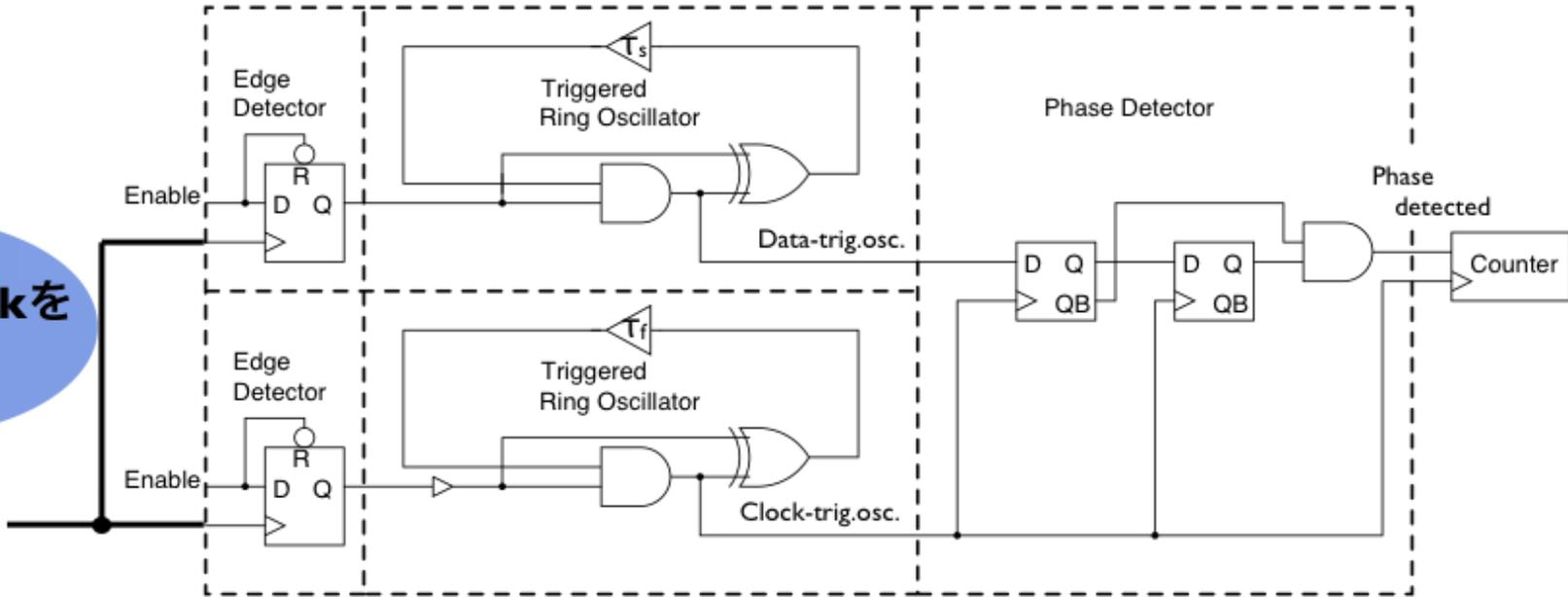
$T_m$  : 基準となる  $T_0$  からのずれ

$$\begin{aligned} T_m &= T_n - T_0 \\ &= \Delta T(N - N_0) \end{aligned}$$

$$\left( \Delta T = T_s - T_f = \frac{T_p}{N_p(N_p - 1)} \right)$$

DataとClockを  
ショート

基準信号



$T_0$ とリング発振周期 $T_s, T_f$ を求めている

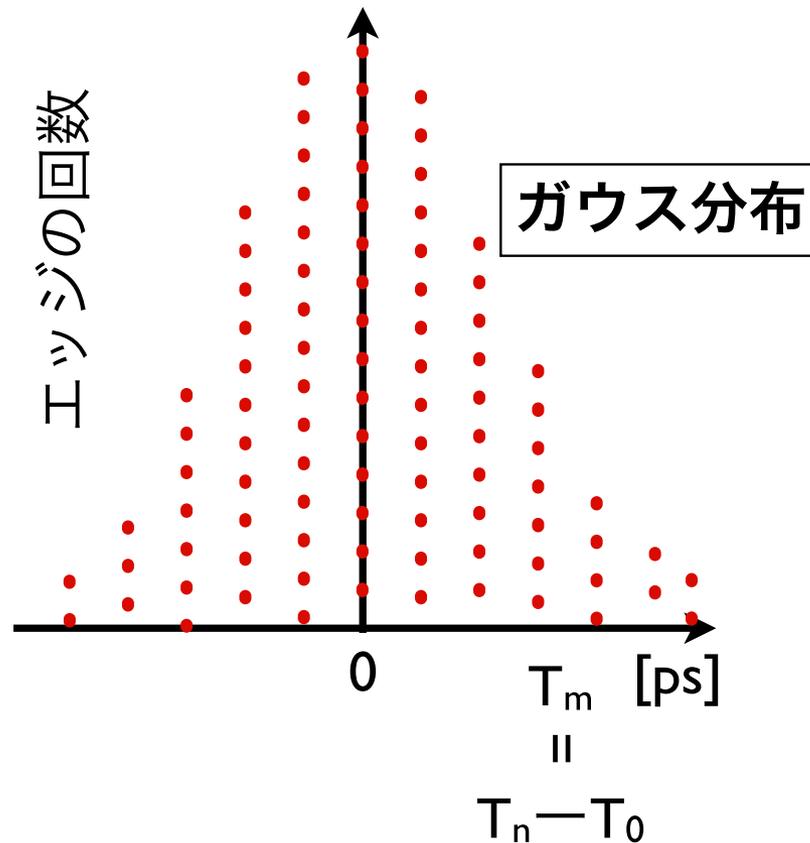
$T_0$  : 回路固有の遅延のみを含む

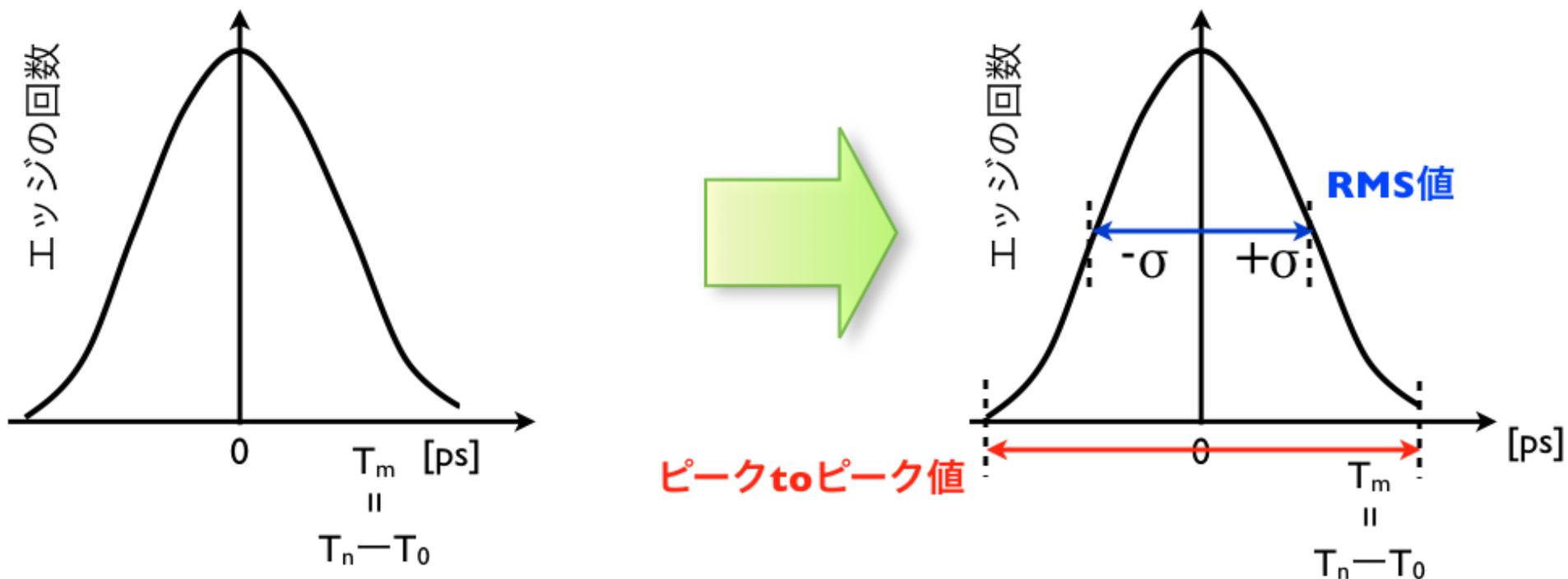


**jitter-free**

## サンプル $T_n$ を集める

$T_n$  : 回路固有の遅延とジッタを含む





ジッタ量が算出可能となる

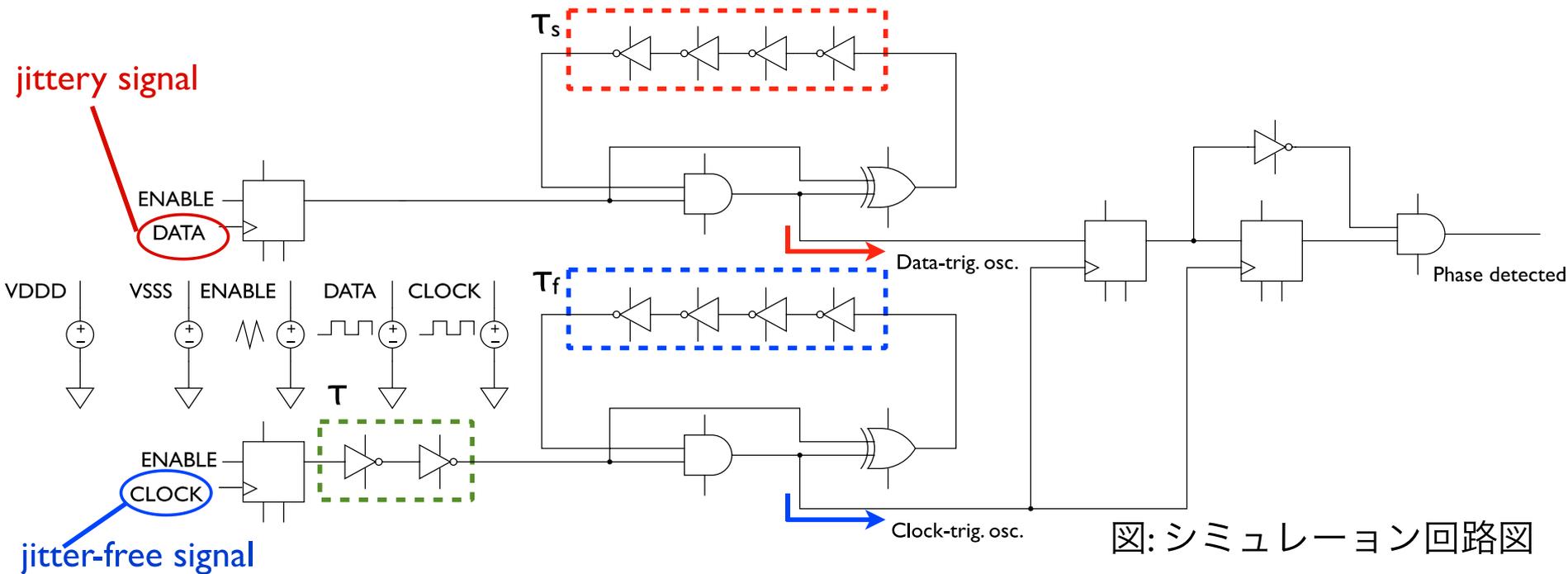
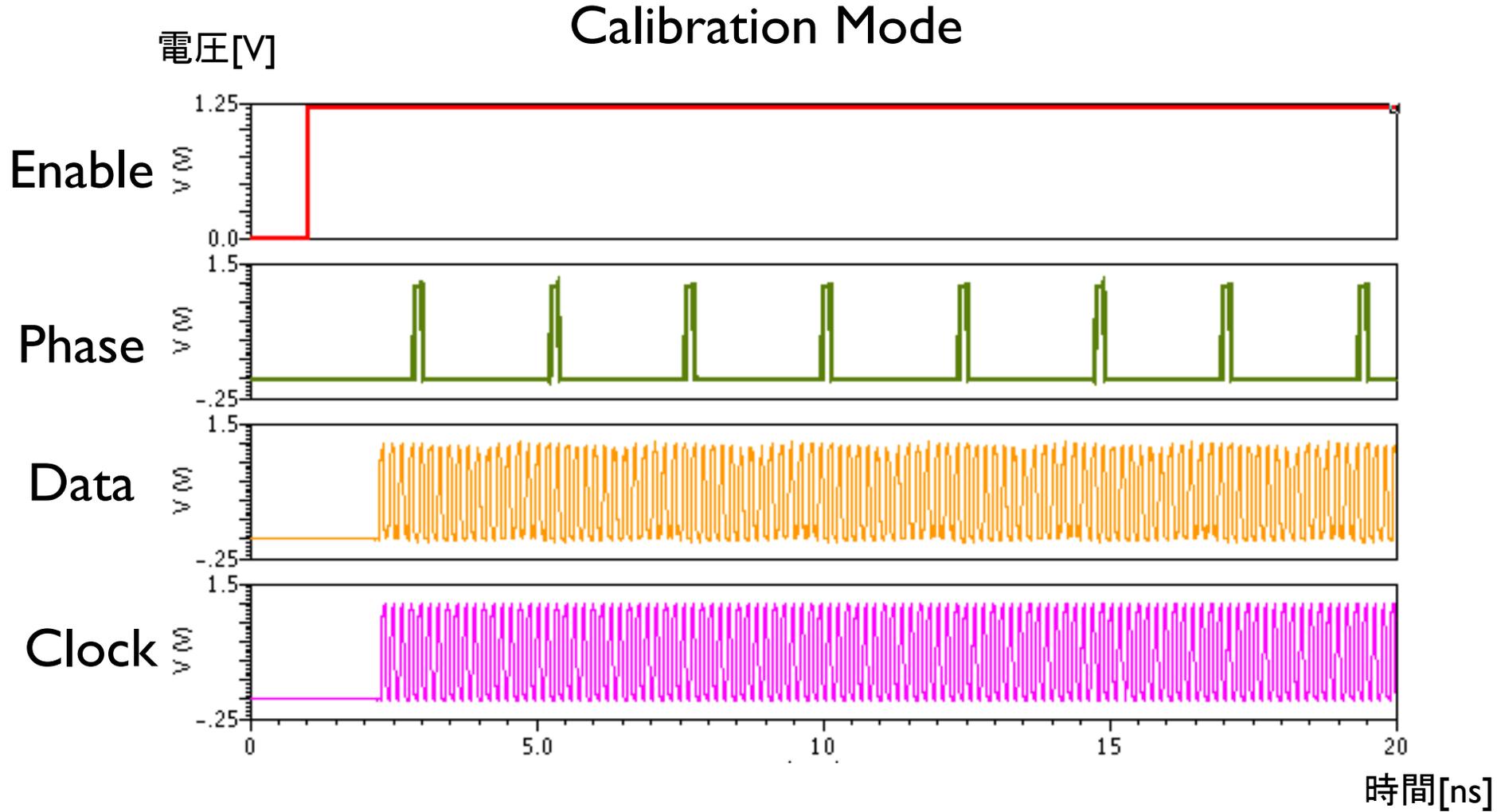


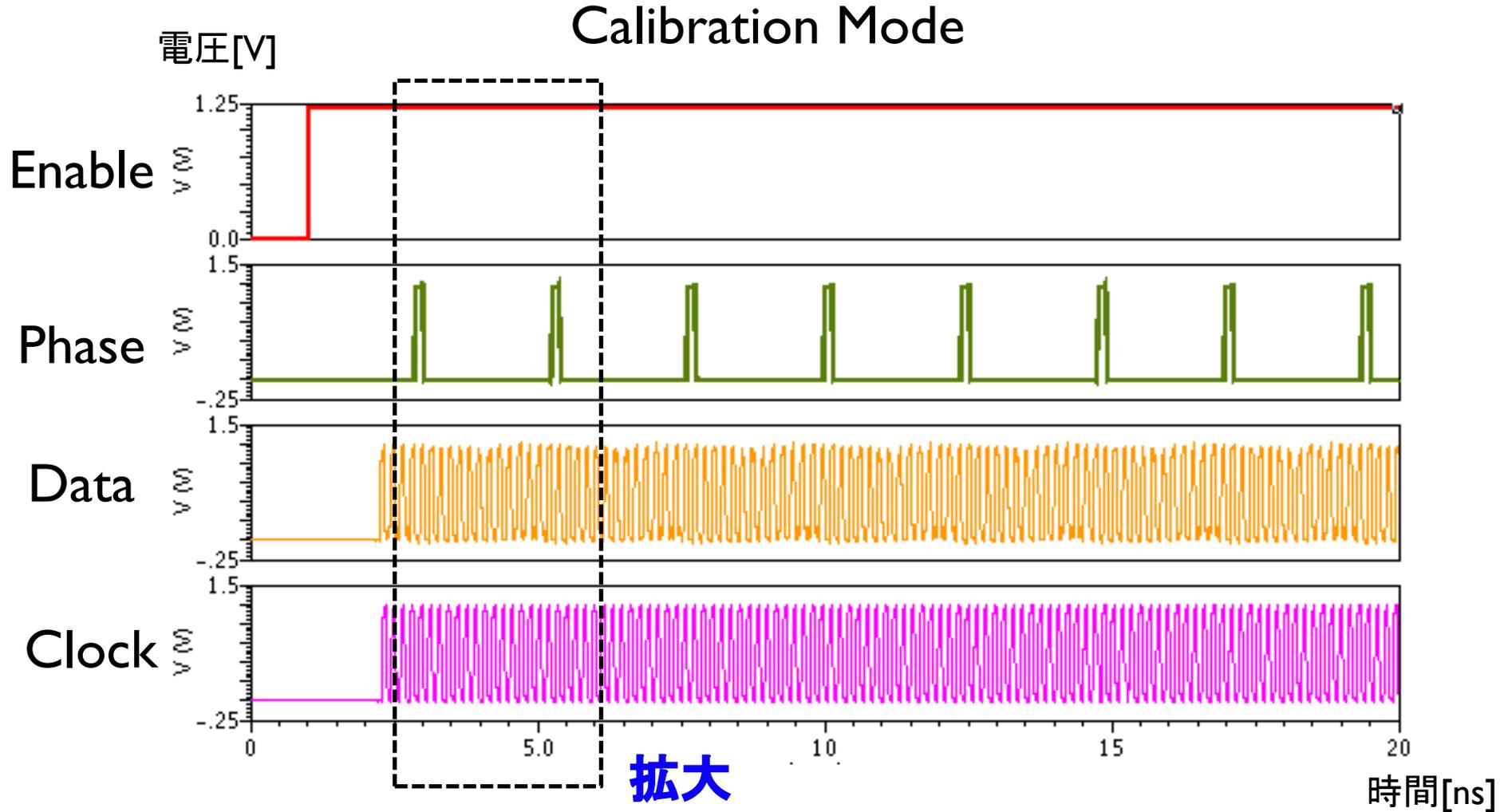
図: シミュレーション回路図

表: シミュレーション指標

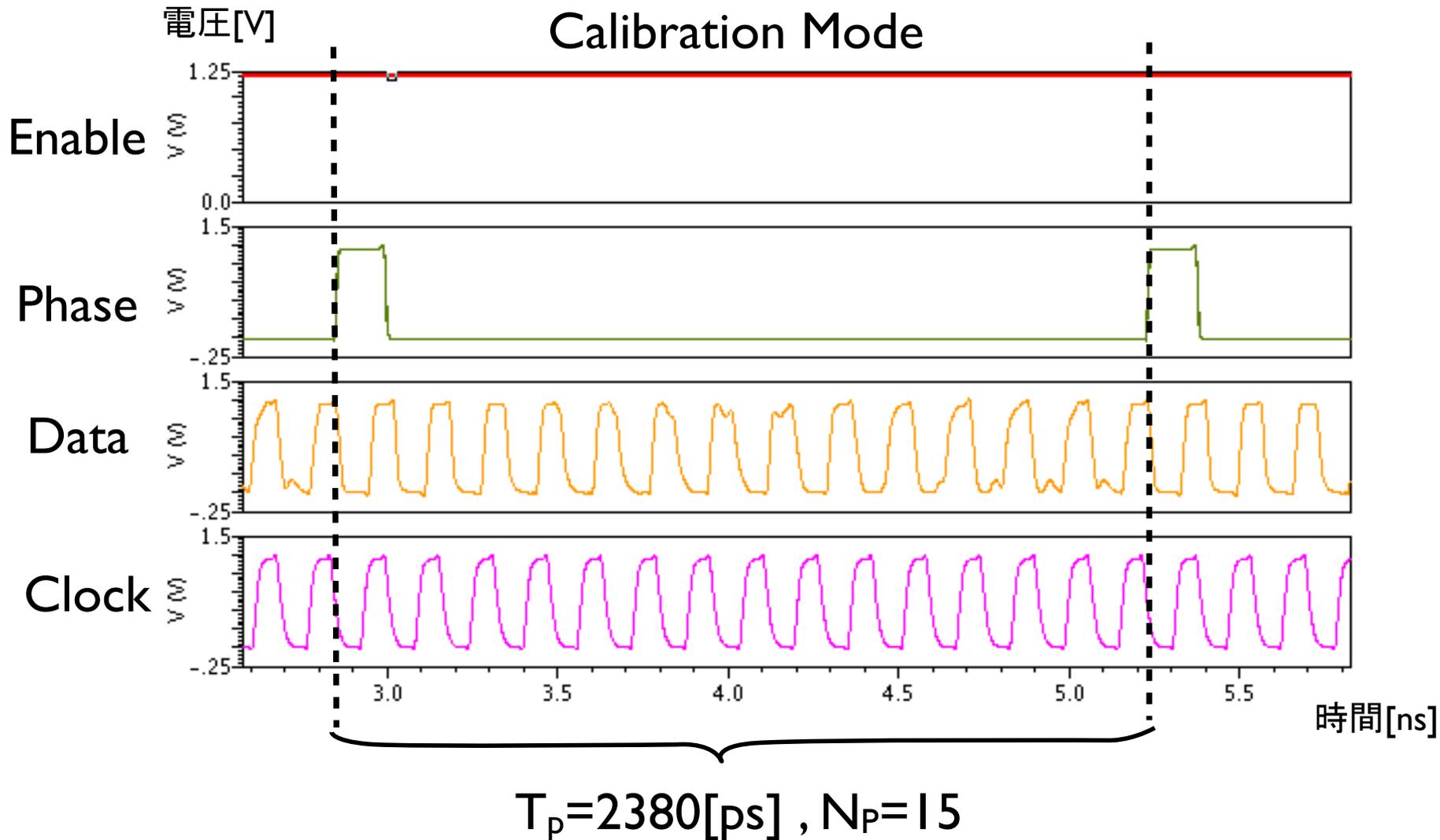
DATA周波数[GHz]	1.0	各入力信号電圧[V]	1.2
CLOCK周波数[GHz]	1.0	インバータ遅延 $\tau$ [ps]	20.43
発振周期 $T_s$ [ps]	169.5	インバータ遅延 $T_s$ [ps]	59.42
発振周期 $T_f$ [ps]	158.2	インバータ遅延 $T_f$ [ps]	45.07



波形が周期的に出力されている



波形が周期的に出力されている



$$\Delta T = T_s - T_f = \frac{T_p}{N_p(N_p - 1)}$$

## ◆理論値

$$\Delta T = T_s - T_f = 169.5 - 158.2 = 11.3[ps]$$

## ◆検証値

$$\Delta T = \frac{T_p}{N_p(N_p - 1)} = \frac{2380}{15(15 - 1)} = 11.33[ps]$$



$$\text{誤差} : \frac{11.33 - 11.3}{11.3} \cdot 100 = 0.265[\%]$$

分解能はほぼ理論通りになっている

- 研究背景と目的
- 高速データ受信回路ジッタ耐性テスト用  
デジタル制御ジッタ発生回路
  - 広帯域ジッタ発生回路
  - 正弦波分布ジッタ発生回路
- 送信回路出力信号ジッタ計測回路
- まとめ

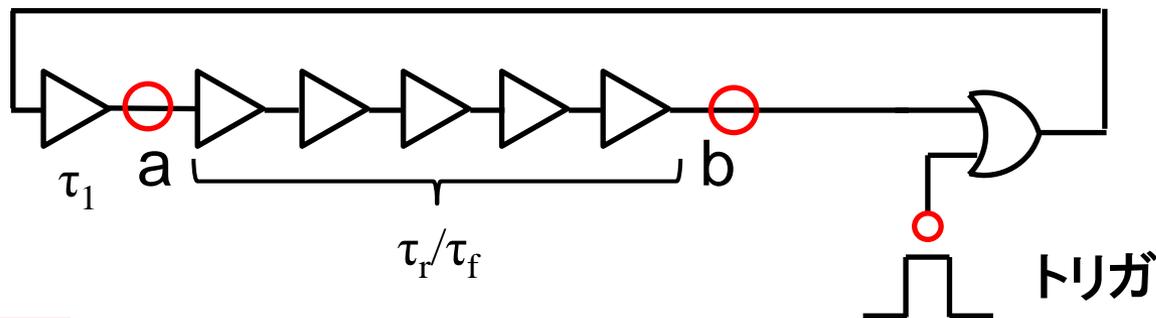
- 高速データ受信回路のジッタ耐性BOSTとしてジッタをもつクロック生成回路を2つ提案
  - ① 確率的DTC回路
    - ⇒遅延ばらつきを利用し細かい分解能を実現
  - ② 正弦波分布ジッタ発生回路
    - ⇒ $\Delta\Sigma$ 変調、Element Rotation を利用し遅延ばらつきの影響を除去
- 送信回路出力のジッタ測定用回路を検討

- 高速データ受信回路のジッタ耐性BOSTとしてジッタをもつクロック生成回路を2つ提案
  - ① 確率的DTC回路
    - ⇒遅延ばらつきを利用し細かい分解能を実現
  - ② 正弦波分布ジッタ発生回路
    - ⇒ $\Delta\Sigma$ 変調、Element Rotation を利用し遅延ばらつきの影響を除去
- 送信回路出力のジッタ測定用回路を検討

**全てデジタル技術で実現可能**

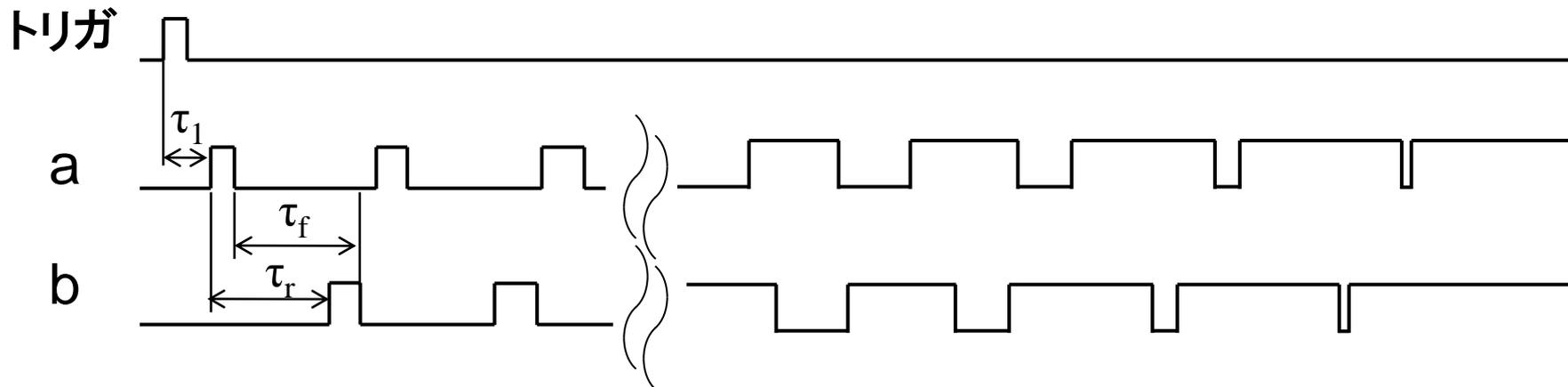
有意義な御討論をいただきました  
矢野雄二、我毛辰弘、松浦達治  
宮下博之、力野邦人、岸上真也 各氏に  
感謝の意を表します。

# 付 録



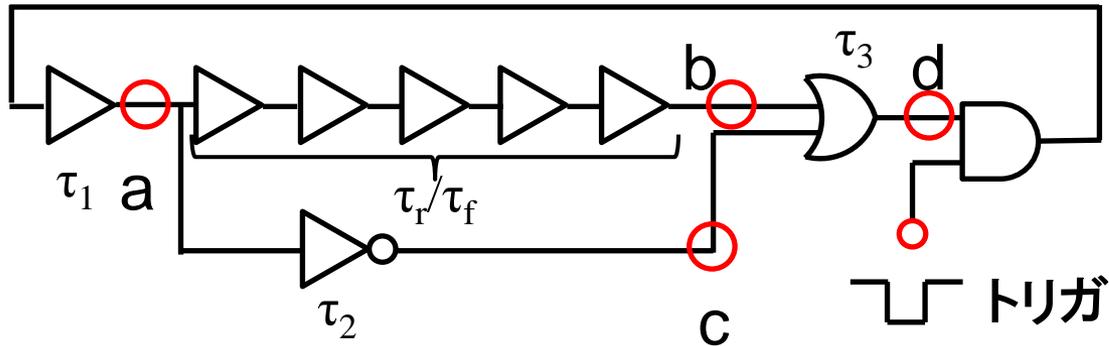
$\tau_r$  : 立ち上がり遅延  
 $\tau_f$  : 立ち下がり遅延

$$\tau_r < \tau_f$$



トリガのパルス幅に遅延が加算され、  
a、b共に波形が1になる

**発振を維持できない**



$\tau_1$	38.28 ns
$\tau_2$	3.03 ns
$\tau_3$	3.79 ns
$\tau_r$	91.34 ns

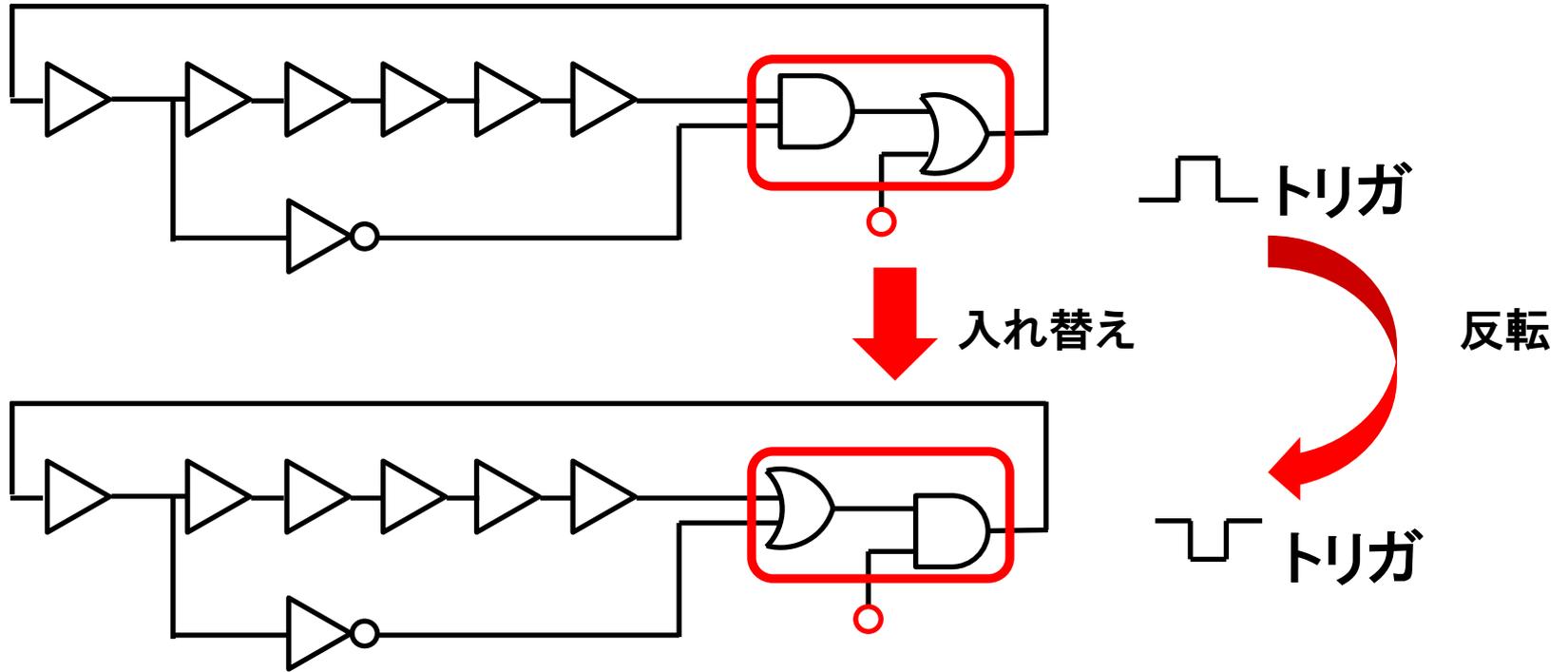
## 理論値

$$\frac{1}{\tau_r + \tau_1 + \tau_3} \doteq 7.50[\text{MHz}]$$

## シミュレーション結果

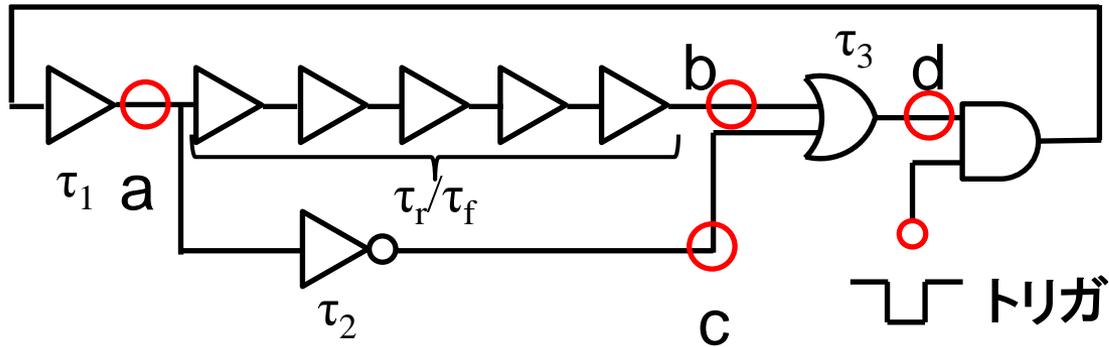
7.55 [MHz]

理論式とシミュレーション結果の一致を確認

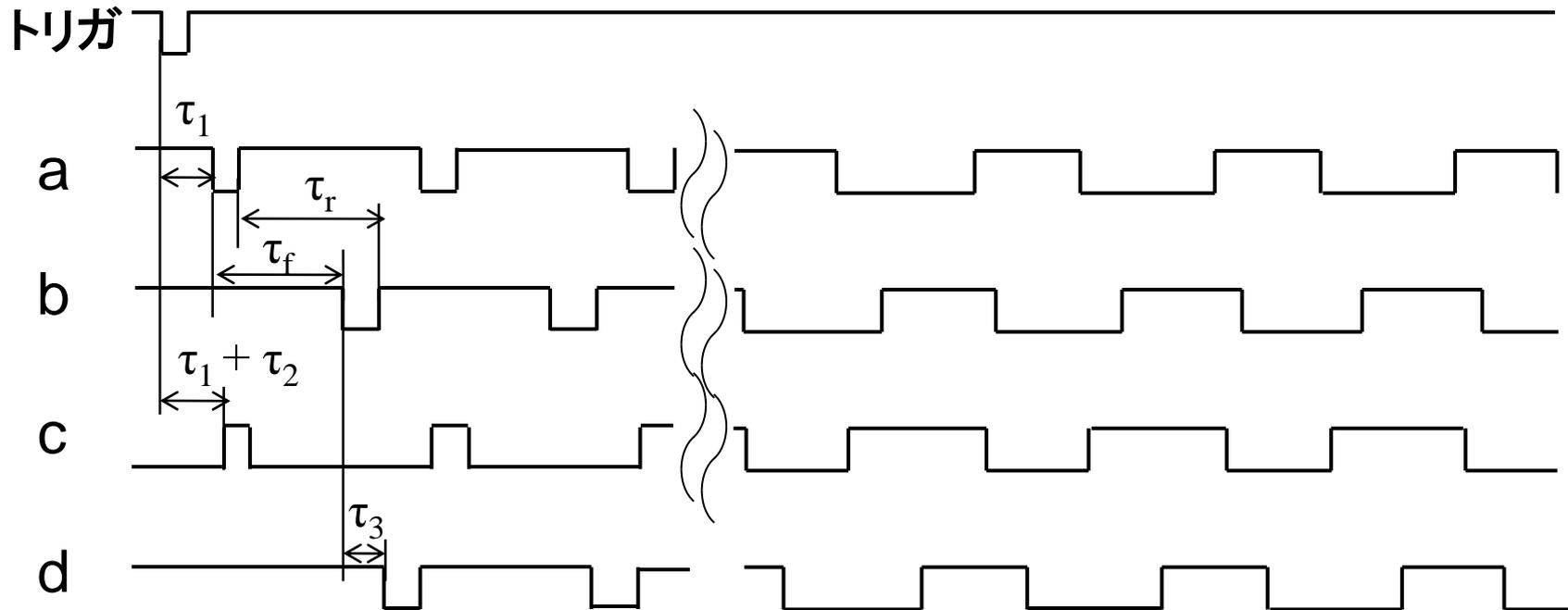


ANDとORを入れ替え、トリガを反転させる

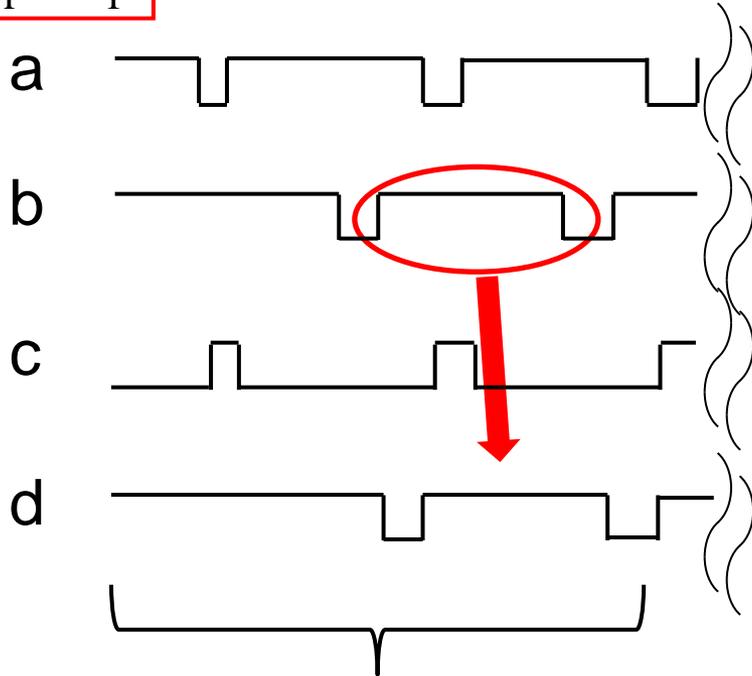
# リング発振回路 ( $\tau_f$ 測定)



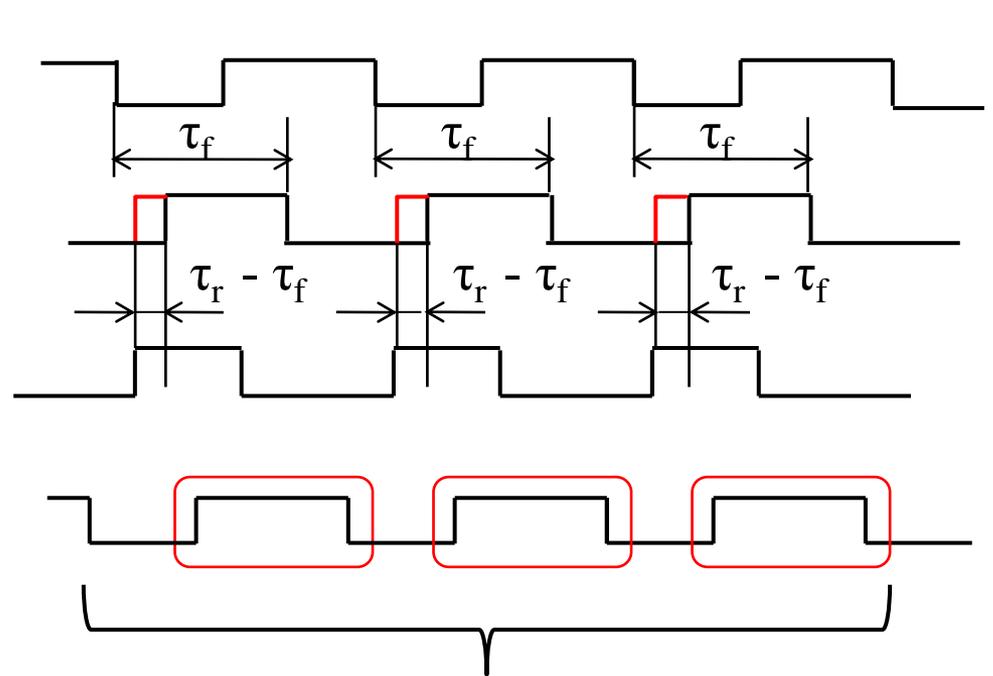
$$\tau_r > \tau_f$$



$$\tau_r > \tau_f$$

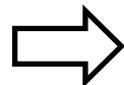


bのパルス幅がそのまま  
dに出力



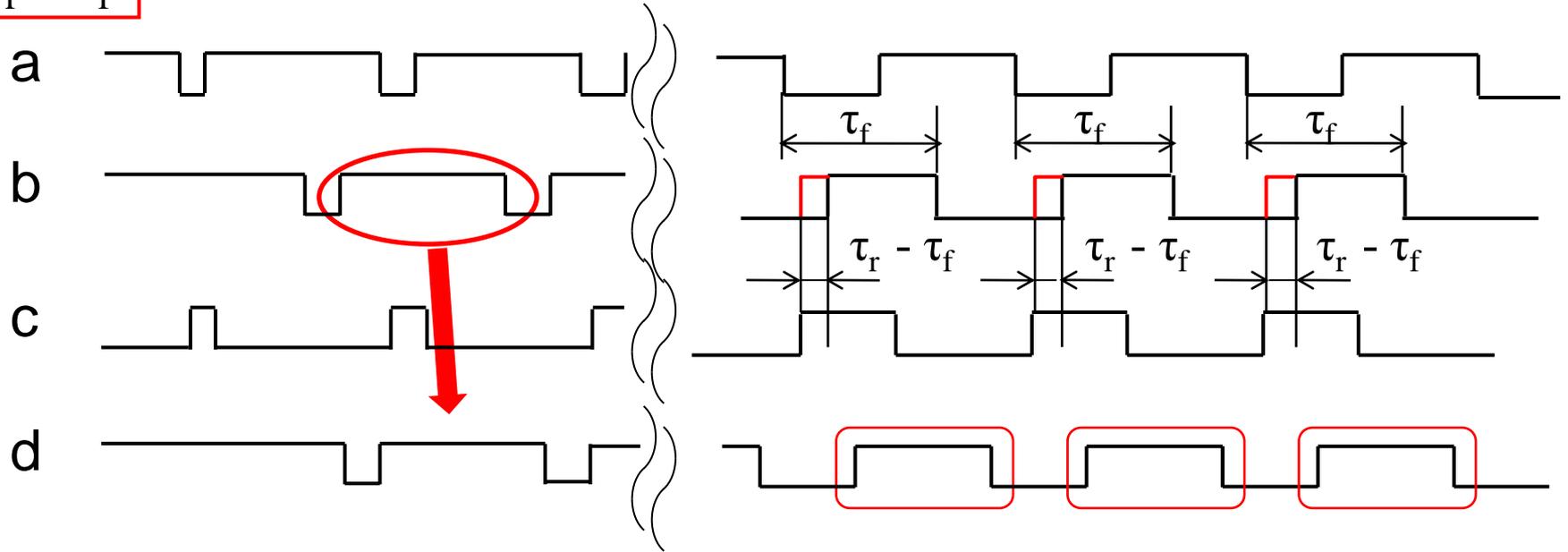
bのパルス幅がcによって増加し  
一定のパルス幅になり、dに出力  
増加幅： $\tau_r - \tau_f$

dのパルス幅減少



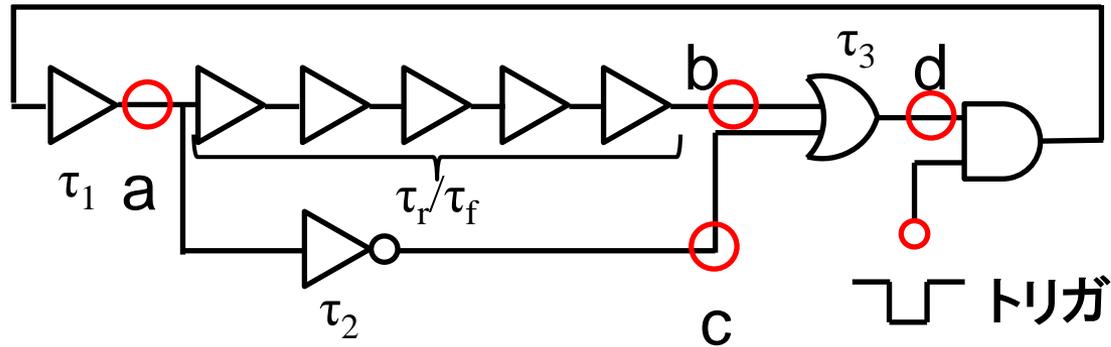
最終的にパルス幅は一定に

$$\tau_r > \tau_f$$



発振周波数

$$\frac{1}{\tau_f + \tau_1 + \tau_3}$$



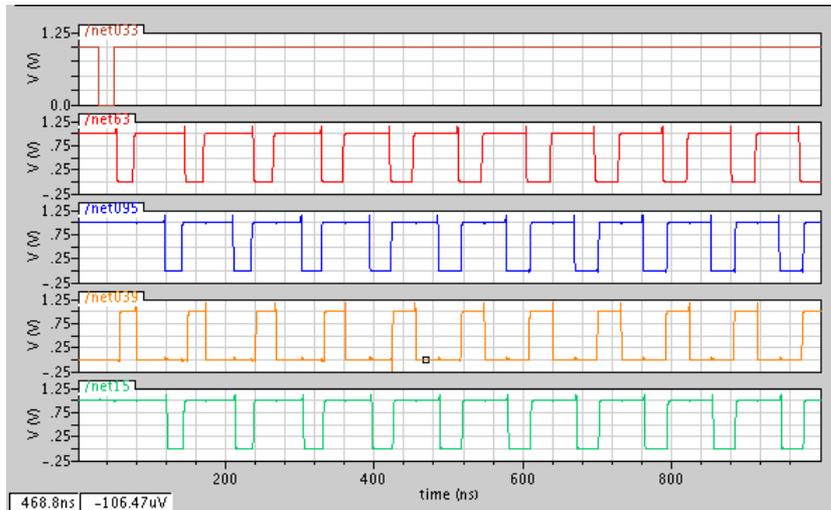
トリガ

a

b

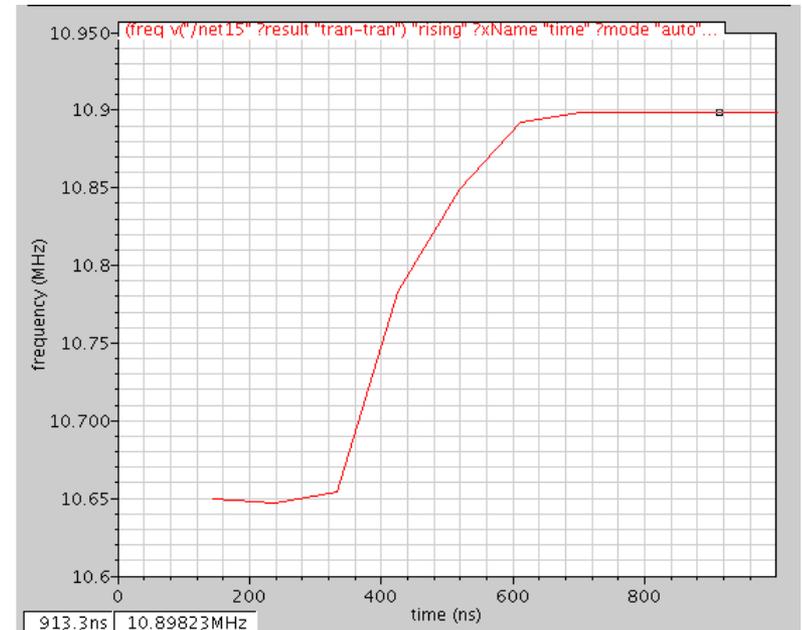
c

d



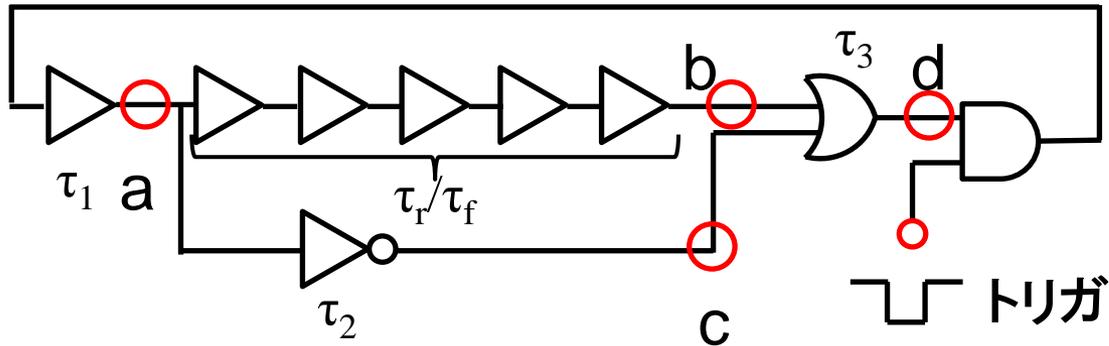
タイミングチャート

パルス幅が一定に



発振周波数

10.89 [MHz]



$\tau_1$	25.34 ns
$\tau_2$	3.43 ns
$\tau_3$	3.2 ns
$\tau_f$	64.06 ns

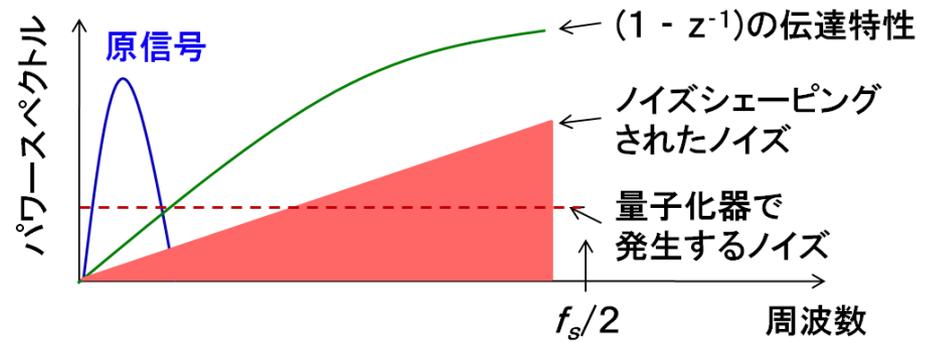
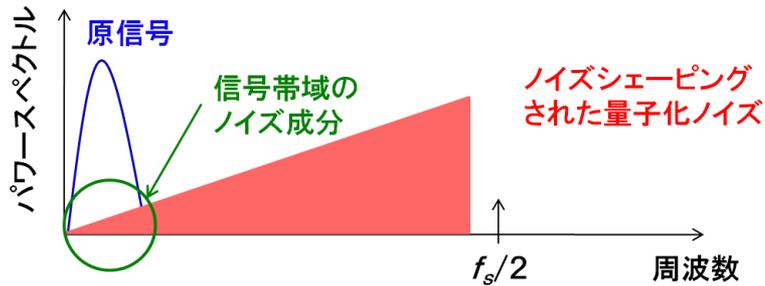
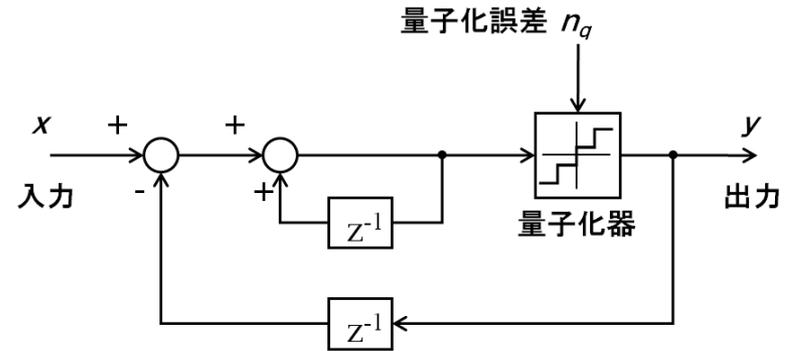
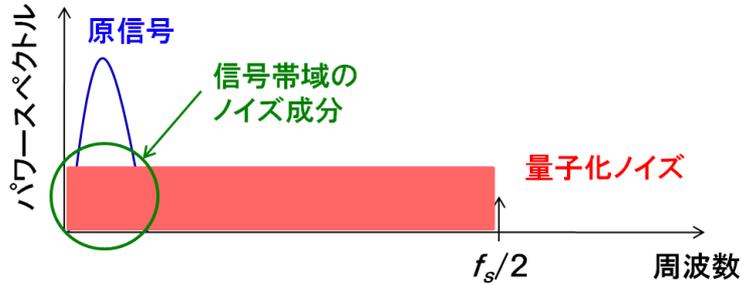
## 理論値

$$\frac{1}{\tau_f + \tau_1 + \tau_3} \doteq 10.8[\text{MHz}]$$

## シミュレーション結果

10.89 [MHz]

理論式とシミュレーション結果の一致を確認





積分して微分

$1-z^{-1}$ で1次ローパスノイズシェープ

# 質疑応答

## ●Q1

MUXでも遅延が発生するが、その点は考慮しているのか。  
理論式が変わってしまうのでは。  
MUXの遅延は無視できるレベルなのかどうか。

## ●Q2

FPGAで回路を構成すると、  
実際の論理とは異なってしまふのでは。  
FPGAの機能を用いて回路を構成しても  
いいかもしれない。

## ● Q3

- ・分解能を上げるための理論的な解析はした？  
(こうすると上げる、こうすると下がるのような)

佐久間 → まだ行っていません。

- ・ジッタの発生と計測で1つのものにしたい？

佐久間 → 最終的にできたらいいです。

## ● Q4

- ・ $T_p$ は長い方がいいの、短い方がいいの？

佐久間 →  $T_p$ が小さければ測定時間は短くなるかもしれませんが、

一概には言えないと思います。

● Q5

・FPGAで実装できそう？

FPGAには色々なツールあるから、そういうのも考えて。

● Q6

FPGAでVDLをつくるのは難しい。  
もしできるようなら教えて下さい。

## ● Q6

- これはFPGAなどのツールを使ったもの？  
それとも回路シミュレーション？

佐久間 → spectreで回路シミュレーションしたものです。

## ● Q7

- $T_p$ と $T_f$ は同じものですか？

佐久間 → いいえ、違う値を使います。