

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-271533
(P2008-271533A)

(43) 公開日 平成20年11月6日(2008.11.6)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 5/13 (2006.01)	H03K 5/13	5J001
H03K 7/08 (2006.01)	H03K 7/08	A

審査請求 未請求 請求項の数 2 O L (全 15 頁)

(21) 出願番号 特願2008-78851 (P2008-78851)
 (22) 出願日 平成20年3月25日 (2008. 3. 25)
 (31) 優先権主張番号 特願2007-82062 (P2007-82062)
 (32) 優先日 平成19年3月27日 (2007. 3. 27)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 504145364
 国立大学法人群馬大学
 群馬県前橋市荒牧町四丁目2番地
 (74) 代理人 100122884
 弁理士 角田 芳末
 (74) 代理人 100133824
 弁理士 伊藤 仁恭
 (72) 発明者 小林 春夫
 群馬県桐生市天神町1丁目5番1号 国立
 大学法人群馬大学内
 (72) 発明者 木村 圭吾
 群馬県桐生市天神町1丁目5番1号 国立
 大学法人群馬大学内

最終頁に続く

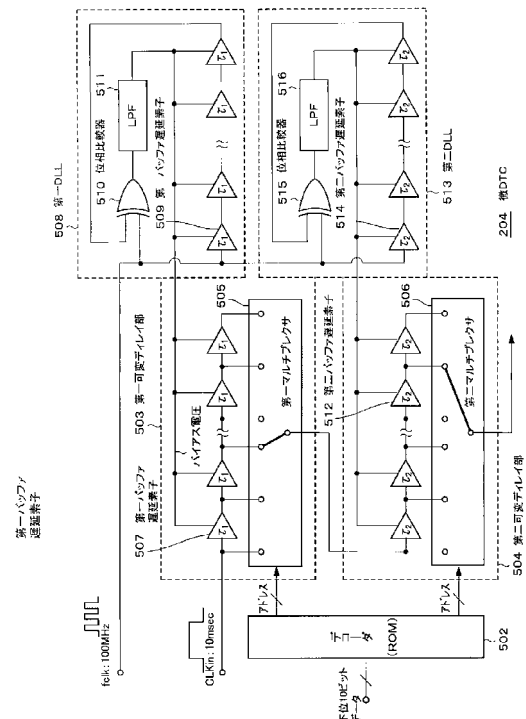
(54) 【発明の名称】 可変遅延回路

(57) 【要約】

【課題】 少ない回路規模及び消費電力を実現し、集積回路の実装に向いている、デジタルPWM回路のための可変遅延回路を提供する。

【解決手段】 第一バッファ遅延素子と、第二バッファ遅延素子とをそれぞれ複数直列接続する。それぞれのタップを取り出すマルチプレクサを接続する。第一バッファ遅延素子が生成する第一の遅延時間と、第二バッファ遅延素子が生成する第二の遅延時間との、最大公約数の遅延時間を分解能とするタップの組み合わせを、デコーダからマルチプレクサへアドレスデータを与えて、実現する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

第一のバイアス電圧で第一の遅延時間が設定され、複数直列接続される第一バッファ遅延素子と、

前記第一バッファ遅延素子の各タップを選択する第一マルチプレクサと、

前記第一マルチプレクサの出力が入力端子に接続され、前記第一のバイアス電圧とは異なる第二のバイアス電圧で前記第一バッファ遅延素子とは異なる第二の遅延時間が設定され、複数直列接続される第二バッファ遅延素子と、

前記第二バッファ遅延素子の各タップを選択する第二マルチプレクサと、

数値入力を受けて前記第一マルチプレクサ及び前記第二マルチプレクサに前記第一の遅延時間と前記第二の遅延時間の最大公約数の遅延時間を分解能とするアドレスを出力するデコーダと

よりなる可変遅延回路。

【請求項 2】

更に、

クロック入力を受けて複数直列接続される第三バッファ遅延素子と、

前記第三バッファ遅延素子の出力と前記クロック入力とが入力される第一位比較器と

、
前記第一位比較器の出力信号が供給され、前記第三バッファ遅延素子及び前記第一バッファ遅延素子のバイアス電圧を出力する第一ローパスフィルタと、

前記クロック入力を受けて複数直列接続される第四バッファ遅延素子と、

前記第四バッファ遅延素子の出力と前記クロック入力とが入力される第二位比較器と

、
前記第二位比較器の出力信号が供給され、前記第四バッファ遅延素子及び前記第二バッファ遅延素子のバイアス電圧を出力する第二ローパスフィルタと

を具備する請求項 1 記載の可変遅延回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、可変遅延回路に適用して好適な技術に関する。

より詳細には、デジタル PWM 回路の分解能を向上させる技術に関する。

【背景技術】

【0002】

周知の通り、近年、集積回路の回路規模が大規模化の傾向にある。また、近年の集積回路は低消費電力を求められる一方で、高性能をも要求されることから、アイドル動作状態から瞬時に大電流を消費する状態に変貌する傾向も見受けられる。

このような集積回路の動作特性は、電源に対する要求を厳しいものになっている。つまり、瞬時に大きく変動する負荷に対しても、瞬時に適切な電力を供給できるような、俊敏且つ的確な応答特性が求められる。

【0003】

計算機の世界では、高い電力変換効率が好まれて、PWM 制御のスイッチング電源が使われている。PWM 制御自体はアナログの回路で実現されている。しかし、前述のように、負荷の要求が厳しくなっていることに対応するため、PWM 制御をデジタルで実現しようとする動きが広がってきている。

非特許文献 1 に、その一例を示す。

【0004】

【非特許文献 1】竹上栄治，樋口幸治，中野和司，富岡聡，渡辺一史，“二次モデル実現近似的 2 自由度デジタル積分形制御器による DC-DC コンバータのロバスト制御”，電子情報通信学会論文誌 C, Vol. J88-C, No. 9, pp. 724-736 (2005 年 9 月)。

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】**【0005】**

デジタル制御電源を実現する際に、PWM信号の分解能が問題となる。負荷の変動に対して適切なスイッチング制御ができないと、本来安定して出力されるべき電圧が変動してしまい、負荷の動作が保障できなくなってしまうからである。

発明者がシミュレーションを行った結果、デジタルPWM制御を実現するための、デジタルPWM信号発生器には、最低でも12ビットの分解能を必要とし、20pssecの単位でPWM信号を形成できる必要があることが判っている。20pssecとは、周波数に換算すると50GHzに相当する。

【0006】

50GHzという超高周波は、容易に生成できるものではない。そこで、バッファ遅延回路という技術で、微小な遅延を実現する技術が知られている。しかし、この技術でも、微小な遅延を実現しようとするほど、消費電力が増大し、実用に耐えないといわれている。また、バッファ遅延回路を12ビット分の数用意すると、その回路規模は膨大になってしまう。

【0007】

本発明はかかる点に鑑みてなされたものであり、少ない回路規模及び消費電力を実現し、集積回路の実装に好適な、デジタルPWM回路のための可変遅延回路を提供することを目的とする。

【課題を解決するための手段】**【0008】**

上記課題を解決するために、本発明の可変遅延回路は、第一のバイアス電圧で第一の遅延時間が設定され、複数直列接続される第一バッファ遅延素子と、前記第一バッファ遅延素子の各タップを選択する第一マルチプレクサと、前記第一マルチプレクサの出力が入力端子に接続され、前記第一のバイアス電圧とは異なる第二のバイアス電圧で前記第一バッファ遅延素子とは異なる第二の遅延時間が設定され、複数直列接続される第二バッファ遅延素子と、前記第二バッファ遅延素子の各タップを選択する第二マルチプレクサと、数値入力を受けて前記第一マルチプレクサ及び前記第二マルチプレクサに前記第一の遅延時間と前記第二の遅延時間の最大公約数の遅延時間を分解能とするアドレスを出力するデコーダとよりなるものである。

【0009】

本発明では、先ず第一バッファ遅延素子と、第二バッファ遅延素子とをそれぞれ複数直列接続する。それら直列接続されたバッファ遅延素子に対し、それぞれのタップを取り出すマルチプレクサを接続する。

そして、第一バッファ遅延素子が生成する第一の遅延時間と、第二バッファ遅延素子が生成する第二の遅延時間との、最大公約数の遅延時間を分解能とするタップの組み合わせを、デコーダからマルチプレクサへアドレスデータを与えて、実現する。

【発明の効果】**【0010】**

本発明により、少ない回路規模及び消費電力を実現し、集積回路の実装に向いている、デジタルPWM回路のための可変遅延回路を提供できる。

【発明を実施するための最良の形態】**【0011】**

以下、本発明の実施の形態を、図1～図13を参照して説明する。

【0012】

図1は、本発明の実施形態の例である、スイッチング電源装置のブロック図である。

直流電源102のプラス側端子には、スイッチングのためのNチャンネル型FET103のドレインが接続されている。FET103のソースにはコイルL104とコンデンサC105よりなる平滑回路が接続され、その後負荷106が接続されている。

負荷106の端子間電圧はA/D変換器107によりデータ化される。A/D変換器1

10

20

30

40

50

07が出力する電圧データは、加算器108に入力される。加算器108は参照電圧データ109との差を演算し、電位差データを出力する。電位差データはデジタル信号処理器("Digital Signal Processor"以下「DSP」)110に入力される。DSP110はスイッチング制御、すなわちPWM制御のための、オン時間を指定するデータを算出する演算処理を行い、PWM制御データを出力する。

【0013】

PWM制御データはデジタルパルス幅変調("Digital Pulse Width Modulation"以下「DPWM」)回路111に入力される。DPWM回路111は、PWM制御データをPWM波に変換する。つまり、PWM制御データに比例したデューティ比のPWM信号を発生する。

10

DPWM回路111から出力されるPWM波は、ドライバ112によって電圧増幅される。この電圧信号は、FET103のゲートをオン/オフ制御する。

【0014】

発明者が実施したシミュレーションの結果では、実用的なDPWM回路は、最低でも12ビットの分解能を必要とすることがわかっている。

本実施形態では、一例として13ビットのDPWM回路を実現するための技術を開示する。

【0015】

図2はDPWM回路111のブロック図である。

DPWM回路111は、二つのデジタル時間変換器("Digital to Time Converter"以下「DTC」)を直列に接続し、その出力信号をORゲート202で合成している。

20

DSP110から出力される13ビットのPWM制御データは、上位3ビットと下位10ビットに分割される。

【0016】

上位3ビットのデータは、粗DTC203に入力される。粗DTC203は、12.5MHzのサンプリングクロック f_s と100MHzのシステムクロック f_{CLK} を得て、0~70nsまでのPWM波を生成する。

下位10ビットのデータは、微DTC204に入力される。微DTC204は、システムクロック f_{CLK} と粗DTC203が出力するPWM波を得て、0~10nsまでの遅延を、粗PWM波に与える。

30

粗DTC203が出力する粗PWM波と、微DTC204が出力する微細な遅延を伴う粗PWM波は、それぞれORゲート202に入力される。ORゲート202からは、粗DTC203と微DTC204の出力を合成した、合成PWM波が出力される。

【0017】

図3は粗DTC203のブロック図である。

3ビットのカウンタ302は f_{CLK} を計数すると共に、 f_s の立ち上がりエッジでリセットされる。つまり、このカウンタ302は0から7までの値を f_{CLK} のタイミングで出力するループカウンタである。

カウンタ302の出力と、DSP110の上位3ビットのデータは、それぞれデジタル比較器303に入力される。デジタル比較器303は、カウンタ302の出力がDSP110の上位3ビットのデータを越えた時に論理の真から偽になり、出力波形が立ち下がる。

40

カウンタ302の出力信号はDフリップフロップ(以下「D-FF」)304のD端子に入力される。D-FF304はカウンタ302の出力信号と f_{CLK} の立ち下がり同期させて、ジッタを除去するために設けられている。

【0018】

図4(a)、(b)及び(c)は f_{CLK} と f_s と粗DTC203の出力信号の関係を示すタイムチャートである。

図4(a)及び(b)を参照するとわかるように、100MHzの f_{CLK} を8分周すると、12.5MHzの f_s が得られる。

50

f_{CLK} の 1 周期は 10 nsec である。カウンタ 302 は、0 から 7 までを計数するので、図 4 (c) に示すように、 0 nsec から 10 nsec 単位で最大 70 nsec までの PWM 波を生成する。

【0019】

図 5 は微 DTC 204 のブロック図である。

DSP 110 から出力されるデータのうち、下位 10 ビットのデータは、ROM よりなるデコーダ 502 に入力される。デコーダ 502 は下位 10 ビットデータの入力を受けて、第一可変ディレイ部 503 及び第二可変ディレイ部 504 にある第一マルチプレクサ 505 及び第二マルチプレクサ 506 にアドレスデータを供給する。第一マルチプレクサ 505 及び第二マルチプレクサ 506 はアドレスデータを受けて、直列接続されている複数のバッファ遅延素子のうちの一つの出力端子を選択する。なお、デコーダ 502 は第一マルチプレクサ 505 及び第二マルチプレクサ 506 に対し、基本的には夫々異なるアドレスデータを供給する。

10

【0020】

第一可変ディレイ部 503 と第二可変ディレイ部 504 は、どちらも基本的には全く同じ構成である。複数のバッファ遅延素子が直列接続され、その入力端子と出力端子がマルチプレクサに接続されている。

第一可変ディレイ部 503 の、第一バッファ遅延素子 507 の最初の入力端子には、粗 DTC 203 から出力される PWM 波信号 $CLKin$ が入力される。第一バッファ遅延素子 507 はそれぞれ全く同じ回路構成であり、その遅延時間はバイアス電圧にて制御されている。

20

【0021】

第一可変ディレイ部 503 の第一バッファ遅延素子 507 に供給されるバイアス電圧は、第一遅延ロックループ回路 ("Delay Locked Loop" 以下「DLL」) 508 によって生成される。

第一 DLL 508 は、周知の遅延素子よりなる PLL である。第一可変ディレイ部 503 の第一バッファ遅延素子 507 と全く同じ回路構成である第一バッファ遅延素子 509 が所定の数だけ直列接続された入力端子側に、 f_{CLK} が供給される。そして、第一バッファ遅延素子 509 の出力と f_{CLK} が位相比較器 510 に入力される。位相比較器 510 の出力はローパスフィルタ (以下「LPF」) 511 を通じて第一バッファ遅延素子 507 のバイアス電圧として供給される。

30

【0022】

このように構成された DLL は、直列接続された複数のバッファ遅延素子が、 f_{CLK} を 1 周期遅らせるように動作する。したがって、バッファ遅延素子の数が増えれば増えるほど、バッファ遅延素子の遅延時間を短くすることができる。また、DLL は集積回路の製造プロセスのばらつきや動作温度等の不安定要素に対しても、入力されるクロック f_{CLK} を基準として、自律的に正確な制御電圧 V_{bias} を生成することができる。

【0023】

第二可変ディレイ部 504 の、第二バッファ遅延素子 512 の最初の入力端子には、第一可変ディレイ部 503 から出力される遅延された PWM 波信号が入力される。先に説明した第一可変ディレイ部 503 と同様に、第二バッファ遅延素子 512 の遅延時間は、第二 DLL 513 が生成するバイアス電圧によって制御される。

40

【0024】

図 6 (a)、(b)、(c)、(d) 及び (e) は、バッファ遅延素子のシンボルと、内部構成と、回路の一例を示す図である。

図 5 に示したバッファ遅延素子は、図 6 (a) に示すようなシンボルで表現されている。このバッファ遅延素子の内部は、図 6 (b) に示すように、バイアス電圧で遅延時間を制御される NOT ゲート 603 が直列接続されている。

【0025】

図 6 (c)、(d) 及び (e) は具体的な NOT ゲート 603 の回路例である。

50

図 6 (c) は、二つの F E T 6 0 4 及び 6 0 5 が C - M O S F E T (Complementary MOS FET) を構成している。この、二つの F E T 6 0 4 及び 6 0 5 の出力側 (ドレイン) に電圧 V b i a s を印加したコンデンサ C 6 0 6 を接続する。ドレインからコンデンサ C 6 0 6 に対する充放電によって、入力される矩形波のエッジに遅延が生じる。したがって、この回路では遅延時間は V b i a s で調節できる。

【 0 0 2 6 】

図 6 (d) は、C - M O S F E T を構成する二つの F E T 6 0 7 及び 6 0 8 の出力側 (ドレイン) に、電圧 V b i a s を印加した F E T 6 0 9 を通じて、接地されたコンデンサ C 6 1 0 を接続したものである。コンデンサ C 6 1 0 への充放電の電流制御が F E T 6 0 9 によって調節されることにより、遅延が生じる。つまり、F E T 6 0 9 は可変抵抗の役割を果たしている。したがって、この回路でも遅延時間は V b i a s で調節できる。

10

【 0 0 2 7 】

図 6 (e) は、C - M O S F E T を構成する二つの F E T 6 1 1 及び 6 1 2 の両端のソースに、更に F E T 6 1 3 及び 6 1 4 を接続し、それぞれの F E T のゲートを V b i a s p と V b i a s n で制御している。C - M O S F E T のソース - ドレイン間を流れる電流を追加した二つの F E T で制御することで、遅延が生じる。つまり、この回路では遅延時間は V b i a s p と V b i a s n で調節できる。

【 0 0 2 8 】

ここで、図 6 (c)、(d) 及び (e) に開示した、微小な遅延時間を実現する N O T ゲート 6 0 3 は、その回路構成に起因して、遅延時間を短くすればするほど、消費電力が増える傾向にある。

20

一例として、図 6 (d) の回路で説明する。コンデンサ C 6 1 0 の充放電の時間を短くするには、可変抵抗の役目を担う F E T 6 0 9 が形成する抵抗が小さくなる必要がある。抵抗値が小さいということは、その抵抗に流れる電流が多いことを意味する。そして電流の増加は回路の発熱として現れる。このような回路を集積回路に実装すると、集積回路全体に悪影響を及ぼす。

【 0 0 2 9 】

バッファ遅延素子の遅延時間を明確に決定するために、マルチプレクサを構成するバッファ遅延素子と、D L L を構成するバッファ遅延素子は、同じ回路構成であることが好ましい。

30

図 5 の場合では、第一マルチプレクサ 5 0 5 の第一バッファ遅延素子 5 0 7 と、第一 D L L 5 0 8 の第一バッファ遅延素子 5 0 9 が、同じ回路構成であることが好ましい。同様に、第二マルチプレクサ 5 0 6 の第二バッファ遅延素子 5 1 2 と、第二 D L L 5 1 3 の第二バッファ遅延素子 5 1 4 が、同じ回路構成であることが好ましい。

【 0 0 3 0 】

図 7 (a) 及び (b) と、図 8 (c) 及び (d) は、微 D T C 2 0 4 の動作原理を示す図である。

図 7 (a) では、第一マルチプレクサ 5 0 5 が C L K i n を直接選択し、第二マルチプレクサ 5 0 6 が三つ目の第二バッファ遅延素子 5 1 2 の出力を選択している。このときの遅延時間は、 $1 \times 0 + 2 \times 3$ である。なお、 1 は第一バッファ遅延素子 5 0 7 の遅延時間、 2 は第二バッファ遅延素子 5 1 2 の遅延時間である。

40

図 7 (b) では、第一マルチプレクサ 5 0 5 が一つ目の第一バッファ遅延素子 5 0 7 の出力を選択し、第二マルチプレクサ 5 0 6 が二つ目の第二バッファ遅延素子 5 1 2 の出力を選択している。このときの遅延時間は、 $1 \times 1 + 2 \times 2$ である。

図 8 (c) では、第一マルチプレクサ 5 0 5 が二つ目の第一バッファ遅延素子 5 0 7 の出力を選択し、第二マルチプレクサ 5 0 6 が一つ目の第二バッファ遅延素子 5 1 2 の出力を選択している。このときの遅延時間は、 $1 \times 2 + 2 \times 1$ である。

図 8 (d) では、第一マルチプレクサ 5 0 5 が三つ目の第一バッファ遅延素子 5 0 7 の出力を選択し、第二マルチプレクサ 5 0 6 が第一マルチプレクサ 5 0 5 の出力を直接選択している。このときの遅延時間は、 $1 \times 3 + 2 \times 0$ である。

50

【 0 0 3 1 】

ここで、図 7 (a) の遅延時間の式と、図 7 (b) の遅延時間の式を見比べると、図 7 (b) では T_1 が一つ増えると共に、 T_2 が一つ減っている。つまり、 $(T_1 \times 1 + T_2 \times 2) - (T_1 \times 0 + T_2 \times 3) = T_1 - 2T_2$ の差が生じている。

ここで、 $T_1 > 2T_2$ であれば、図 7 (a) と図 7 (b) との間で、 $T_1 - 2T_2$ の分だけ、遅延が生じている。同様に、図 7 (b) から図 8 (c) へ、そして図 8 (d) と、夫々の間でも、 $T_1 - 2T_2$ の分だけ、遅延が生じている。つまり、二つの異なる遅延時間が設定されているバッファ遅延素子の、遅延時間の差で、微 D T C 2 0 4 全体の遅延量を制御することができるのである。

【 0 0 3 2 】

ところで、図 7 (a) の状態では、 $T_2 \times 3$ の遅延が既に生じている。これは、微 D T C 2 0 4 全体のオフセット遅延であり、D P W M 回路 1 1 1 全体の応答遅延として現れる。但し、このオフセット遅延は回路全体から見ると微小な遅延であると共に、微 D T C 2 0 4 が生成する遅延は相対的なものなので、回路全体の動作には殆ど影響しない。

【 0 0 3 3 】

図 7 と図 8 では、極めて簡単な例として、マルチプレクサでバッファ遅延素子を順番に繋ぎ換えた場合の例を示した。

しかし、本実施形態では 1 0 ビットの分解能を実現したい。1 0 ビットとは、0 から 1 0 2 3 までの数値である。このような数を、先に示した方法で実現しようとする、バッファ遅延素子を二千個以上設けなければならない。

そこで、拡張ユークリッド互除法を応用した、バッファ遅延の選択方法を実施する。

【 0 0 3 4 】

周知のように、拡張ユークリッド互除法とは、二つの数 x と y の最大公約数を $G C D (x , y)$ として、 $a x + b y = G C D (x , y)$ となる、整数 a と b を効率よく計算する方法である。この考え方を応用する。

x に遅延時間 T_1 、 y に遅延時間 T_2 を設定する。そして、

- ・ $a_1 x + b_1 y = G C D (x , y)$ を満たす a_1 と b_1 、
- ・ $a_2 x + b_2 y = 2 G C D (x , y)$ を満たす a_2 と b_2 、
- ・ $a_3 x + b_3 y = 3 G C D (x , y)$ を満たす a_3 と b_3 、
- ・ . . .

- ・ $a_n x + b_n y = n G C D (x , y)$ を満たす a_n と b_n を、求める。

a_n と b_n の組は、複数の組み合わせが得られる。その組み合わせの中で、最も小さい数になる組み合わせを見出す。

この、 a_n と b_n の組が、第一マルチプレクサ 5 0 5 及び第二マルチプレクサ 5 0 6 に与えるアドレス、つまりバッファ遅延素子の数となる。

このように微 D T C 2 0 4 を構成することにより、二つのバッファ遅延素子の最大公約数を分解能とする、微 D T C 2 0 4 を実現することができる。

【 0 0 3 5 】

a_n と b_n の計算方法は特に問わない。夫々に整数を順番に代入して計算し、その結果を保持しておき、最終的に得られた組み合わせの中から最良の値のものを取り出す、というやり方で十分である。

演算結果は R O M よりなるデコーダ 5 0 2 回路に書き込まれて用いられる。

【 0 0 3 6 】

図 9 は、二つのバッファ遅延素子の遅延時間の最大公約数を分解能とする微 D T C 2 0 4 の一例を示すブロック図である。なお、D L L や O R ゲート 2 0 2 は省略している。

第一バッファ遅延素子 5 0 7 の遅延時間 T_1 は 1 6 0 p s e c であり、バッファ遅延素子の数は 3 8 個である。

第二バッファ遅延素子 5 1 2 の遅延時間 T_2 は 2 9 0 p s e c であり、バッファ遅延素子の数は 4 4 個である。

第一バッファ遅延素子 5 0 7 の 1 4 個目の出力と、第二バッファ遅延素子 5 1 2 の 7 個

10

20

30

40

50

目の出力を、基準位置とする。基準位置はバッファ遅延素子の数を「0」と設定する。

【0037】

以下、第一マルチプレクサ505及び第二マルチプレクサ506の動作を説明する。

・遅延量0の時は、第一マルチプレクサ505は基準位置である「0」を、第二マルチプレクサ506は基準位置である「0」を、夫々選択する。

・遅延量1の時は、第一マルチプレクサ505は「-9」個を、第二マルチプレクサ506は「5」個を、夫々選択する。このときの遅延時間は

$$-9 \times 1 + 5 \times 2 = -9 \times 160 + 5 \times 290 = 10 \text{ (p s e c)}$$

である。

・遅延量2の時は、第一マルチプレクサ505は「11」個を、第二マルチプレクサ506は「-6」個を、夫々選択する。このときの遅延時間は

$$11 \times 1 - 6 \times 2 = 11 \times 160 - 6 \times 290 = 20 \text{ (p s e c)}$$

【0038】

以下同様に、以下のようなバッファ遅延の段数を、マルチプレクサに与える。

遅延量0のとき、第一マルチプレクサ505 = 0、第二マルチプレクサ506 = 0、遅延時間 = 0 p s e c、

遅延量1のとき、第一マルチプレクサ505 = -9、第二マルチプレクサ506 = 5、遅延時間 = 10 p s e c、

遅延量2のとき、第一マルチプレクサ505 = 11、第二マルチプレクサ506 = -6、遅延時間 = 20 p s e c、

遅延量3のとき、第一マルチプレクサ505 = 2、第二マルチプレクサ506 = -1、遅延時間 = 30 p s e c、

遅延量4のとき、第一マルチプレクサ505 = -7、第二マルチプレクサ506 = 4、遅延時間 = 40 p s e c、

...

遅延量1023のとき、第一マルチプレクサ505 = 15、第二マルチプレクサ506 = 27、遅延時間 = 10230 p s e c

【0039】

以上のように、微DTC204は10 p s e c単位の分解能で、遅延時間を設定することができる。10 p s e cとは、周波数100 G H zに相当する。すなわち、本実施形態の微DTCは、100 M H zのシステムクロックで周波数100 G H zに相当する分解能を得ることができるのである。

【0040】

上記の遅延量とバッファ遅延の段数の関係を、ROMよりなるデコーダ502に書き込む。すると、DSP110から与えられる下位10ビットの値に従って、第一マルチプレクサ505及び第二マルチプレクサ506に夫々バッファ遅延素子を選択するアドレスデータが出力される。

【0041】

図6にて説明したように、バッファ遅延素子単体で微小な遅延時間を実現しようとする、回路全体の消費電力の増大を招く。しかし、上述した、二つのバッファ遅延素子の遅延時間同士の最大公約数を分解能とする、本実施形態の方式を採用すれば、消費電力の少ない、長い遅延時間のバッファ遅延素子同士の最大公約数の遅延時間が、分解能として得ることができる。つまり、消費電力が少ないながら、微小な遅延時間の生成を可能とする、高分解能のDTCを実現することができる。そして、本実施形態のDTCの回路構成は極めて単純であると共に、バッファ遅延素子の数も従来技術と比較して極めて少ない数で済む。

【0042】

前述の図5及び図9では、マルチプレクサとバッファ遅延素子の組み合わせよりなる可変ディレイ部が、第一可変ディレイ部503と第二可変ディレイ部504の、二段構成となっていた。これを、三段構成にすることもできる。

10

20

30

40

50

図10は微DTC204のブロック図である。図9との違いは、可変ディレイ部が三段構成になっている点である。

第一可変ディレイ部1002は遅延時間160pssecの第一バッファ遅延素子1003が13個直列接続されている。基準位置は5個目である。

第二可変ディレイ部1004は遅延時間730pssecの第二バッファ遅延素子1005が16個直列接続されている。基準位置は1個目である。

第三可変ディレイ部1006は遅延時間290pssecの第三バッファ遅延素子1007が11個直列接続されている。基準位置は4個目である。

デコーダ1008は、第一マルチプレクサ1009、第二マルチプレクサ1010及び第三マルチプレクサ1011にそれぞれアドレスデータを供給する。

10

【0043】

図10の微DTC204のバッファ遅延段数も、図9に示した内容と実質的には同じである。

以下のようなバッファ遅延の段数を、各々のマルチプレクサに与える。

遅延量0のとき、第一マルチプレクサ1009 = 0、第二マルチプレクサ1010 = 0、第三マルチプレクサ1011 = 0、遅延時間 = 0pssec、

遅延量1のとき、第一マルチプレクサ1009 = 1、第二マルチプレクサ1010 = -1、第三マルチプレクサ1011 = 2、遅延時間 = 10pssec、

遅延量2のとき、第一マルチプレクサ1009 = 1、第二マルチプレクサ1010 = 1、第三マルチプレクサ1011 = -3、遅延時間 = 20pssec、

20

遅延量3のとき、第一マルチプレクサ1009 = 2、第二マルチプレクサ1010 = 0、第三マルチプレクサ1011 = -1、遅延時間 = 30pssec、

遅延量4のとき、第一マルチプレクサ1009 = 3、第二マルチプレクサ1010 = -1、第三マルチプレクサ1011 = 1、遅延時間 = 40pssec、

...

遅延量1023のとき、第一マルチプレクサ1009 = 1、第二マルチプレクサ1010 = 13、第三マルチプレクサ1011 = 2、遅延時間 = 10230pssec

【0044】

図11は、二段構成の微DTC204の設計を示すグラフである。

グラフの横軸は、第二バッファ遅延素子512の遅延時間を、第一バッファ遅延素子507の遅延時間と第二バッファ遅延素子512の遅延時間との最大公約数で割った値である。先の図9の場合では290pssec ÷ 10pssec = 29である。これは言い換えれば「基数」である。

30

グラフの縦軸は、バッファ遅延素子の総数である。

このグラフでは、 $2 / 1 = 1.8$ として設計した場合の、シミュレーションを示している。

演算の結果、二段構成の場合では、 $1 / = 16$ 、 $2 / = 29$ の場合が、最もバッファ遅延素子の総数を少なくすることができることがわかった。

【0045】

$ax + by = \text{GCD}(x, y)$ という式は、不定方程式である。したがって、 x も y も任意の値を採り得る。ただ、 x と y 、つまり遅延時間の基となる基数は、何でも良いという訳ではない。その値の採り方次第で、バッファ遅延素子の数が大幅に上下してしまう。

40

本実施形態の微DTC204を集積回路として実装する際、できるだけ回路規模を小さくすることが求められる。そのとき、図11のようなシミュレーションを行うことで、微DTC204の最適な設計ができる。

【0046】

図12は、微DTC204の段数の設計を示すグラフである。

グラフの横軸は、入力されるビット数を示す。

グラフの縦軸は、バッファ遅延素子の総数を示す。

二段構成の場合よりも、三段構成の場合の方が、格段にバッファ遅延素子の総数を少な

50

くできることが判る。

三段構成と四段構成とを比較すると、殆ど差がないことも判る。そして、この場合、三段構成と四段構成とでは、DLLの数が四段構成の方が多くなるので、却ってバッファ遅延素子の数が増えてしまう。

【0047】

本実施形態には、以下のような応用例が考えられる。

(1) バッファ遅延素子毎にマルチプレクサを設けることができる。

図13は、微DTCのブロック図である。但し、DLLの表記は省略している。

マルチプレクサ1304a、1304b及び1304cは、入力される信号に対して第一バッファ遅延素子1302を通すか否かを切り換える。

10

同様に、マルチプレクサ1304d、1304e及び1304fは、入力される信号に対して第二バッファ遅延素子1303を通すか否かを切り換える。

この場合、デコーダ1305がバッファ遅延素子のオン/オフの選択を任意に設定することができるので、集積回路のプロセス処理のばらつきに起因する、バッファ遅延素子の遅延時間のばらつきを最小限に抑止することが期待できる。

【0048】

本実施形態においては、スイッチング電源装置に用いられる微DTCの技術内容を開示した。

システムクロックよりも高分解能のDTCを、低消費電力、且つ最小の回路規模で、実現することができる。

20

本実施形態の微DTCの回路構成は単純であるので、集積化に向いている。

【0049】

以上、本発明の実施形態例について説明したが、本発明は上記実施形態例に限定されるものではなく、特許請求の範囲に記載した本発明の要旨を逸脱しない限りにおいて、他の変形例、応用例を含むことは言うまでもない。

【図面の簡単な説明】

【0050】

【図1】本発明の実施形態の例である、スイッチング電源装置のブロック図である。

【図2】DPWM回路のブロック図である。

【図3】粗DTCのブロック図である。

30

【図4】 f_{CLK} と f_s と粗DTCの出力信号の関係を示すタイムチャートである。

【図5】微DTCのブロック図である。

【図6】バッファ遅延素子のシンボルと、内部構成と、回路の一例を示す図である。

【図7】微DTCの動作原理を示す図である。

【図8】微DTCの動作原理を示す図である。

【図9】二つのバッファ遅延素子の遅延時間の最大公約数を分解能とする微DTCの一例を示すブロック図である。

【図10】微DTCのブロック図である。

【図11】二段構成の微DTCの設計を示すグラフである。

【図12】微DTCの段数の設計を示すグラフである。

40

【図13】微DTCのブロック図である。

【符号の説明】

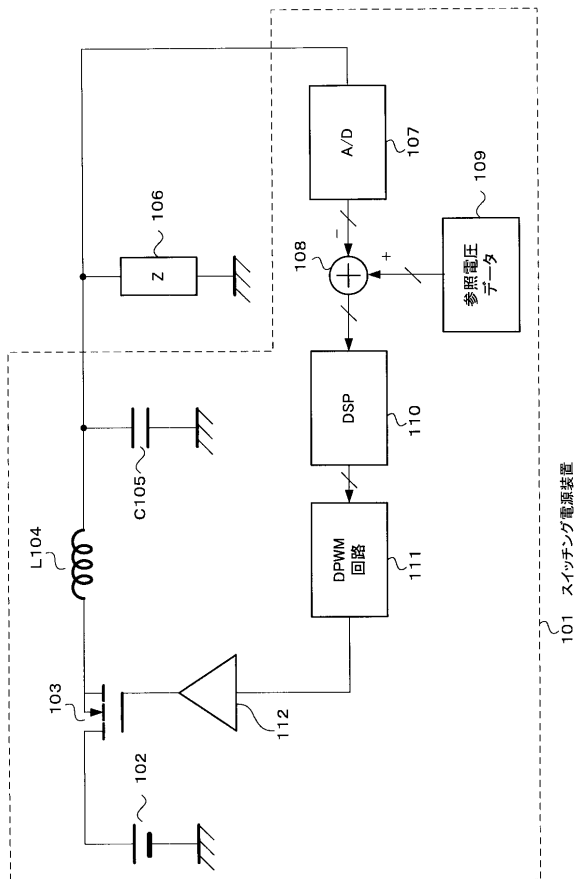
【0051】

102...直流電源、103...FET、L104...コイル、C105...コンデンサ、106...負荷、107...A/D変換器、108...加算器、109...参照電圧データ、111...DSP、112...DPWM回路、113...ドライバ、202...ORゲート、203...粗DTC、204...微DTC、302...カウンタ、303...デジタル比較器、304...D-FF、502...デコーダ、503...第一可変ディレイ部、504...第二可変ディレイ部、505...第一マルチプレクサ、506...第二マルチプレクサ、507、509...第一バッファ遅延素子、508...第一DLL、510、515...位相比較器、511、516...LP

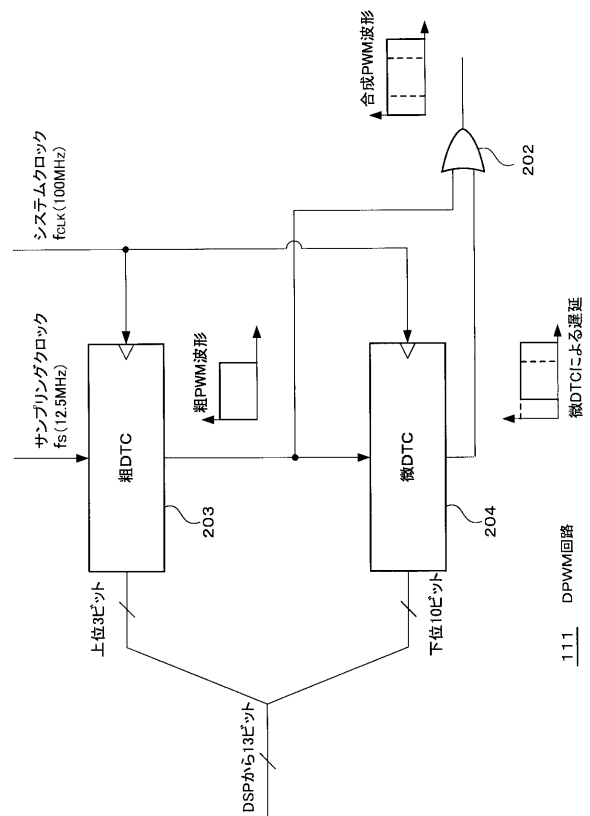
50

F、512、514... 第二バッファ遅延素子、513... 第二DLL、603... NOTゲート、604、605、607、608、609、611、612、613、614... FET、C606、C610... コンデンサ、1002... 第一可変ディレイ部、1003... 第一バッファ遅延素子、1004... 第二可変ディレイ部、1005... 第二バッファ遅延素子、1006... 第三可変ディレイ部、1007... 第三バッファ遅延素子、1008... デコーダ、1009... 第一マルチプレクサ、1010... 第二マルチプレクサ、1011... 第三マルチプレクサ

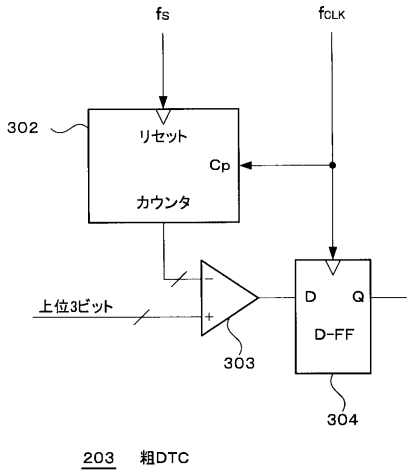
【 図 1 】



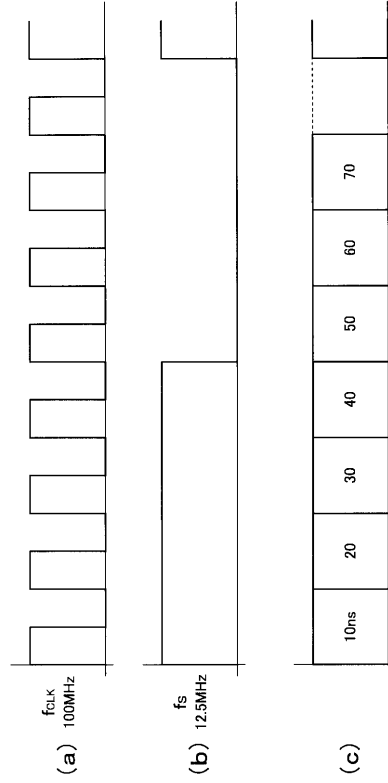
【 図 2 】



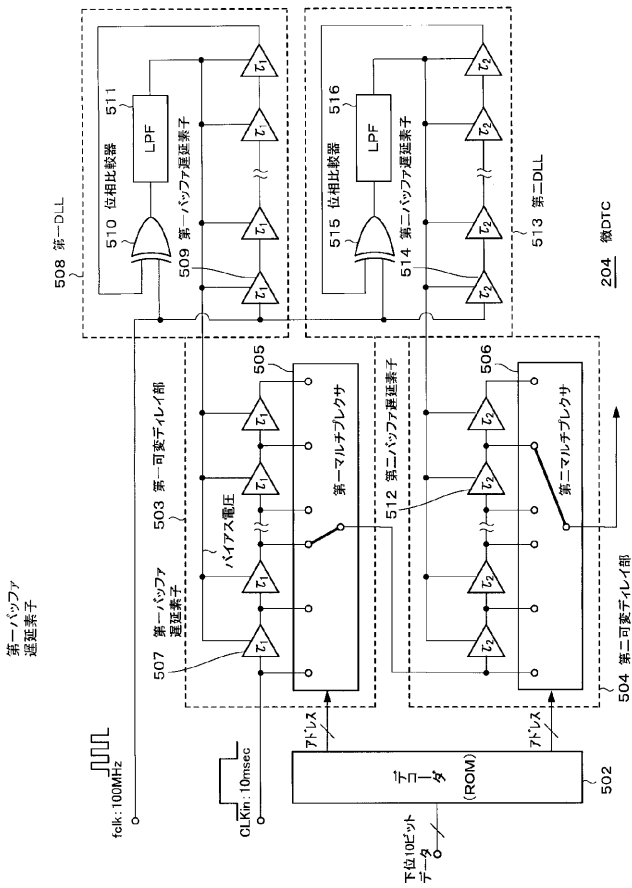
【 図 3 】



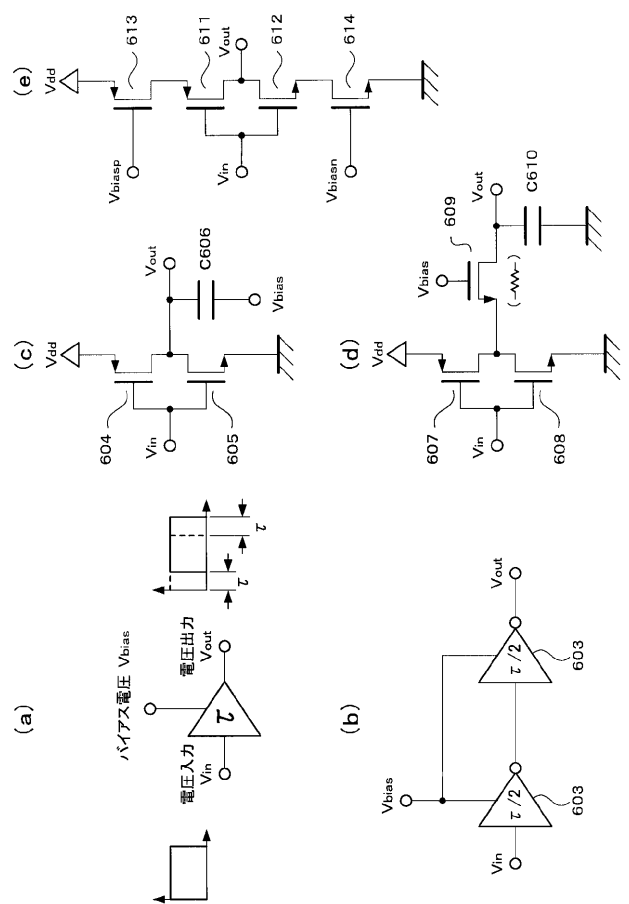
【 図 4 】



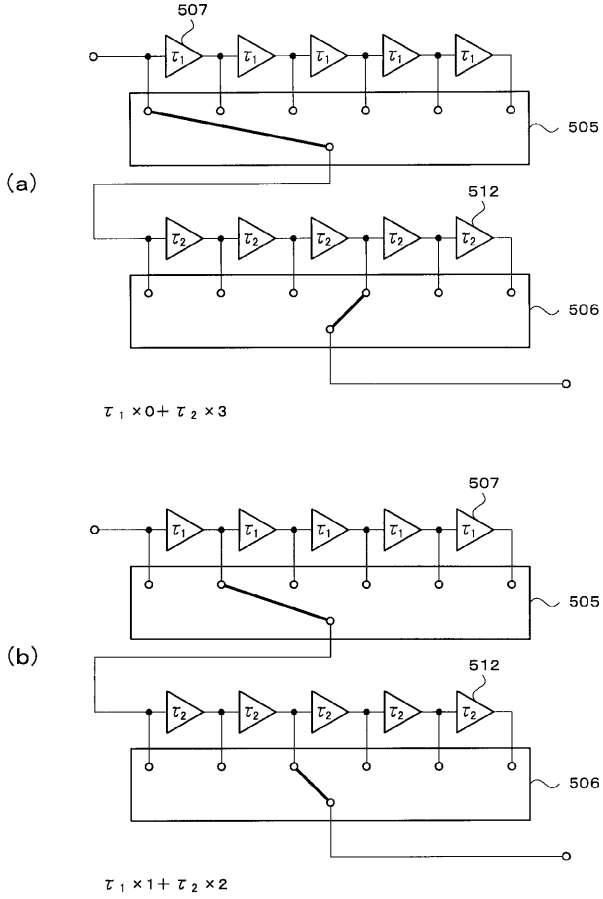
【 図 5 】



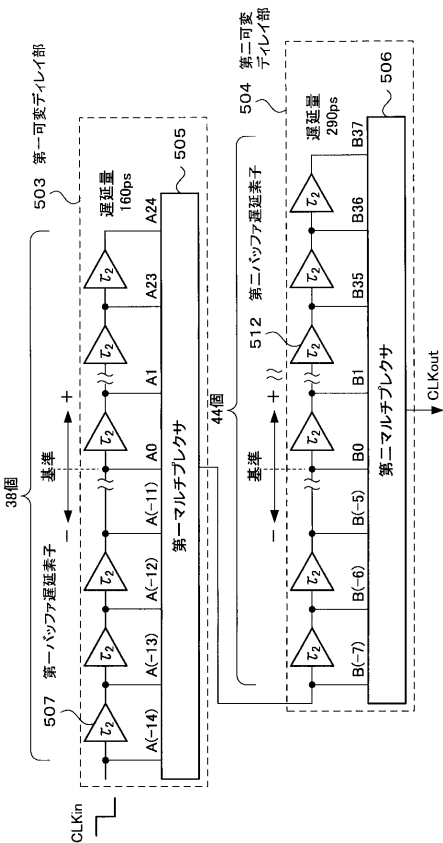
【 図 6 】



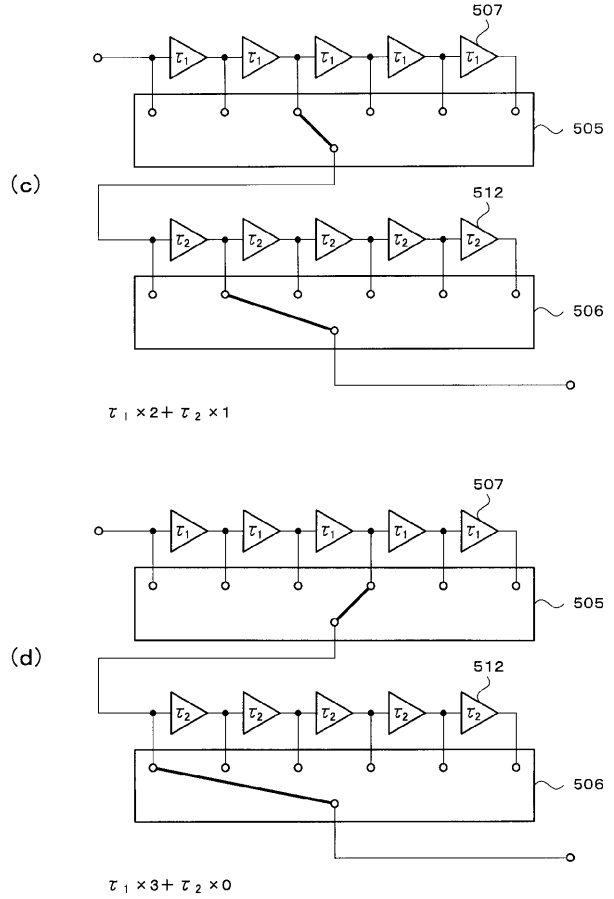
【図7】



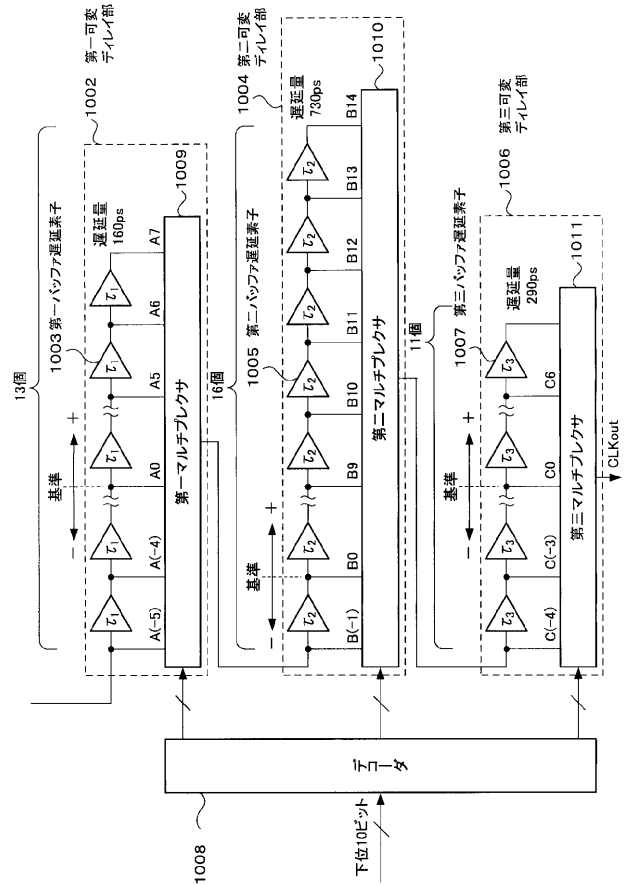
【図6】



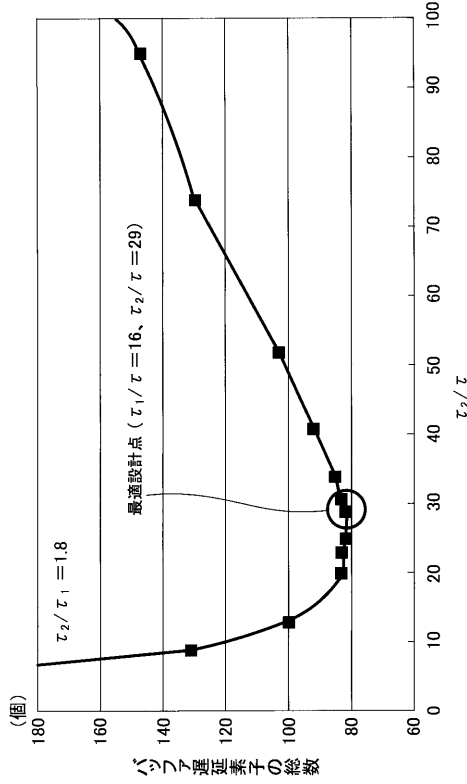
【図8】



【図10】

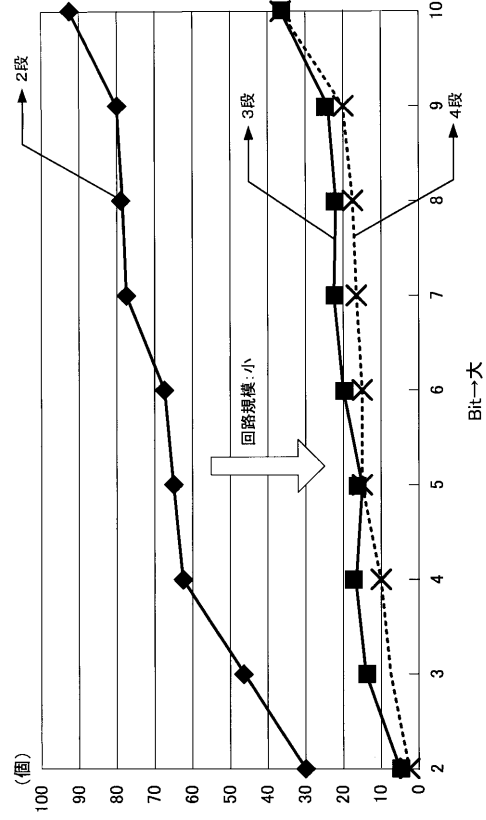


【図 1 1】

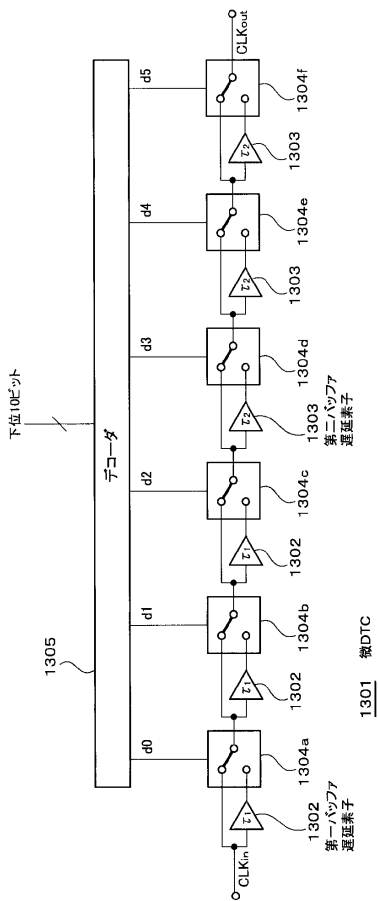


PWM分解能=10ビット、 $\tau_1/\tau = 3\sim 67$ 、 $\tau_2/\tau = 5\sim 121$ の時のバッファ数

【図 1 2】



【図 1 3】



フロントページの続き

(72)発明者 森 偉文樹
群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内

(72)発明者 山田 佳央
群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内

(72)発明者 光野 正志
群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内

(72)発明者 小堀 康功
群馬県桐生市天神町1丁目5番1号 国立大学法人群馬大学内

Fターム(参考) 5J001 AA05 BB00 BB05 BB09 BB12 BB13 BB14 BB21 CC03 DD06
DD08