

# 多段接続時間差増幅回路における段数の最適化設計理論に関する研究

## A Study on Design Methodology for Optimizing the Number of Stages in a Cascaded Time Difference Amplifier

針谷尚裕† 櫻井正人† 新津葵一†  
山口隆弘† 小林春夫†  
†群馬大学

Naohiro HARIGAI† Masato SAKURAI† Kiichi NIITSU†  
Takahiro YAMAGUCHI† Haruo KOBAYASHI†  
† Gunma University

### 1 序論

集積回路における半導体製造プロセスの微細化に伴い、動作電圧が年々低下している。動作電圧の低下は消費電力の低減などのメリットをもたらすが、電圧方向における分解能の低下というデメリットをもたらす。この問題の解決策として、動作周波数の上昇により向上した“時間方向の分解能”を利用する試みが多数報告されている[1-4]。時間方向の分解能を利用する回路においては、時間-デジタル変換回路(Time-to-Digital Converter : TDC)や時間差増幅回路(Time Difference Amplifier : TDA)のような、時間分解能型回路が必須となる。時間方向の演算機能を持つこれらの回路は、今後さらに重要となることが予想される。

本研究では、時間分解能に優れた微細 CMOS プロセスにおけるキーコンポーネントである TDA の設計理論に関する報告を行う。TDA においては、仕様のゲインと動作周波数を得るために、多段接続構成にすることが有効であると報告されている[4]。しかし、多段接続構成にすることは占有面積や消費電力の増大を招く。このことから、設計仕様から多段接続 TDA の段数を決定する必要があるが、その方法論に関する報告はなされていない。本研究においては、TDA の段数と動作周波数、占有面積の関係を明らかにし、その最適化設計理論を確立することを目的とする。

### 2 時間差増幅回路

TDA の概要を図 1 に示す。TDA とは、2つの入力信号立ち上がりエッジ時間差を増幅し、2つの出力信号立ち上がりエッジ時間差として出力させる回路である。

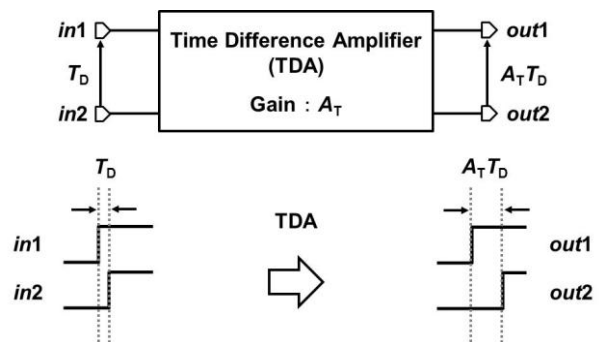


図 1. 時間差増幅回路の動作概要

TDA はこれまでに後述の回路構成が提案されている。NAND-SR ラッチのメタスタビリティを利用するもの(Open Loop TDA)[1, 2]と、可変遅延セルをクロスカップル接続する構成のもの(Closed Loop TDA)[3]、以上 2つの回路構成に分類される。Open Loop TDA は標準ロジックのみで構成できるため小面積で設計可能であるが、PVT (Process, Voltage, Temperature)ばらつきに弱いという特徴がある。一方 Closed Loop TDA は、フィードバック制御を用いて PVT ばらつきに強い構成にしているが、その制御回路にチャージポンプ回路を利用しているため面積が大きくなってしまいう問題がある。本研究では、小面積で構成可能な Open Loop TDA について解析を行う。

Open Loop TDA の回路構成を図 2 に示す。この回路は遅延時間  $T_{off}$  を作る素子と NAND-SR ラッチ回路、XOR ゲートから構成される。この回路構成による時間差増幅は、入力信号の立ち上がりエッジがほぼ同じ場合、NAND-SR ラッチ回路出力が準安定状態になり、そこからの回復時間が入力信号立ち上がりエッジ時間差に比例するという特性を利用する。

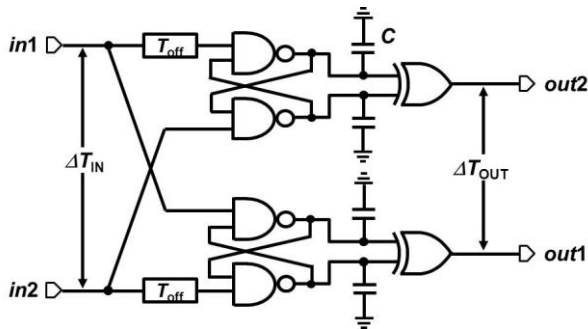


図 2. Open Loop TDA

図 3 は NAND-SR ラッチ回路と XOR ゲートを組み合わせた回路である。この回路は、Open Loop TDA の主要部分の 1 つである。入力  $S$  と  $R$  にほぼ同じ時間で立ち上がりエッジが入力された場合、NAND-SR ラッチ回路の出力  $S_o$ 、 $R_o$  はそれぞれ準安定状態になる。その後は図 4 に示すように、2 つの入力信号が "High" 状態になった後、NAND-SR ラッチ回路の出力に生じる初期電圧  $A(0)$  は、入力立ち上がりエッジ時間差  $\Delta T_{sr}$  に比例し、ラッチのポジティブフィードバックにより出力  $Y$  は最終的に 2 進レベル ("0", "1") に達する。出力  $Y$  は  $S_o$  と  $R_o$  が一致しないので "1" となる。

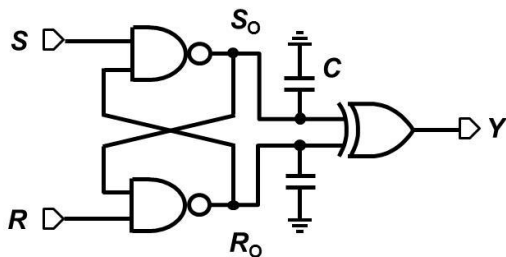


図 3. Open Loop TDA の主要回路

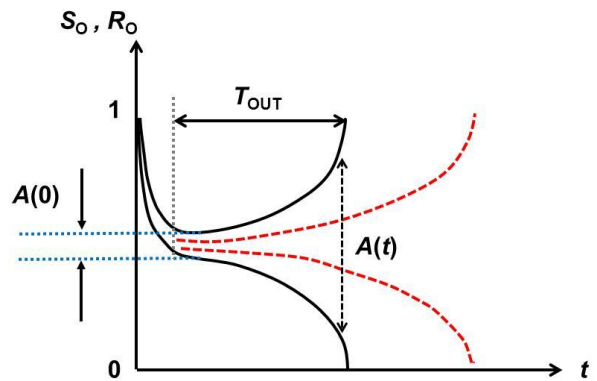


図 4. NAND-SR ラッチ回路の出力特性

NAND-SR ラッチ回路の出力電圧差  $A(t)$  は、

$$A(t) = A(0) \cdot e^{-t/\tau} \quad (1)$$

$$A(0) = \alpha \cdot \Delta T_{SR}$$

$$\tau = \frac{C}{g_m}$$

となる。ここで、 $\alpha$  は比例定数、 $\tau$  は回復時定数、 $C$  は NAND ゲートの出力キャパシタンス、 $g_m$  は準安定状態時の NAND ゲートのトランスコンダクタンスである。図 4 より、準安定状態になった後は、各々の出力電圧差は次第に大きくなり、その電圧差  $A(t)$  が XOR ゲートのしきい値電圧  $V_{TH}$  に達した時、XOR ゲートの出力は "1" に変化し、NAND-SR ラッチ回路の準安定状態は回復する。その回復時間  $T_{OUT}$  は、

$$T_{OUT} = \tau \cdot (\log V_{TH} - \log |\alpha \cdot \Delta T_{SR}|) \quad (2)$$

で表され、入力時間差と回復時間との間には、図 5 に示すような対称の対数関数の関係がある。

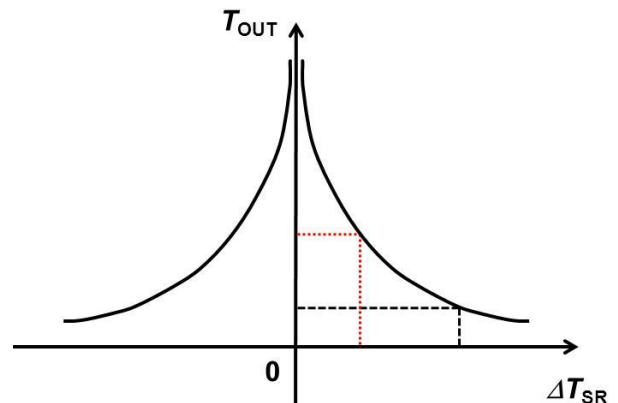


図 5. NAND-SR ラッチ回路の入出力特性

図2のOpen Loop TDAの回路は、図3の入力Sに $T_{off}$ を加えたものと、入力Rに $T_{off}$ を加えたものを使用する。図5で示したOpen Loop TDAの主要回路の入出力特性は、NAND-SRラッチ回路の入力の一方に $T_{off}$ を加えると、特性全体は図6のように右または左にシフトされる。つまり、Open Loop TDAの2つの入力信号時間差 $\Delta T_{IN}$ と回復時間 $T_{OUT}$ の関係は、それぞれ逆方向にシフトしたものが得られる。

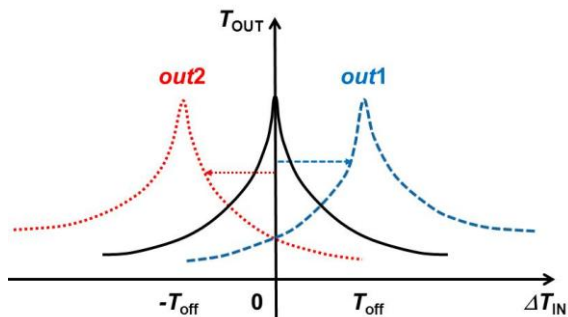


図6. 遅延時間による入出力特性の変化

Open Loop TDAの最終的な入出力特性を図7に示す。これは、図6の2つの特性曲線を減算して得られるものである。図7の入出力特性は、全体的には非単調であるが、入力時間差が0付近では線形とみなすことができるので、小信号ゲイン $A_T$ を得ることが可能であり、時間差増幅に用いることができる。TDAの入出力特性が単調増加する期間を入力時間差レンジ( $-T_{off} \sim +T_{off}$ :  $\pm T_{off}$ )と定義する。

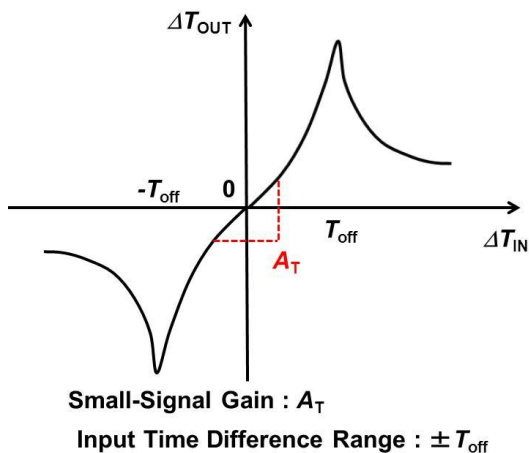


図7. Open Loop TDAの入出力特性

Open Loop TDAの小信号ゲイン $A_T$ は、

$$A_T = \frac{2C}{g_m \cdot T_{off}} \quad (3)$$

となる。上式より、Open Loop TDAの入出力特性は $T_{off}$ と $C$ により変化させることが可能であることが分かる。図8は $T_{off}$ と $C$ によるTDA特性の変化を示したものである。遅延時間を増やすと、特性のピーク間距離を広げるので、特性の入力時間差レンジを大きくできるが、利得が低下してしまう。また、キャパシタを増やすと、特性のピークの高さを高くすることができるので、利得を増加できる。

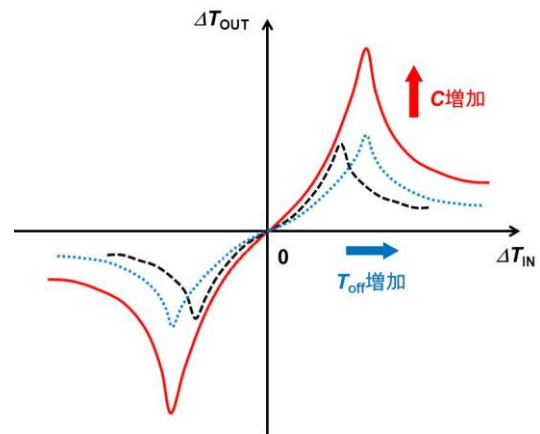


図8. 遅延時間による入出力特性の変化

図9はOpen Loop TDAの最終的な回路構成である。入力側の遅延時間 $T_{off}$ はインバータチェーンによって実現している。また出力側のXORゲートは、NAND-SRラッチ回路が準安定状態に陥った時に、出力が不安定にならないように構成している。

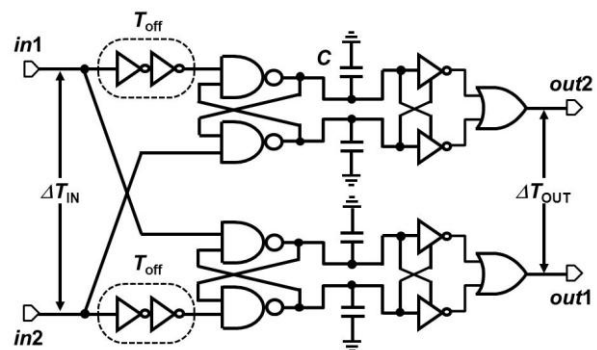


図9. 最終的なOpen Loop TDA回路構成

### 3 設計理論

Open Loop TDA を多段接続構成にすることにより、高ゲイン、高周波数動作を実現することができるが、占有面積や消費電力が大きくなる。したがって、段数と動作周波数、占有面積の関係を明らかにする必要がある。本章ではその設計理論について述べる。

#### 3.1 ゲイン、動作周波数と段数の関係

Open Loop TDA のゲインは式(3)より、ゲイン  $A_T$  が  $A_T'$  に増加した場合、図 10 のように出力波形のパルス幅が狭くなってしまうため、回路を高速動作させることができない。その解決策として、多段接続 TDA の回路構成を考える。

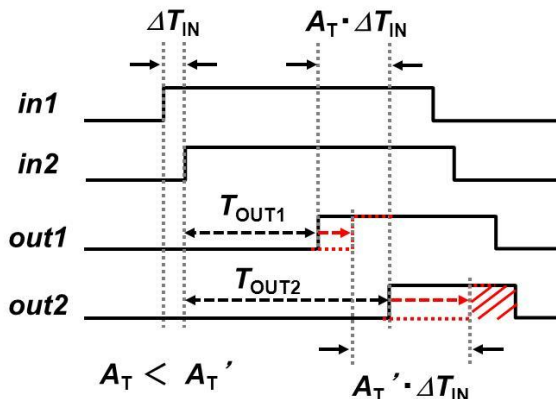


図 10. Open Loop TDA のタイミングチャート

多段接続 TDA の構成を図 11 に示す。図 11 の  $n$  段 Open Loop TDA のゲイン  $A_{Tn}$  は、

$$\begin{aligned} A_{Tn} &= A_T^n \\ &= \left( \frac{2C}{g_m \cdot T_{off}} \right)^n \end{aligned} \quad (4)$$

となる。上式より、多段接続構成をとることで利得を容易に増加できることが分かる。また、Open Loop TDA1 段あたりの  $C$  を小さくできることから、回路の動作周波数を高くすることが可能である。ここで、Open Loop TDA の動作周波数は、図 7 において入力信号時間差  $\Delta T_{IN}$  が入力時間差レンジ ( $-T_{off} \sim +T_{off}$ ) の範囲内である場合、出力パルスが得られる周波数限界値と定義する。

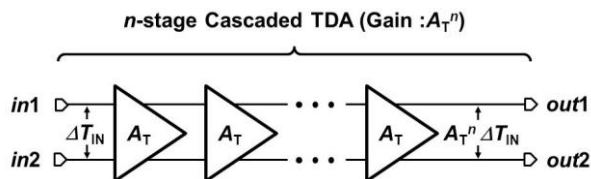


図 11.  $n$  段 Open Loop TDA 回路構成

以上のことから、Open Loop TDA1 段あたりのキャパシタ量を抑え、多段接続構成をとる方が、高ゲイン、高周波数動作を容易に実現できると考えられる。

#### 3.2 段数と面積の関係

第 3.1 節より、多段接続構成は高ゲイン、高周波数動作を達成できることがいえる。しかし、多段接続構成は占有面積や消費電力が大きくなる問題がある。Open Loop TDA の構成は図 9 に示したとおりであるが、ゲインを増加するために  $C$  を増加させていくと、回路中でのキャパシタが占める割合は大きくなる。したがって、1 段で高ゲインの TDA を設計した場合と、多段接続 TDA で 1 段あたりのキャパシタ量を抑える設計を比べた場合、回路規模はほぼ同等になる、あるいは多段接続構成の方が回路規模を抑えることが可能であると考えられる。

#### 3.3 各段の Open Loop TDA の設計方法

TDA の設計仕様として重要となるのは、ゲインと動作周波数の他にゲインの線形範囲が挙げられる。Open Loop TDA の入出力特性(図 7)は、特性の中心付近では線形近似が可能であるが、特性のピーク付近では非線形になる。よって、ゲインの線形範囲を決定した場合、それを満たすように入力時間差レンジはマージンを持たせるために、ゲインの線形範囲よりも大きめに設計しなければならない。

また、多段接続で TDA を構成する場合、各段の入力時間差レンジに注意する必要がある。多段接続 TDA 回路は、入力時間差が TDA の各段で増幅される。よって、入力時間差を増幅した後に次段に入力される信号の時間差は、前段の TDA のゲイン分増幅されるので、

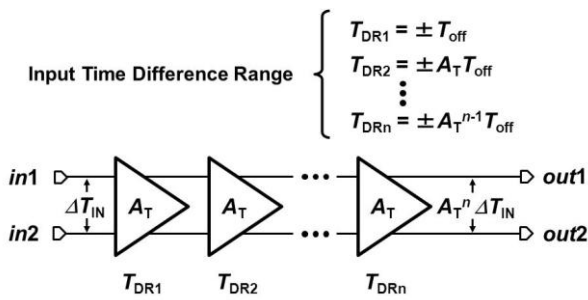


図 12. 多段接続 Open Loop TDA の設計

入力時間差レンジをその分大きくする必要があるのである。入力時間差レンジは Open Loop TDA の入力側の遅延時間  $T_{off}$  で決定される。したがって、入力時間差レンジを大きくする場合は、インバータチェーンの段数を増やして  $T_{off}$  を大きくする。

図 12 はゲインの線形範囲を考慮した多段接続 TDA 構成である。TDA1 段のゲインを  $A_T$ 、入出力特性の入力時間差レンジを  $\pm T_{off}$  とした場合、 $n$  段目での TDA の入力時間差レンジ  $T_{DRn}$  は、

$$T_{DRn} = \pm A_T^{n-1} \cdot T_{off} \quad (5)$$

となるように設計する。図 12 のような構成をとることで、最終的に得られる Open Loop TDA の入出力特性は、ゲイン  $A_T^n$ 、入力時間差レンジ  $\pm T_{off}$  となり、ゲインの線形範囲は設計仕様を満たすことが可能である。

#### 4 検証

前章で述べた設計理論を、シミュレーションにて検証した。シミュレーションは Cadence 社の Spectre RF を使用した。プロセスは標準電源電圧 1.2 V の 65 nm CMOS を用いた。

##### 4.1 ゲイン、動作周波数と段数の関係性の解析

はじめに、TDA1 段のゲインと動作周波数の関係をシミュレーションした結果を図 13 に示す。図 13 より、ゲインを増加させると周波数が低下することが分かる。また、入力時間差レンジを大きくすると、式(3)より、所望のゲインを得るためにキャパシタ  $C$  も大きくしなければならないため、動作周波数は低下する。

次に、図 13 のグラフにおいて周波数軸を対数表示にした結果を図 14 に示す。図 14 を見ると、特性がほぼ直線近似できる。これより、Open Loop TDA のゲインと動作周波数には対数関係があることが分かる。

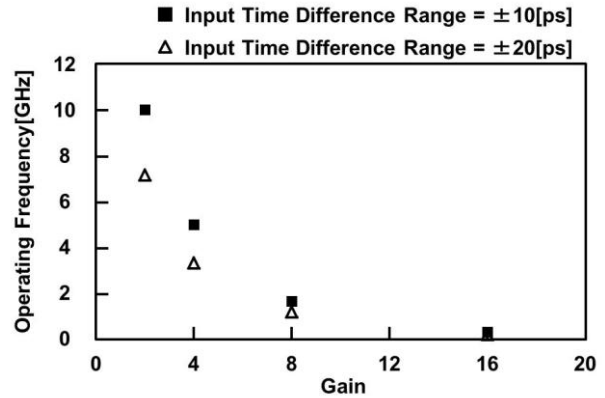


図 13. ゲイン-動作周波数特性

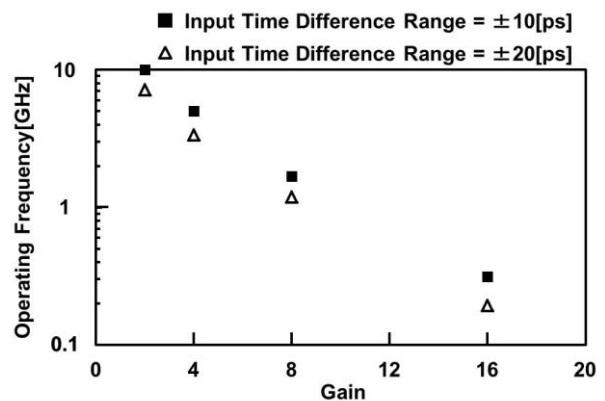


図 14. ゲイン-動作周波数特性(対数表示)

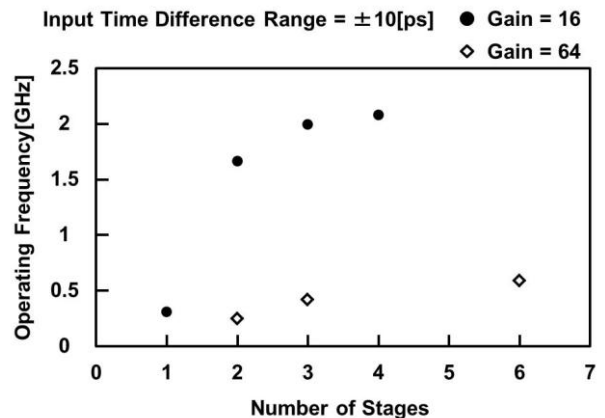


図 15. 段数-動作周波数特性

また、第 3.1 節で説明した設計方法で、Open Loop TDA の段数と動作周波数の関係をシミュレーションした結果を図 15 に示す。入力時間差レンジは $\pm 10$  ps とした。図 15 から分かるように、多段接続構成により TDA1 段あたりのキャパシタを抑える設計手法の方が、動作周波数を向上できる。

#### 4.2 段数と面積の関係性の解析

ゲインを 16 とした場合、Open Loop TDA の段数と回路面積の関係を図 16 に示す。入力時間差レンジは $\pm 10$  ps とした。図 16 より、多段接続 TDA 構成は回路規模を抑えることが可能であることが分かる。TDA の段数を 2 段より大きくした場合の回路面積が、2 段で構成した場合の回路面積より大きくなってしまふのは、第 3.1 節の設計方法において、TDA の入力時間差レンジを等しくするために、入力側のインバータチェーンを増やすことにより、回路面積が大きくなってしまふためである。

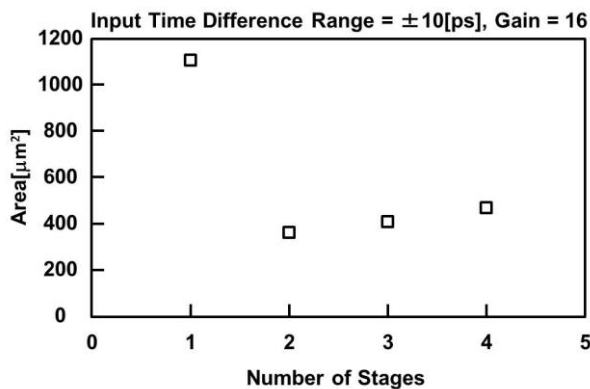


図 16. 段数-面積特性

#### 5 結論

高ゲイン、高周波数動作である時間差増幅回路を設計するための手法として多段接続構成が有効であるが、ゲインや動作周波数の仕様から、時間差増幅回路の段数を決定する設計方法は確立されていない。本論文では、多段接続 Open Loop TDA における段数の最適化設計理論について述べ、シミュレーションにて検証を行った。Open Loop TDA は、ゲインと動作周波数に対数関係があることが分かった。また、

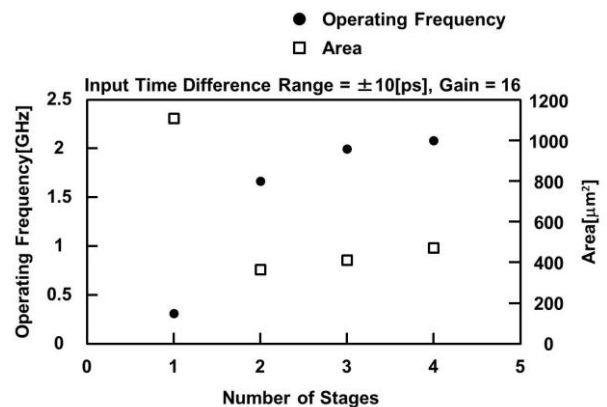


図 17. 段数-動作周波数特性と面積の関係

多段接続構成にすることで、動作周波数の向上と面積の削減を確認できた。さらに、ゲインに応じた最適な段数があることが分かった。

ゲインを 16、入力時間差レンジを $\pm 10$  ps とした場合の段数と動作周波数、面積の関係を図 17 に示す。図 17 より動作周波数と面積にはトレード・オフの関係がある。動作周波数を向上させるには段数を多くし、回路規模を小さく設計するには段数を少なくすれば良い。

#### 謝辞

本研究は半導体理工学研究センターより支援されています。

#### 参考文献

- [1] A. M. Abas, et al., "Time difference amplifier," *Electron. Lett.*, vol. 38, no. 23, pp. 1437-1438, Nov. 2002.
- [2] M. Lee and A. Abidi, "A 9 b, 1.25 ps resolution coarse-fine time-to-digital converter in 90 nm CMOS that amplifies a time residue," *IEEE J. of Solid-State Circuits*, vol. 43, no. 4, pp. 769-777, Apr. 2008.
- [3] T. Nakura, et al., "Time difference amplifier using closed-loop gain control," in *Proc. JSAP/IEEE Symp. on VLSI Circuits*, Jun. 2009, pp. 208-209.
- [4] S. K. Lee, et al., "A 1 GHz ADPLL With a 1.25 ps Minimum-Resolution Sub-Exponent TDC in 0.18  $\mu\text{m}$  CMOS," *IEEE J. of Solid-State Circuits*, vol. 45, no. 12, pp. 2874-2881, Dec. 2010.