



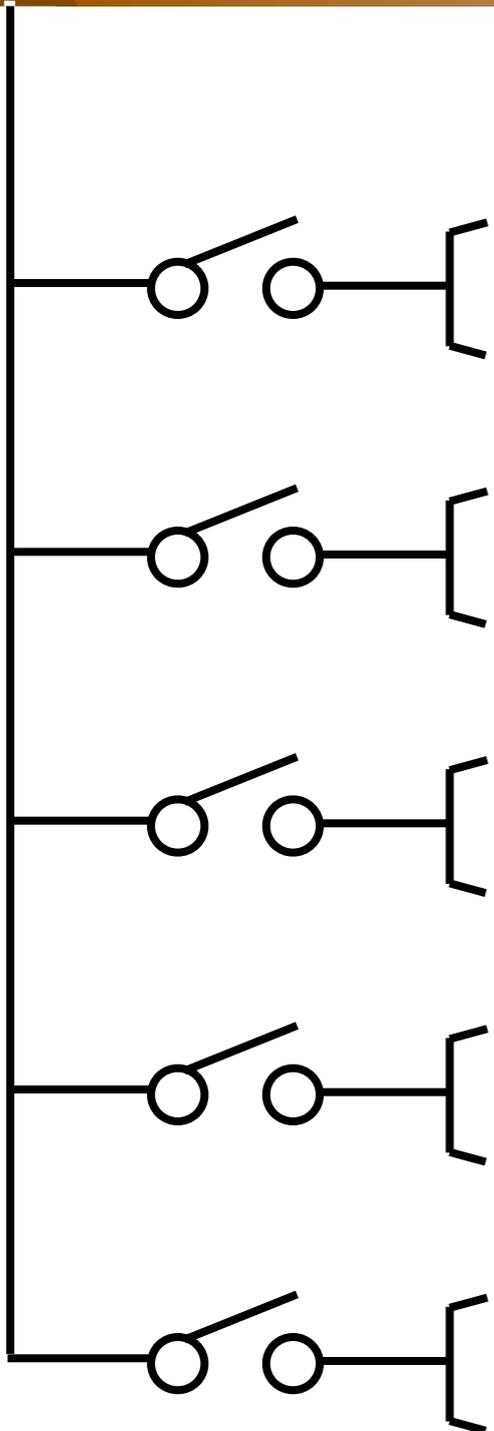
TVチューナ用完全デジタルPLL回路 - 広帯域化の検討 -

村上 健* 湯本 哲也 長谷川 賀則 三田 大介(群馬大学)

壇 徹 内藤 智洋 高橋 伸夫 坂田 浩司 北村 真一(三洋半導体株式会社)

小林 春夫 高井 伸和 新津 葵一(群馬大学)

アウトライン



研究背景

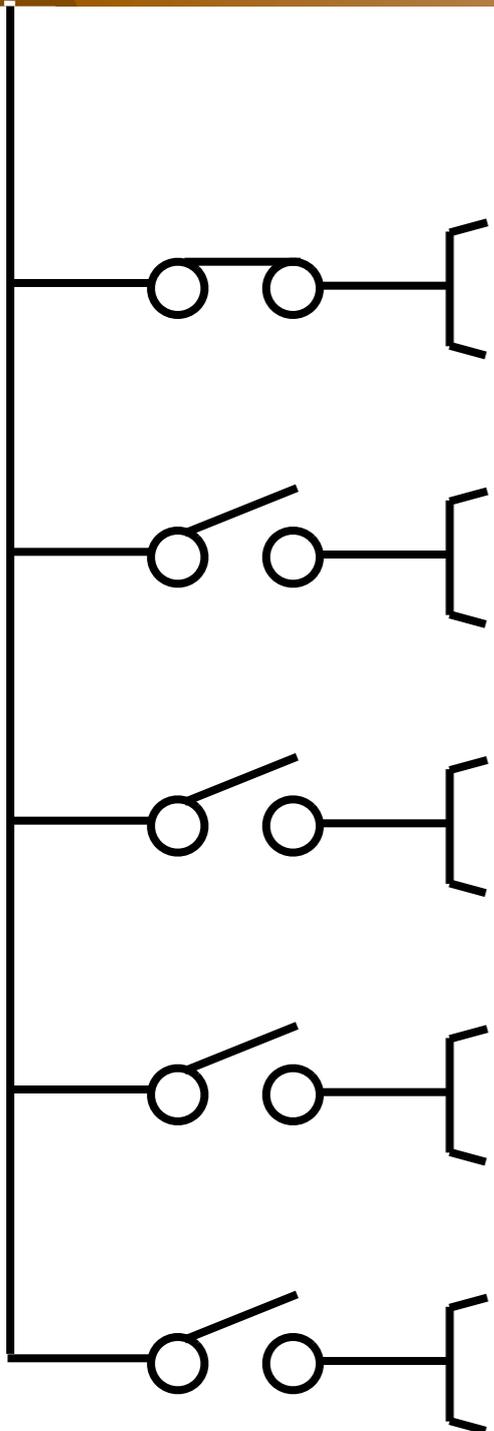
ADPLLのシステムとDCOの構成

TVチューナ用ADPLLに向けたDCOの広帯域化

測定結果

まとめ

アウトライン



研究背景

ADPLLのシステムとDCOの構成

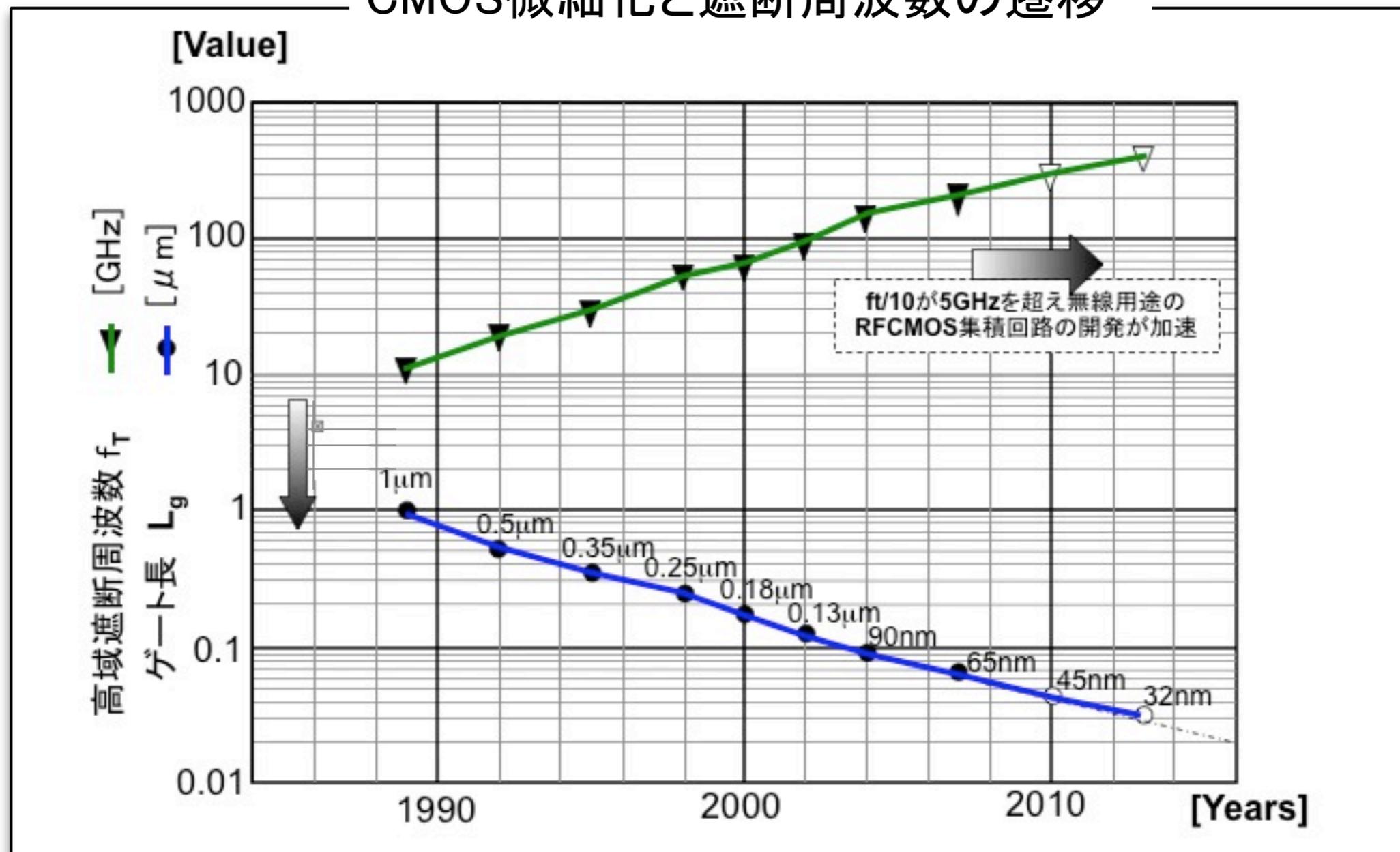
TVチューナ用ADPLLに向けたDCOの広帯域化

測定結果

まとめ

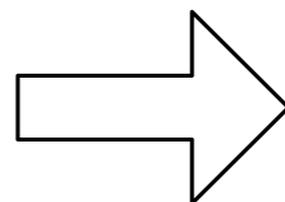
CMOSの微細化

CMOS微細化と遮断周波数の遷移



微細化の
メリット (

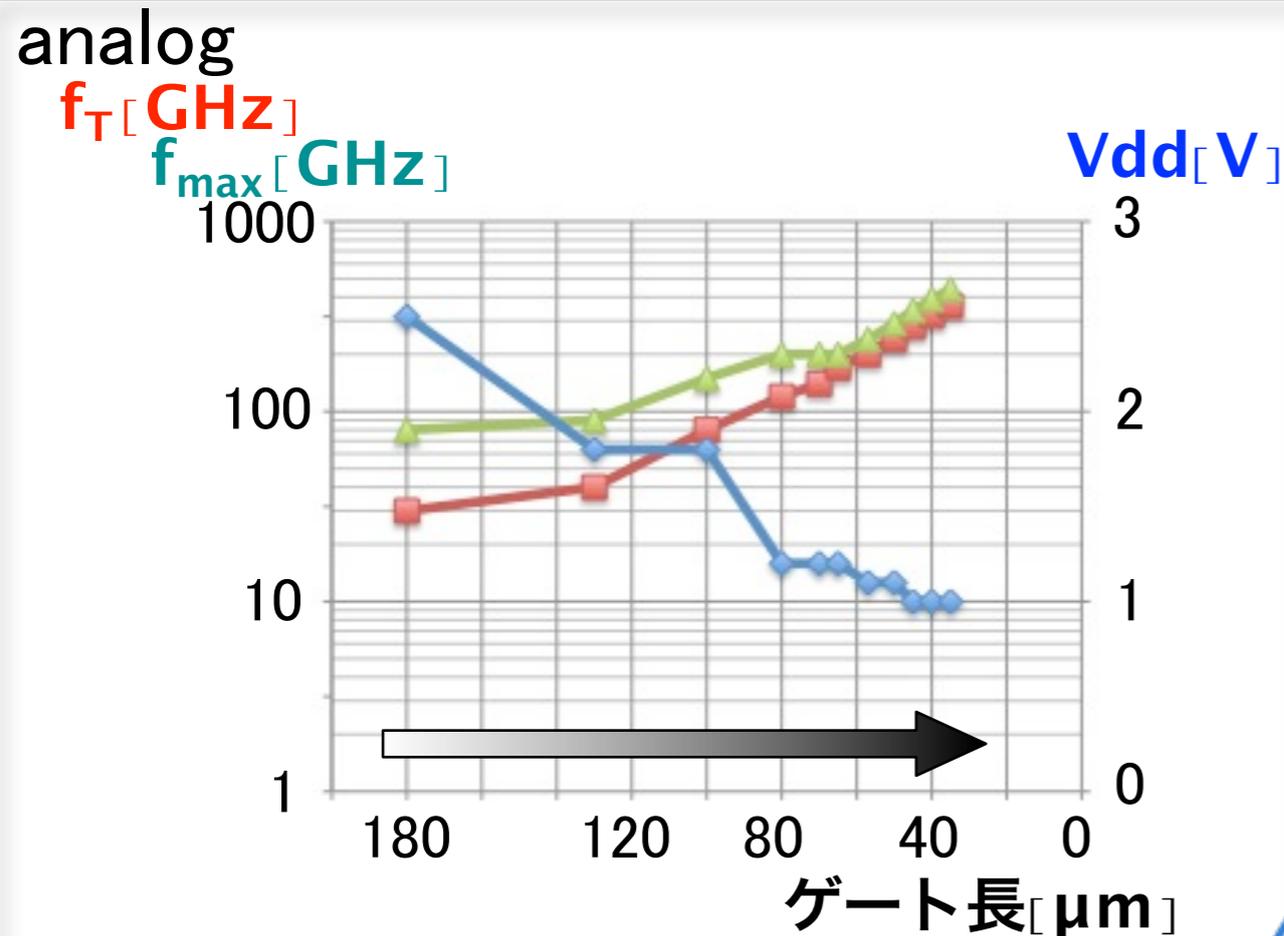
- ・高集積化
- ・高速動作化



プロセス微細化へ

CMOS微細化の影響

CMOS微細化加工技術の発達



微細化に伴う影響

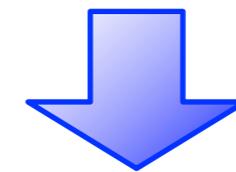
- ・遮断周波数の**向上**
- ・電源電圧の**低下**
- ・雑音・ばらつき量の**増加**

digital

微細化に伴う影響

- ・高速動作可能
- ・省面積化
- ・低消費電力

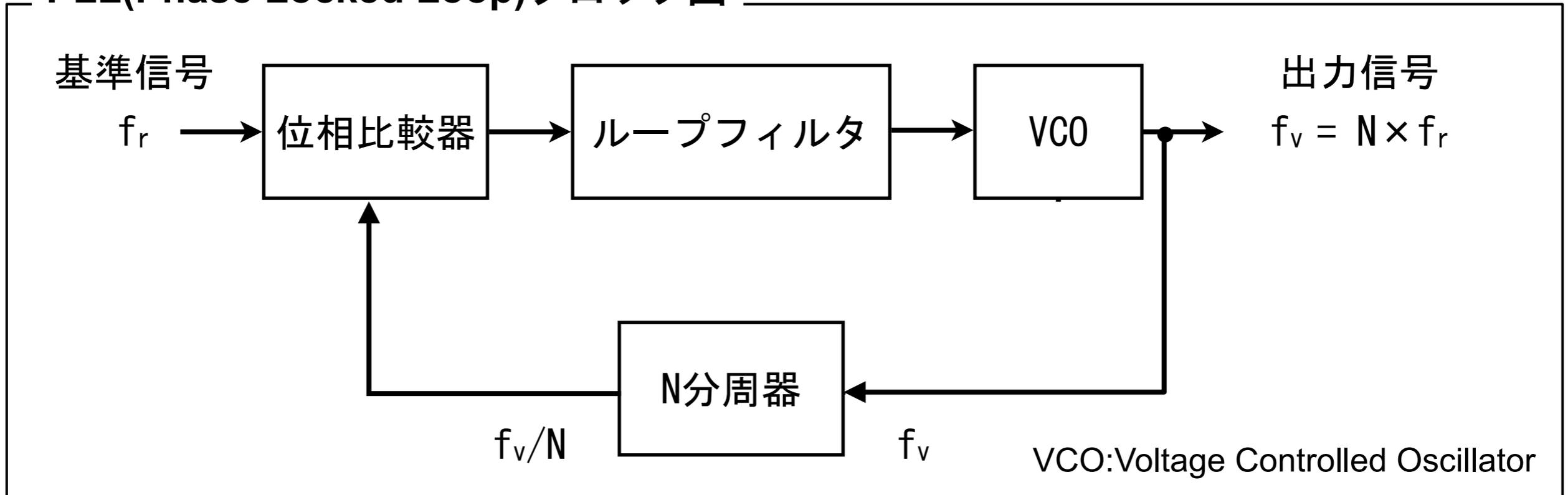
デジタルのメリットをアナログに適用



デジタルアシスト技術の要求

PLLの特徴

PLL(Phase Locked Loop)ブロック図



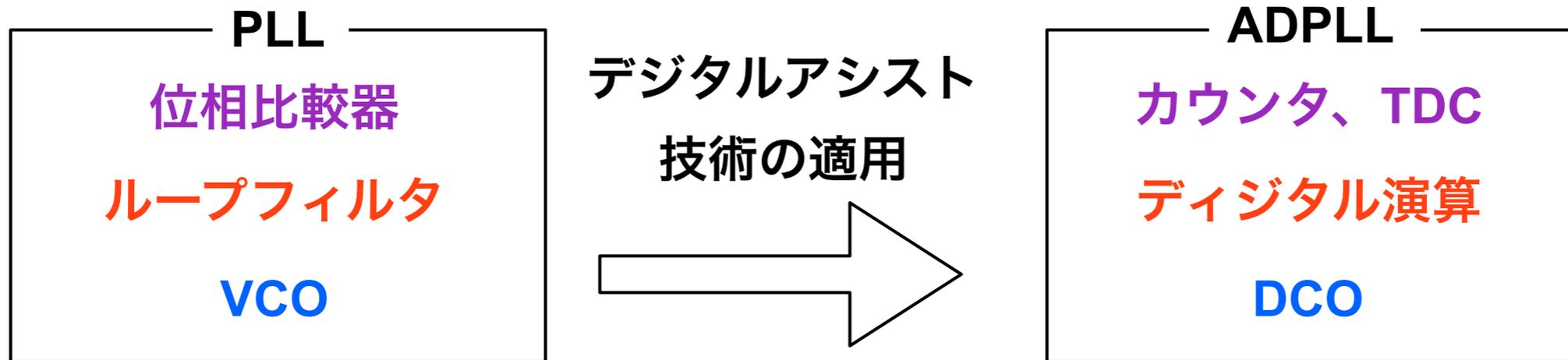
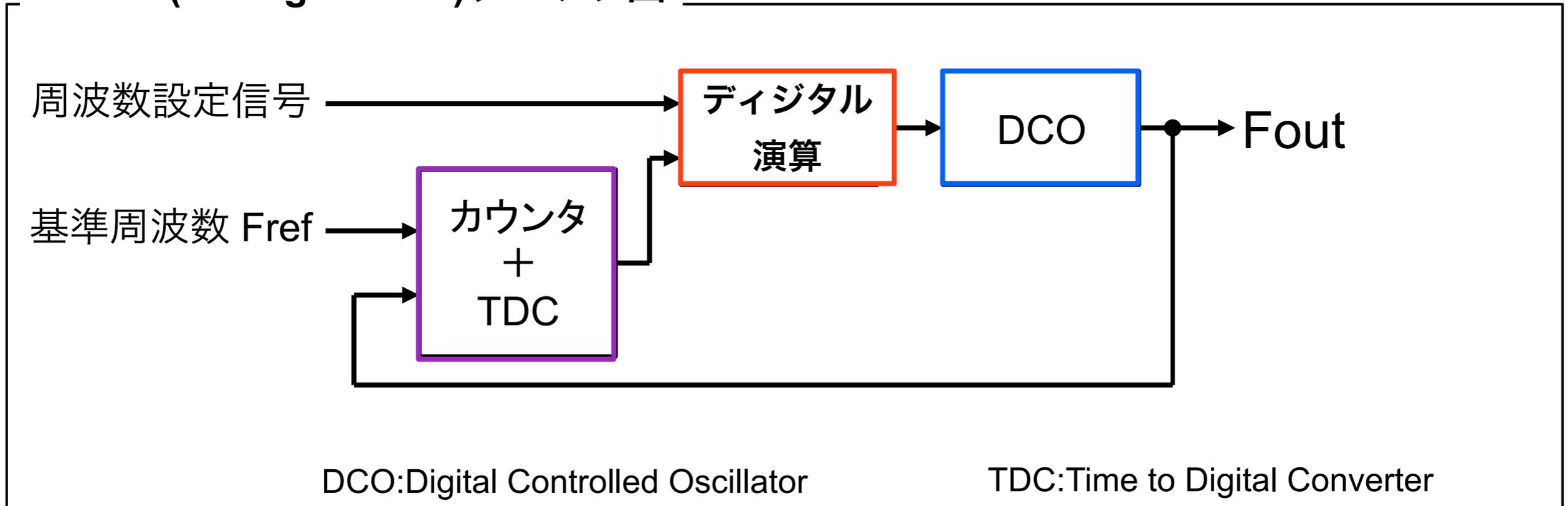
基準信号と出力信号の位相差を比較して出力周波数を制御

微細化に伴う問題点

- 受動素子で構成されるループフィルタのチップ面積が広い
- ノイズや特性ばらつきによる影響が大きい

PLLとADPLLの対応

ADPLL(All Digital PLL)ブロック図



ADPLLの利点...

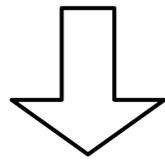
微細化の恩恵を受ける事が可能
デジタル演算が可能

ループゲインで見るデジタル演算の利点

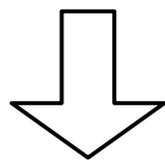
ループゲイン α ...PLLのシステム全体の動作特性を決定

PLL

α をループフィルタのRCで決定



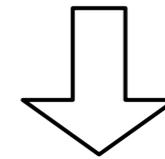
α を基本的に固定



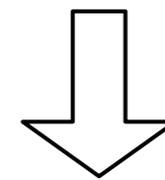
精度と収束時間のトレードオフ

ADPLL

α をデジタル演算部で決定

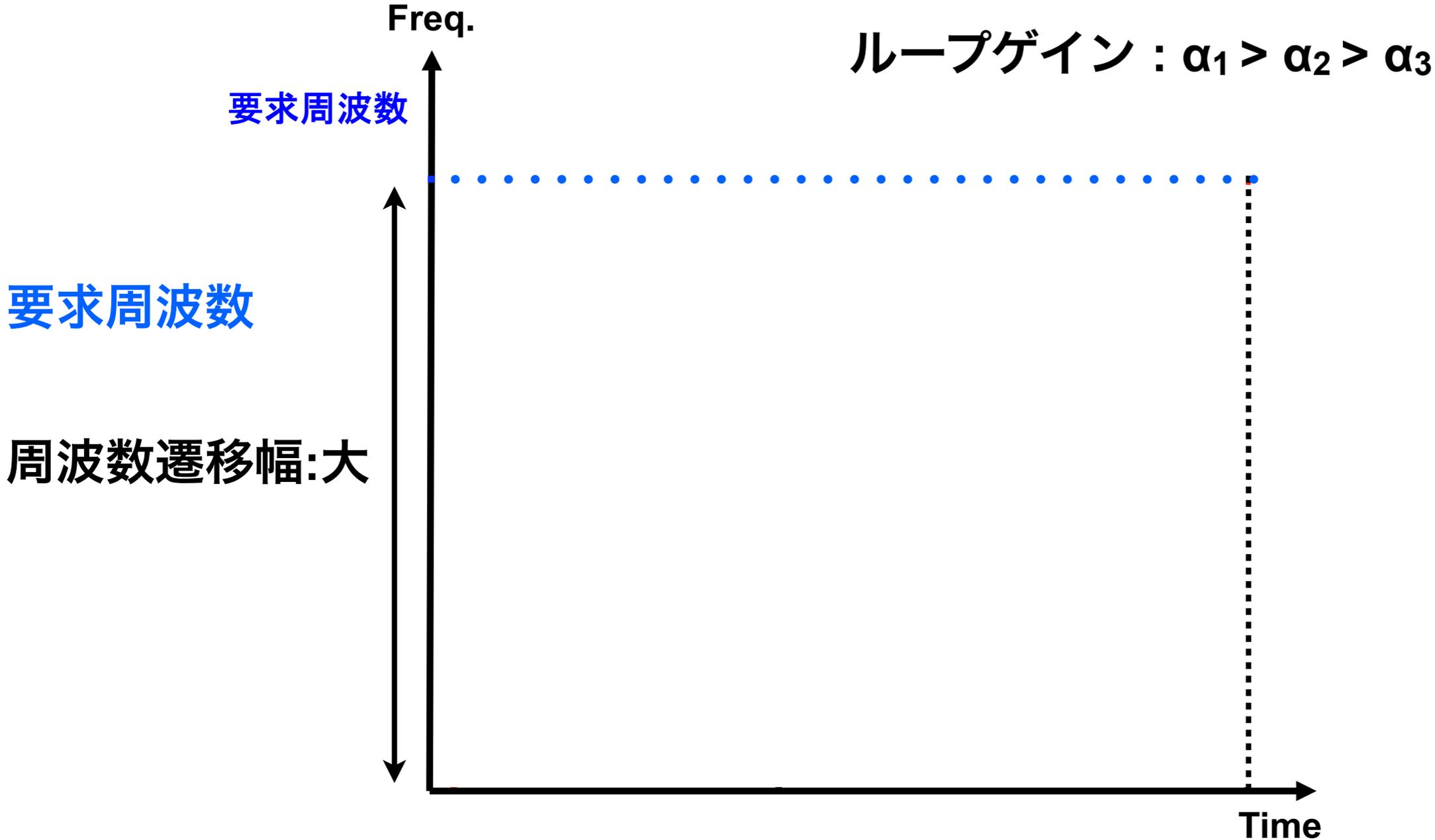


α を段階的に切り替え可能

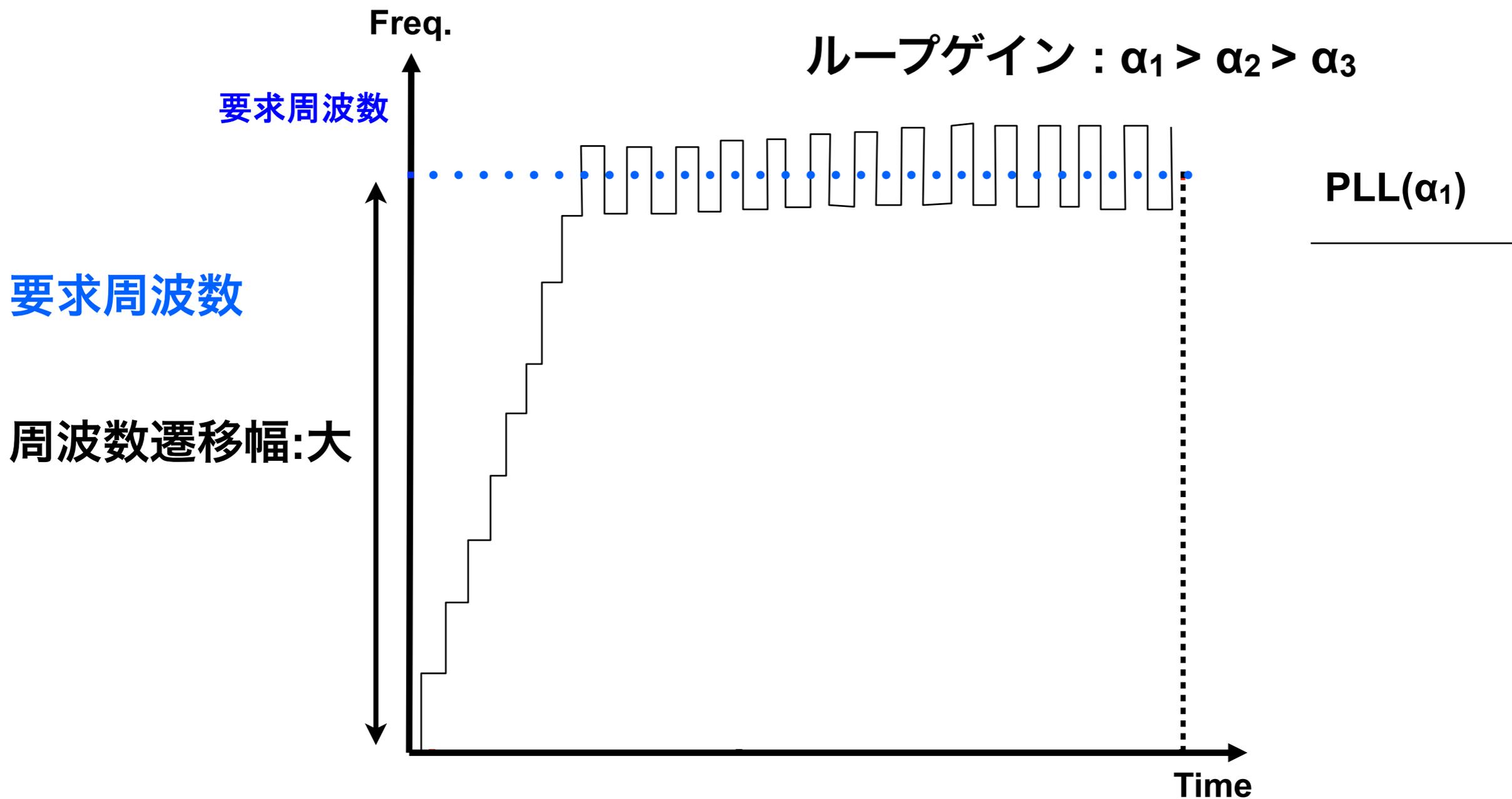


高精度、高速収束の両立が可能

広帯域動作を考えたときのPLLとADPLLの比較



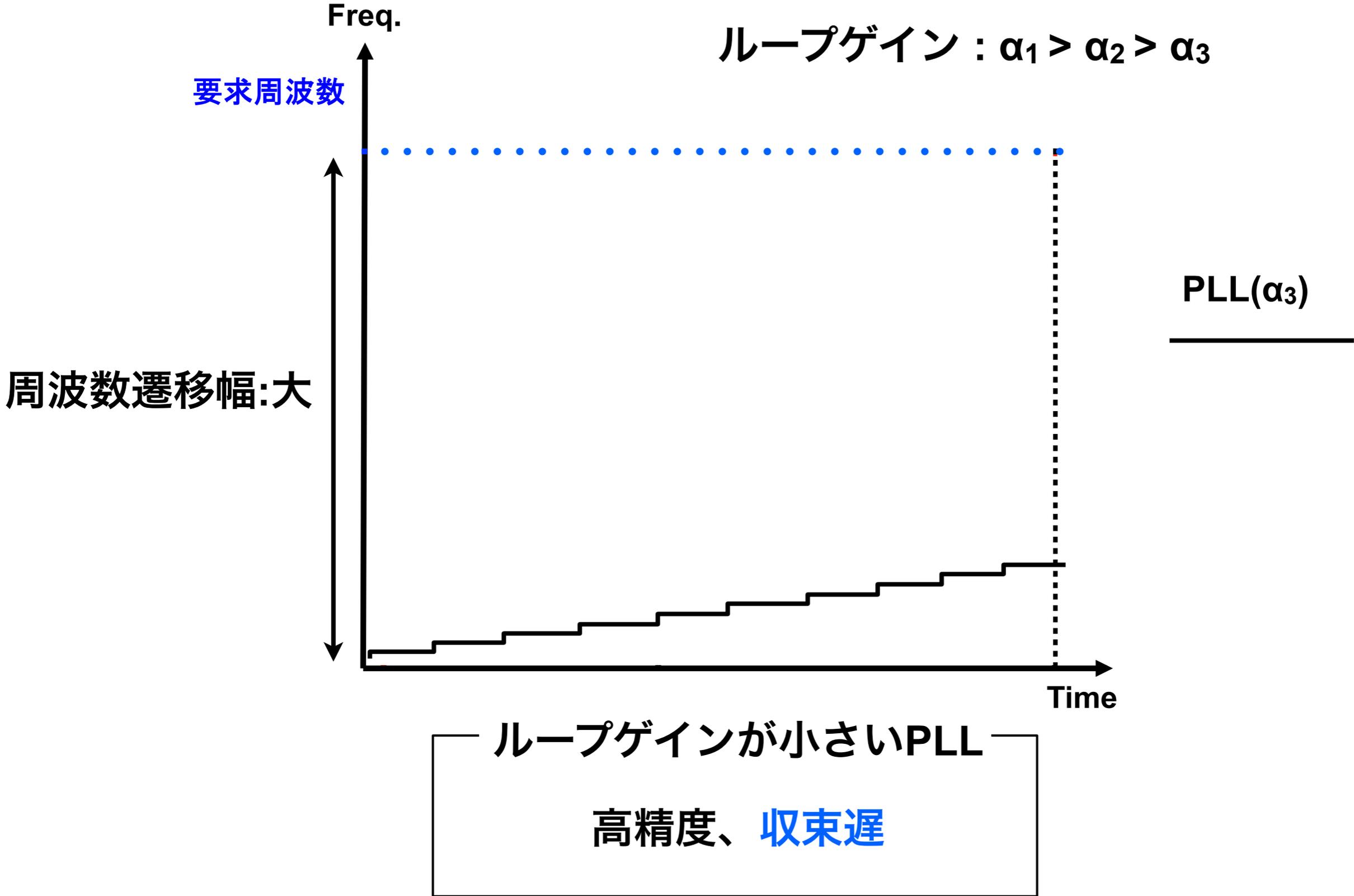
広帯域動作を考えたときのPLLとADPLLの比較



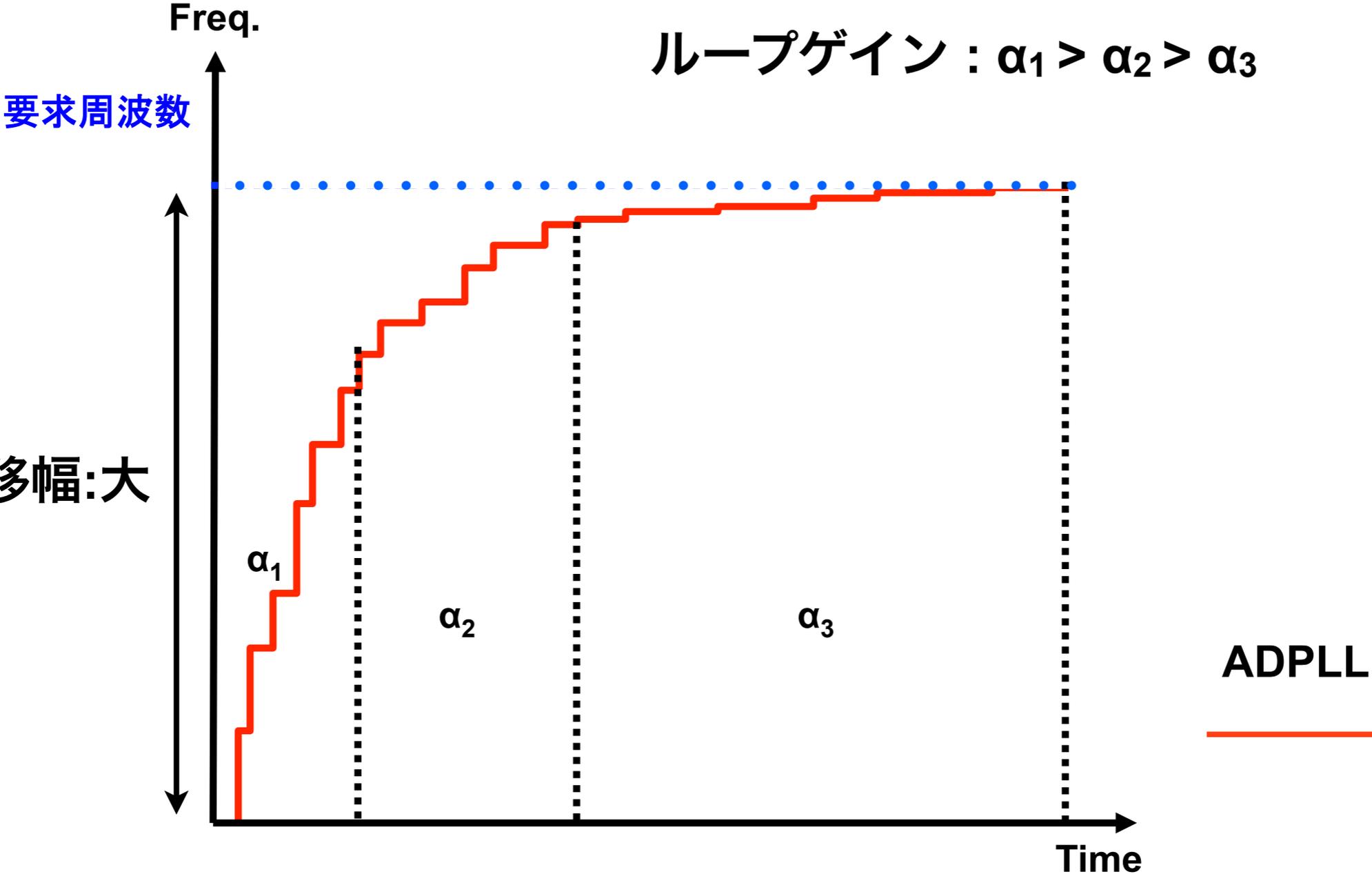
ループゲインが大きいPLL

高速収束、精度悪

広帯域動作を考えたときのPLLとADPLLの比較



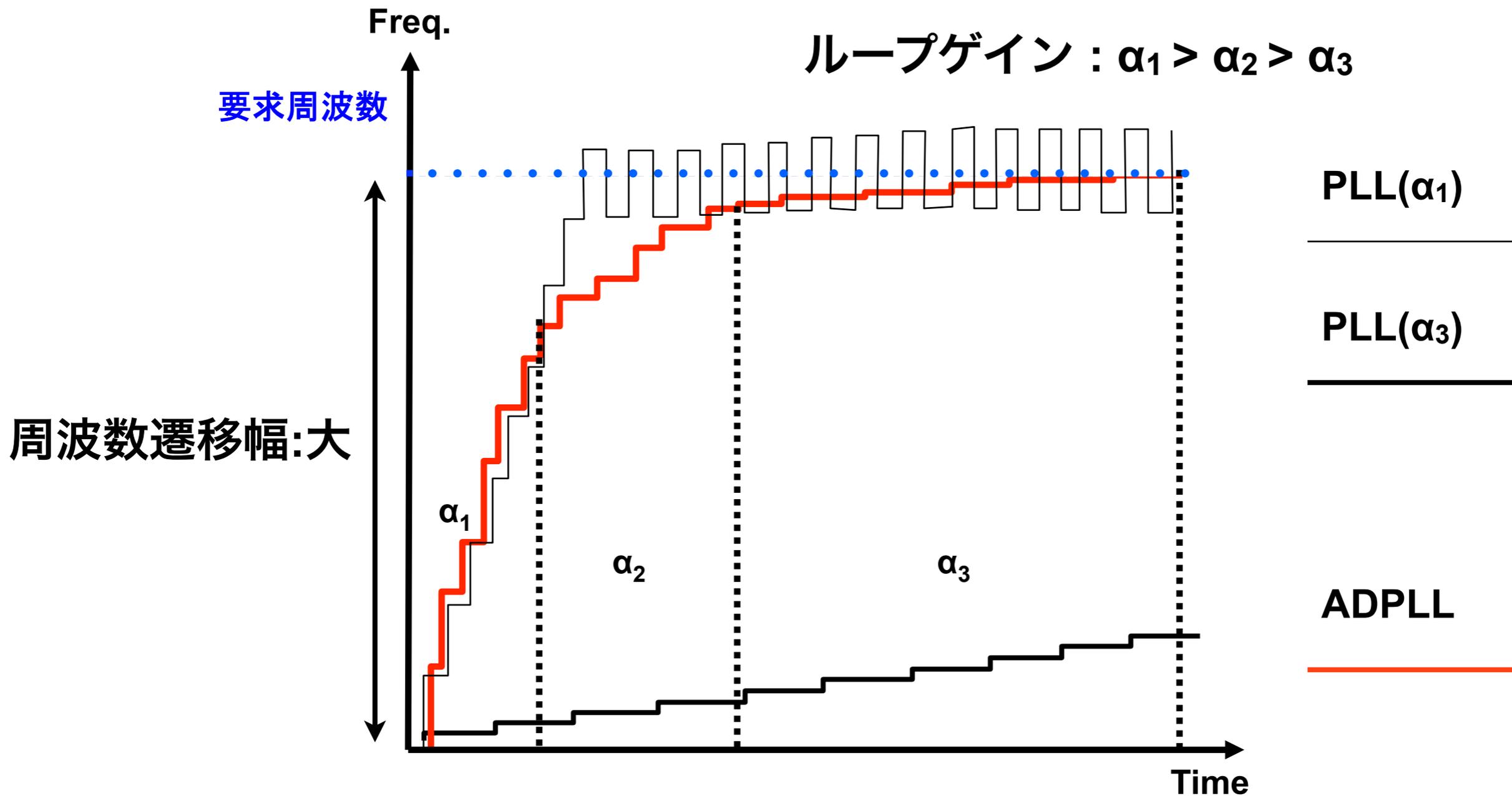
広帯域動作を考えたときのPLLとADPLLの比較



ADPLL

高精度、高速収束

広帯域動作を考えたときのPLLとADPLLの比較



PLL:精度と収束時間のトレードオフの影響大

ADPLL:ループゲインの切り替えにより高精度、高速収束

論文内容

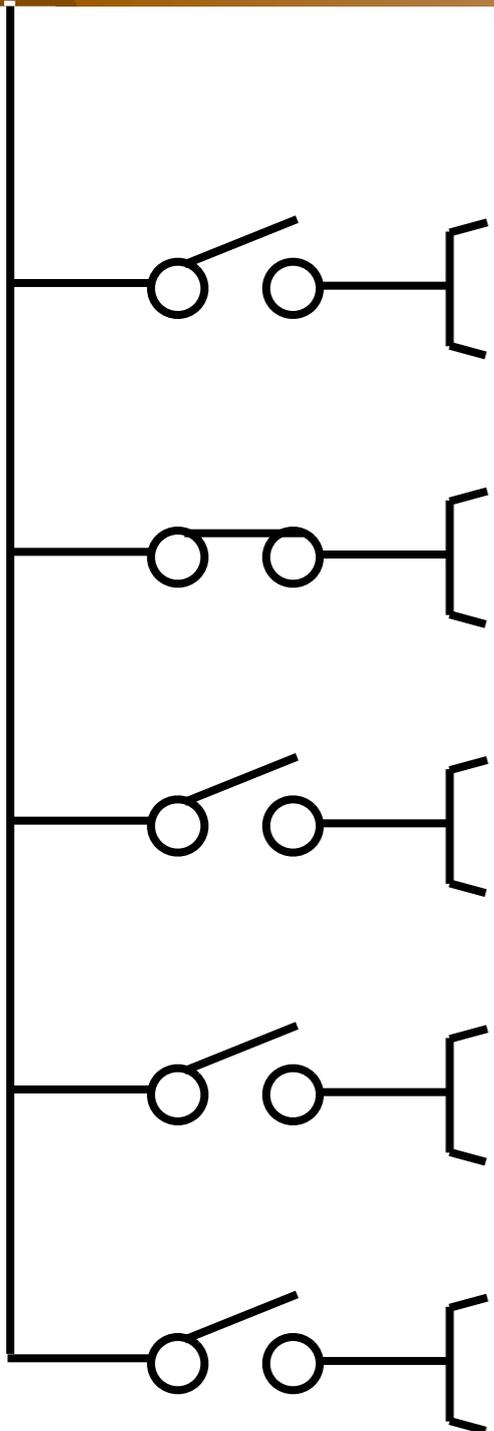
研究目的

広帯域ADPLLについての検討

本論文の内容

TVチューナ用広帯域ADPLLのDCO部分の検討

アウトライン



研究背景

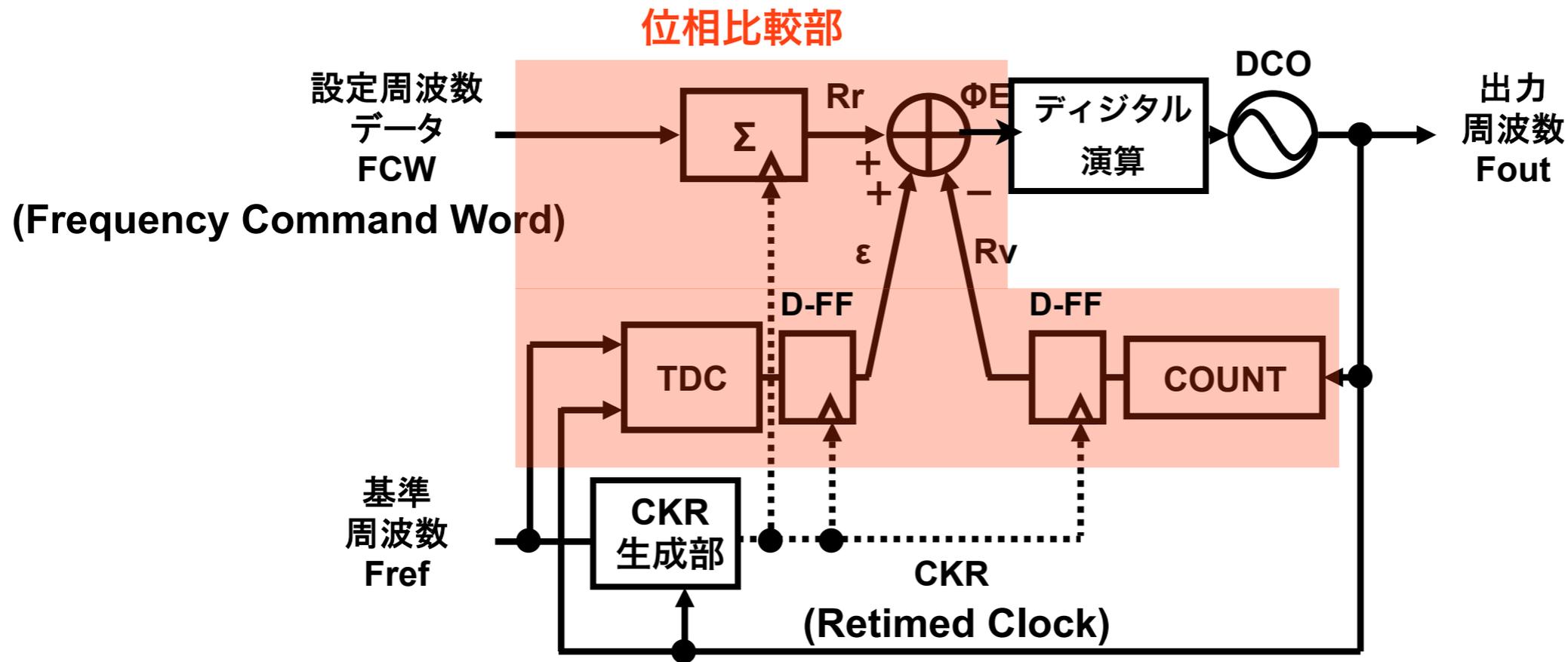
ADPLLのシステムとDCOの構成

TVチューナ用ADPLLに向けたDCOの広帯域化

測定結果

まとめ

ADPLLシステム構成



出力周波数

$$F_{out} = FCW * F_{ref}$$

位相差

$$\phi_E = R_r - R_v + \varepsilon$$

CKR…FoutとFrefから生成、
ADPLLシステムのクロックに使用

Rr…PLLでの基準信号の位相に対応

Rv…PLLでの出力信号の位相に対応

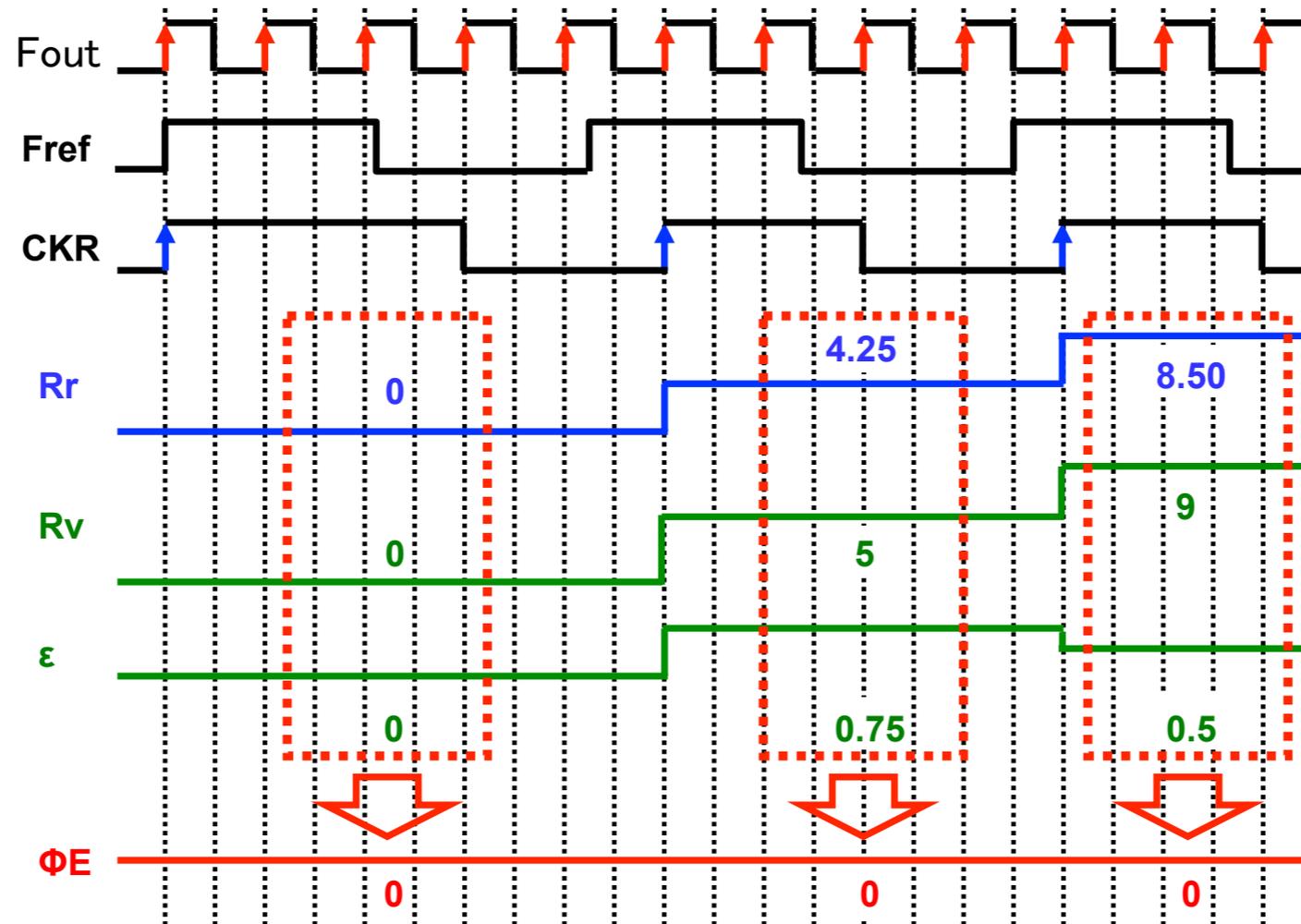
ε…位相誤差の補正

CKRと位相差について

位相差

$$\phi_E = R_r - R_v + \varepsilon$$

設定周波数データ
FCW = 4.25のとき



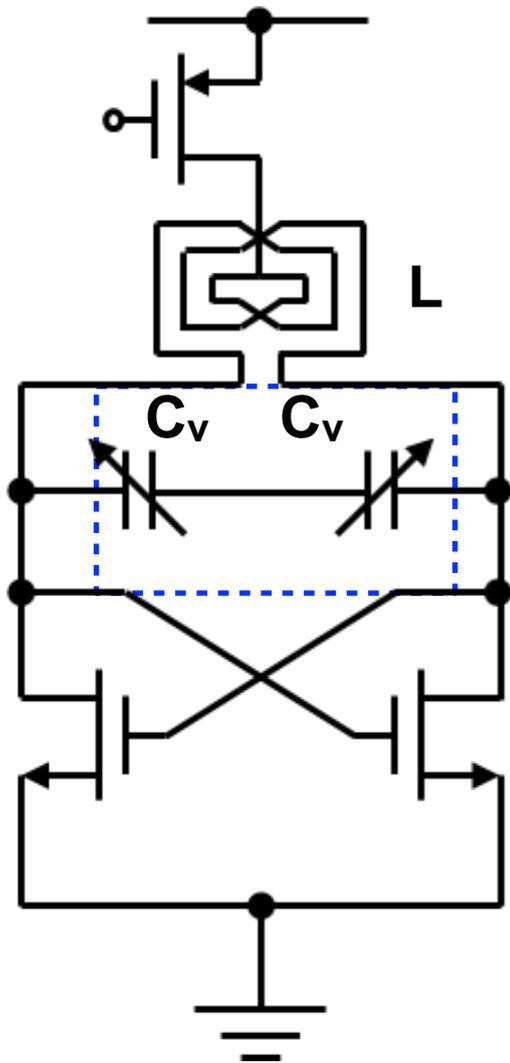
R_r …PLLでの基準信号の位相に対応

R_v …PLLでの出力信号の位相に対応

ε …位相誤差の補正

DCOの特徴

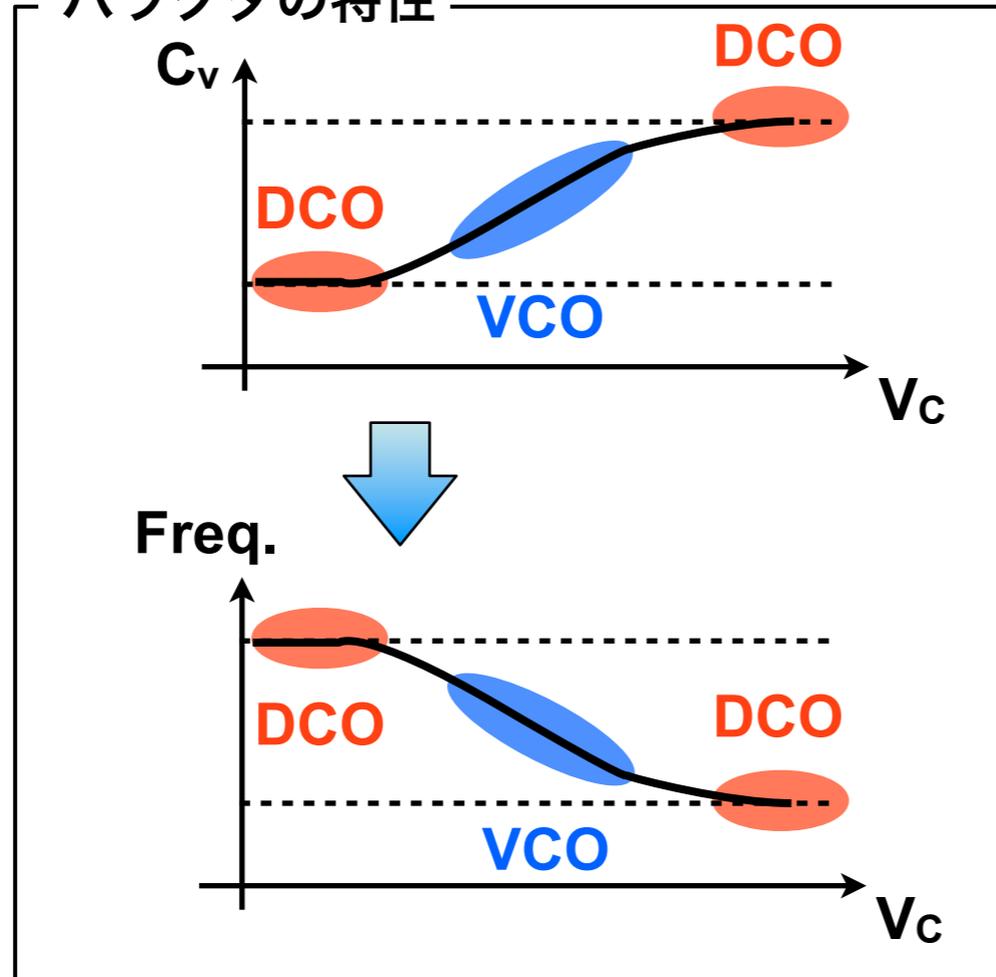
LC-DCO



発振周波数

$$f = \frac{1}{2\pi\sqrt{L(C + C_v)}}$$

バラクタの特性

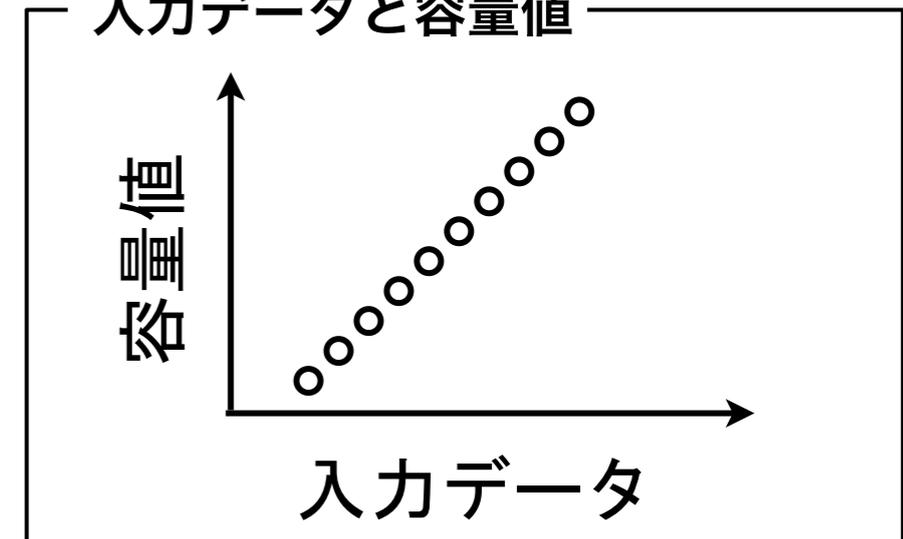


DCOは複数のバラクタを使用



DCOの容量値は入力データ
に応じた離散的な値を取る

入力データと容量値



単体バラクタの容量可変幅大
可変周波数幅大、分解能低

単体バラクタの容量可変幅小
可変周波数幅小、分解能高

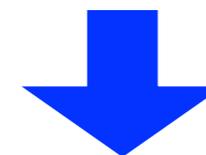
DCOの特徴

- ・ノイズ等による周波数変化への影響が小さい
- ・周波数可変幅と周波数分解能のトレードオフ

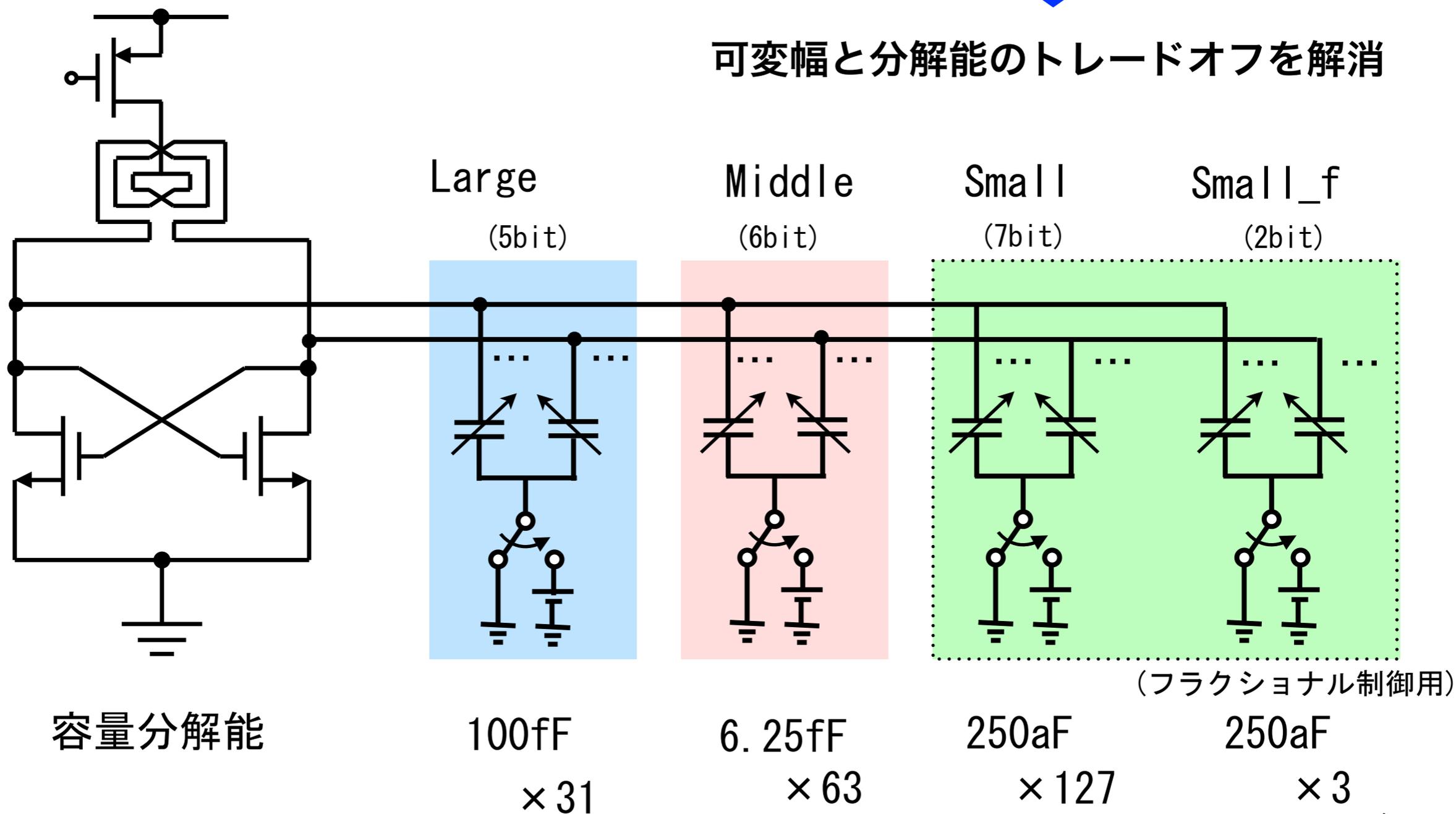
DCOトレードオフの改善

容量分解能の異なる三種類のバラクタを複数使用

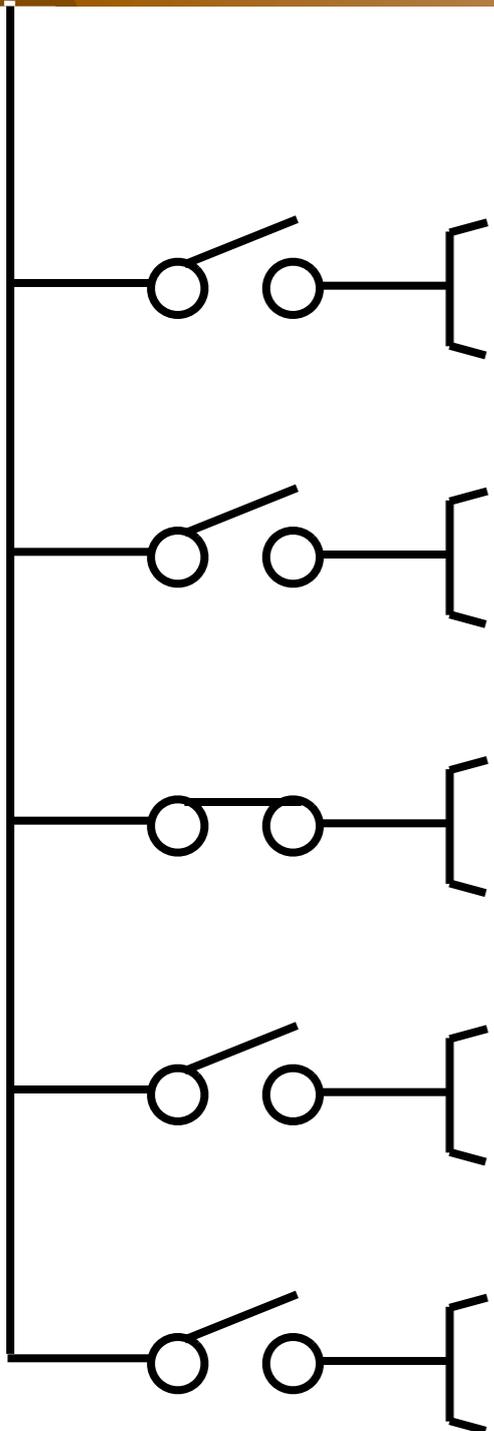
Digital Controlled Oscillator



可変幅と分解能のトレードオフを解消



アウトライン



研究背景

ADPLLのシステムとDCOの構成

TVチューナ用ADPLLに向けたDCOの広帯域化

測定結果

まとめ

TVチューナ用ADPLLに求められる出力周波数

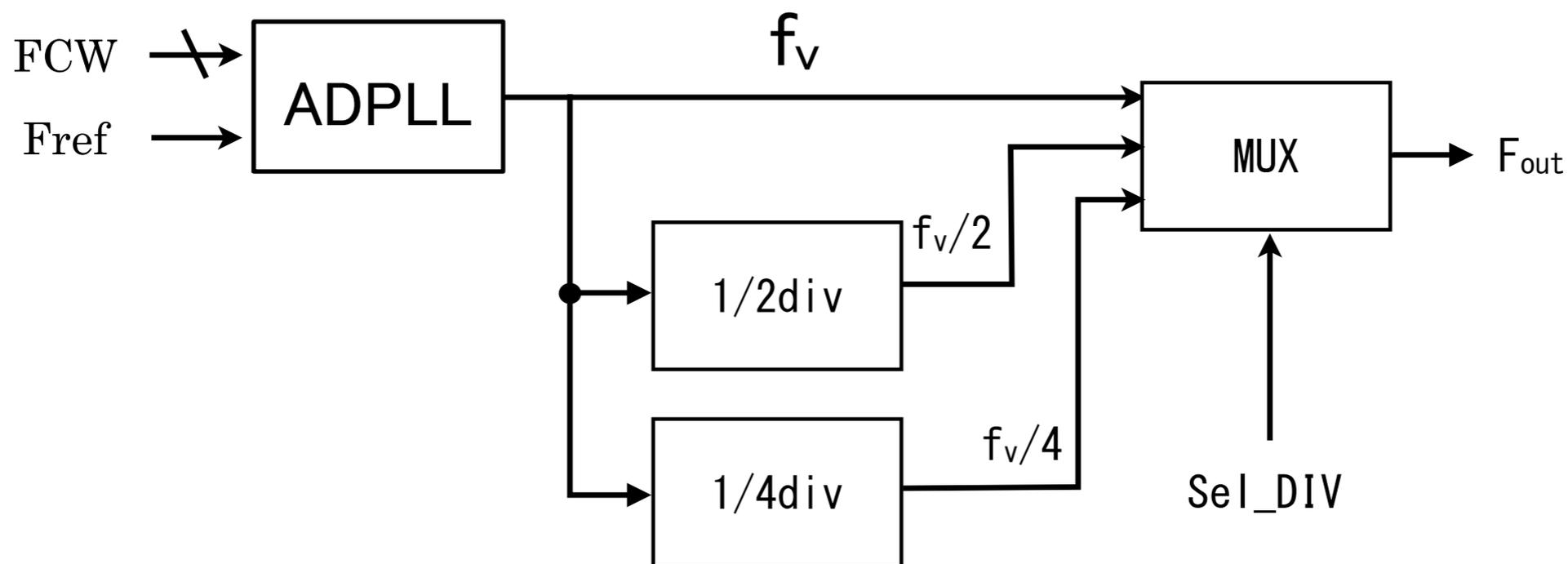
TVチューナ無線規格の必要周波数をカバーする必要あり

(1)分周器を用いた広帯域化

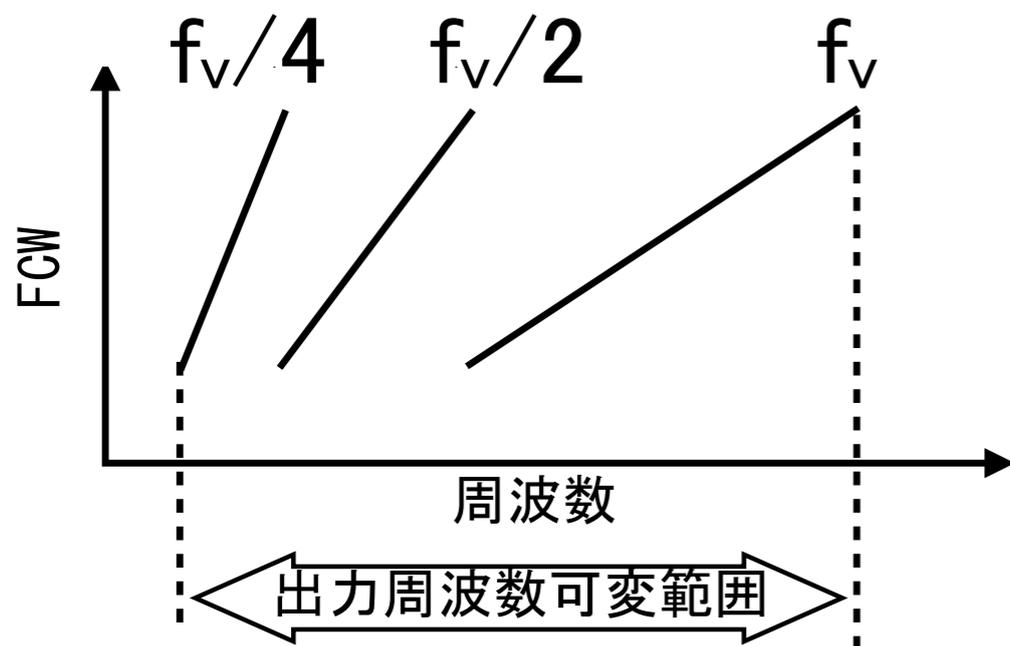
(2)複数DCO切り替え構成

の二つの手法を用いて所望周波数帯のカバーを検討

分周器を用いた広帯域化



周波数制御

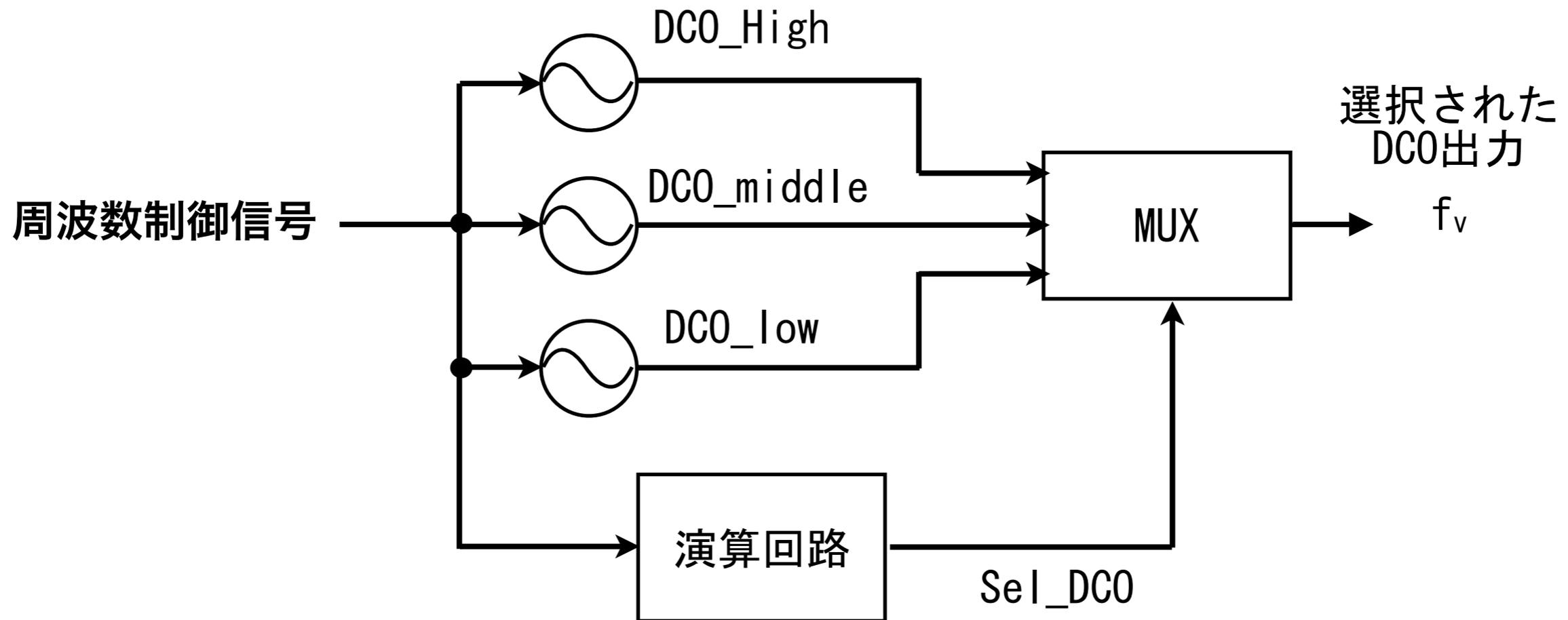


DCOからの出力信号 f_v を分周

↓
マルチプレクサ(MUX)を操作して
目的の周波数を得る

↓
DCOの出力周波数を広帯域化

複数DCO切り替え構成による広帯域化



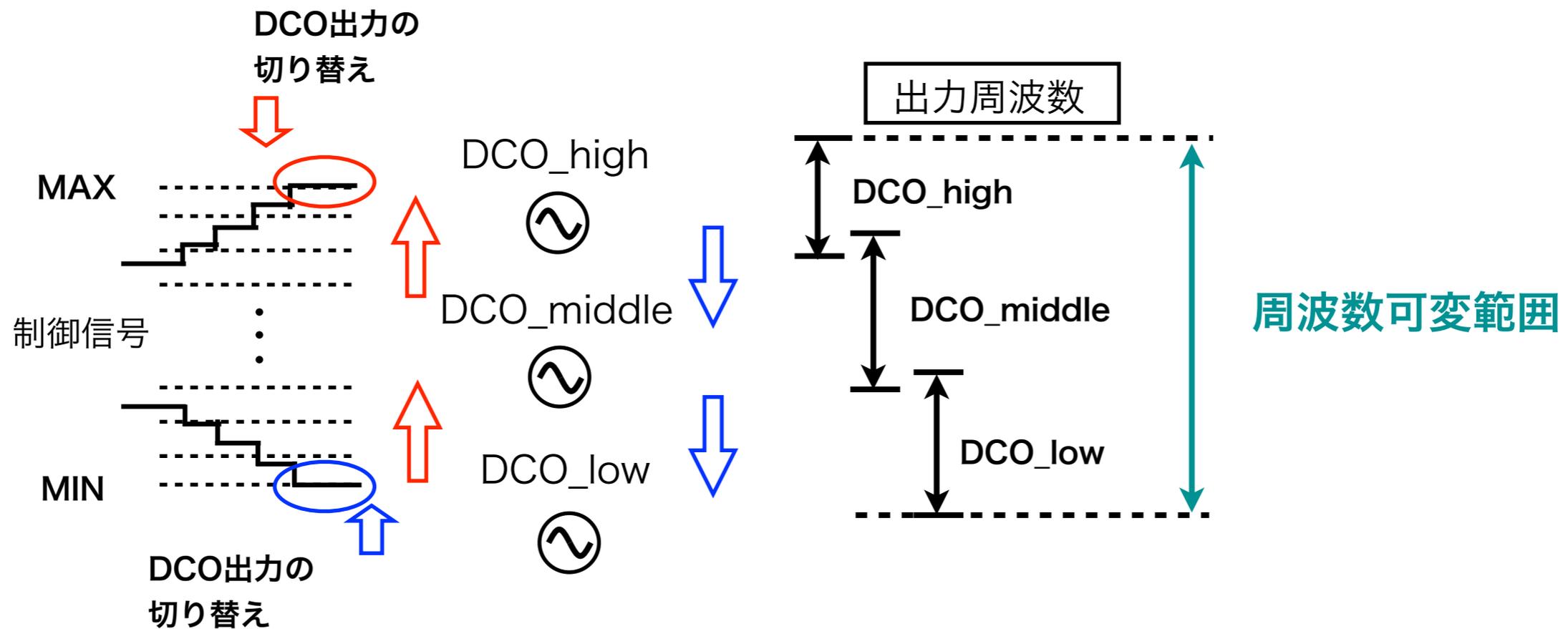
DCO_low…低い周波数帯をカバー

DCO_middle…中間の周波数帯をカバー

DCO_High…高い周波数帯をカバー

使用する周波数帯域に応じたDCOを選択

制御信号とDCO回路切り替え動作原理

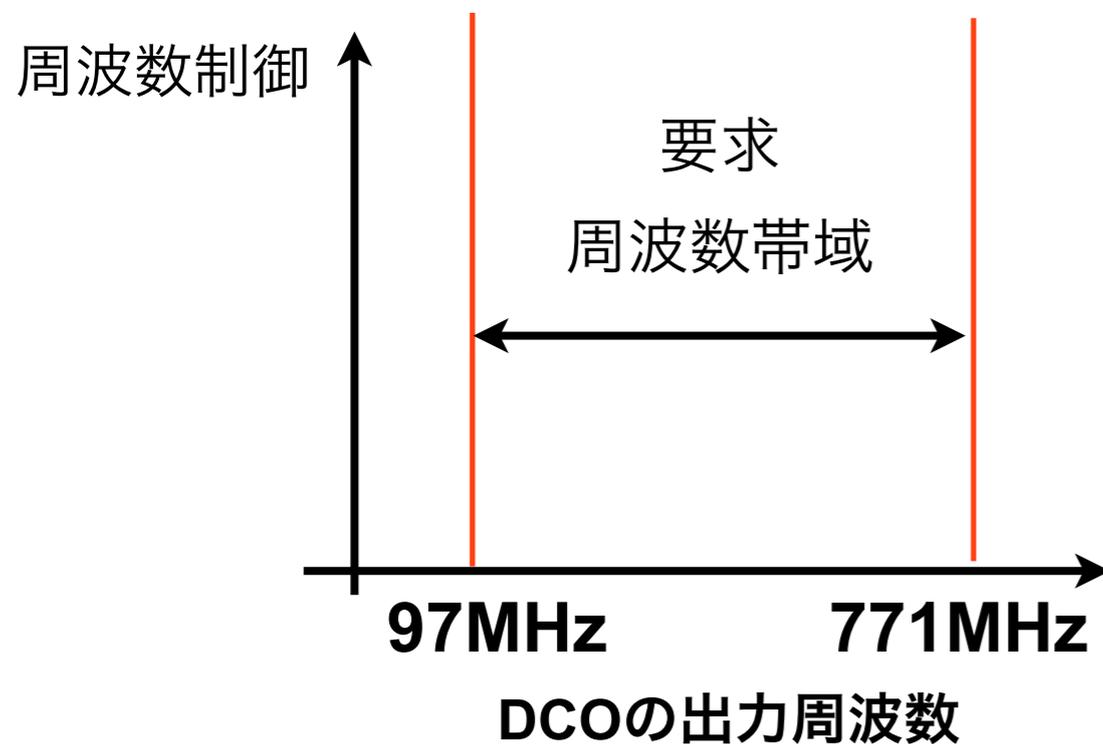


制御信号のビット幅の最大値および最小値を検出してDCOを切り替える

TVチューナ用ADPLL内のDCOの目標

180nm CMOS プロセス使用

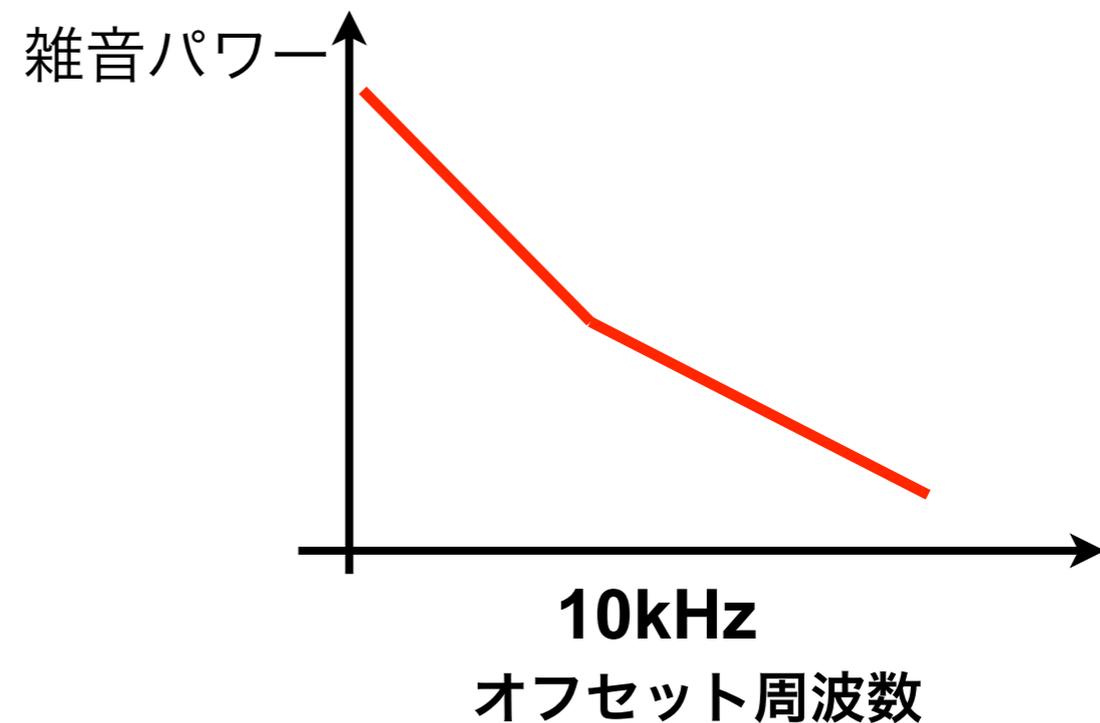
周波数特性



TVチューナ無線規格
の必要周波数

97MHz -771MHz

位相雑音特性



受信信号の精度

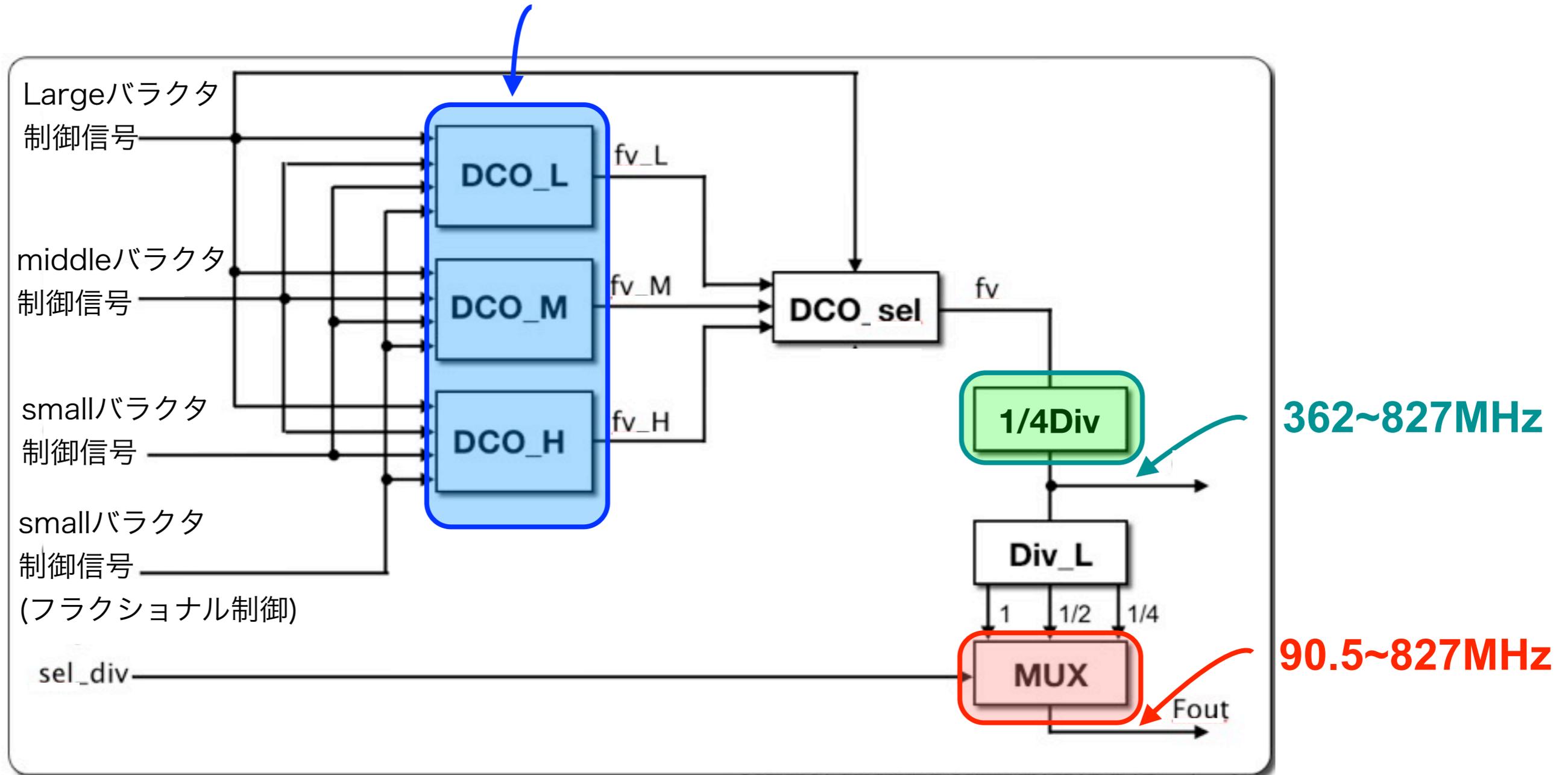
< -80dBc/Hz@10kHz

(実際のTVチューナ用規格である地上デジタルテレビジョン放送のISDB-T方式の規格を満たすように仕様決めを行った)

分周を含めたADPLL内DCOの目標出力周波数

DCO回路の全体図

1.45~3.3GHz (位相雑音改善のために逓倍分周構成を使用)

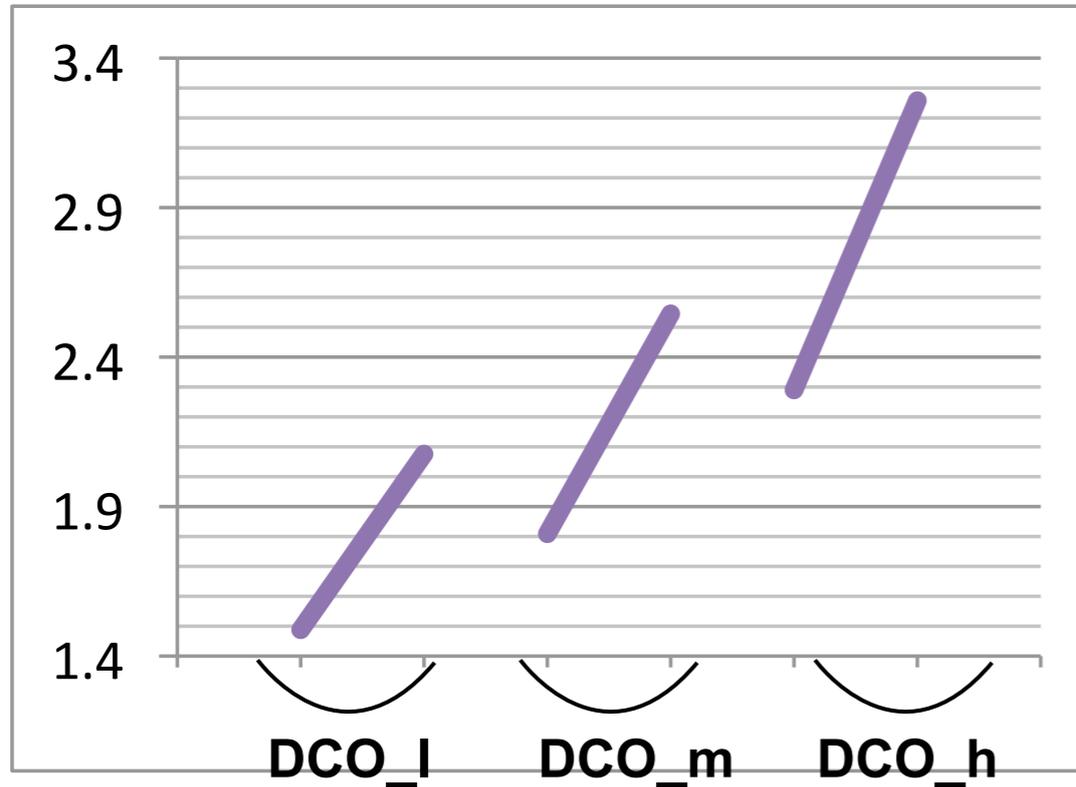


仕様 97MHz -771MHz (1.45GHz ~ 3.3GHz)

検討DCOsim結果

[DCOの出力周波数]

発振周波数[GHz]

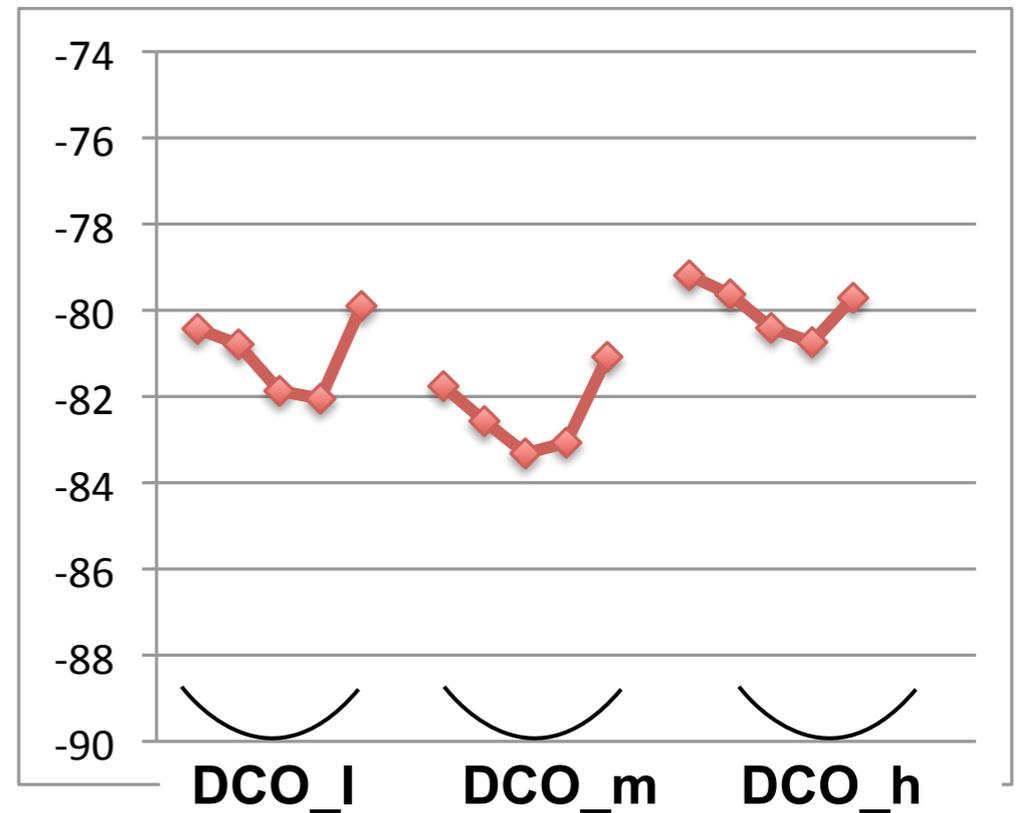


周波数可変範囲

1.45GHz ~ 3.35GHz

[位相雑音特性]

位相雑音@10kHz



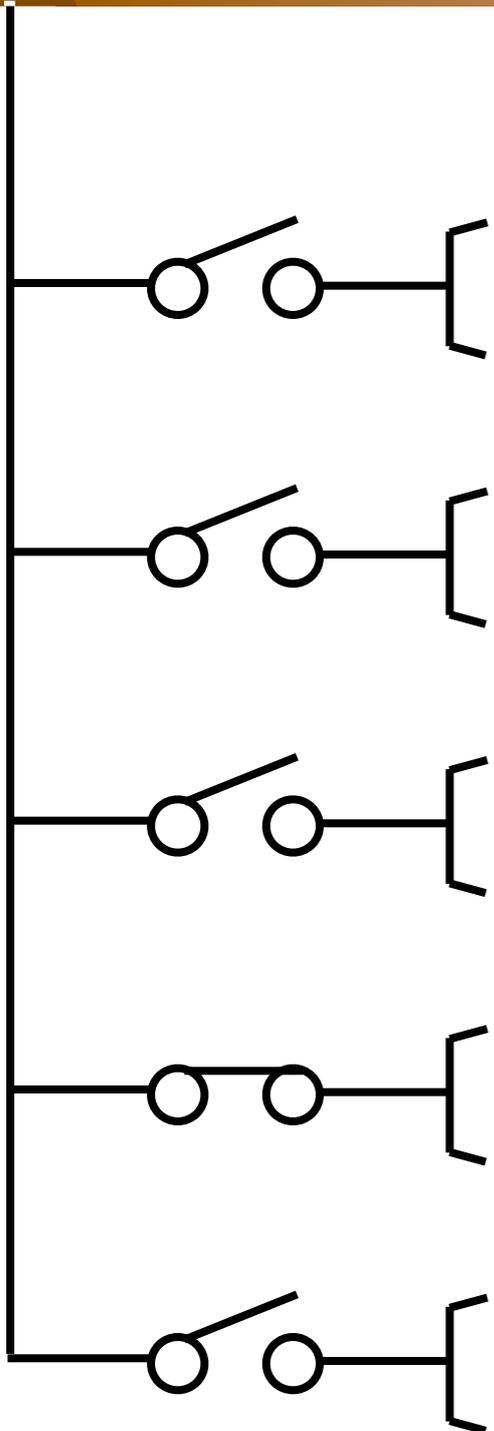
Phase Noise@10kHz

< -79.2dBc/Hz

仕様 1.45GHz ~ 3.3GHz

< -80dBc/Hz

アウトライン



研究背景

ADPLLのシステムとDCOの構成

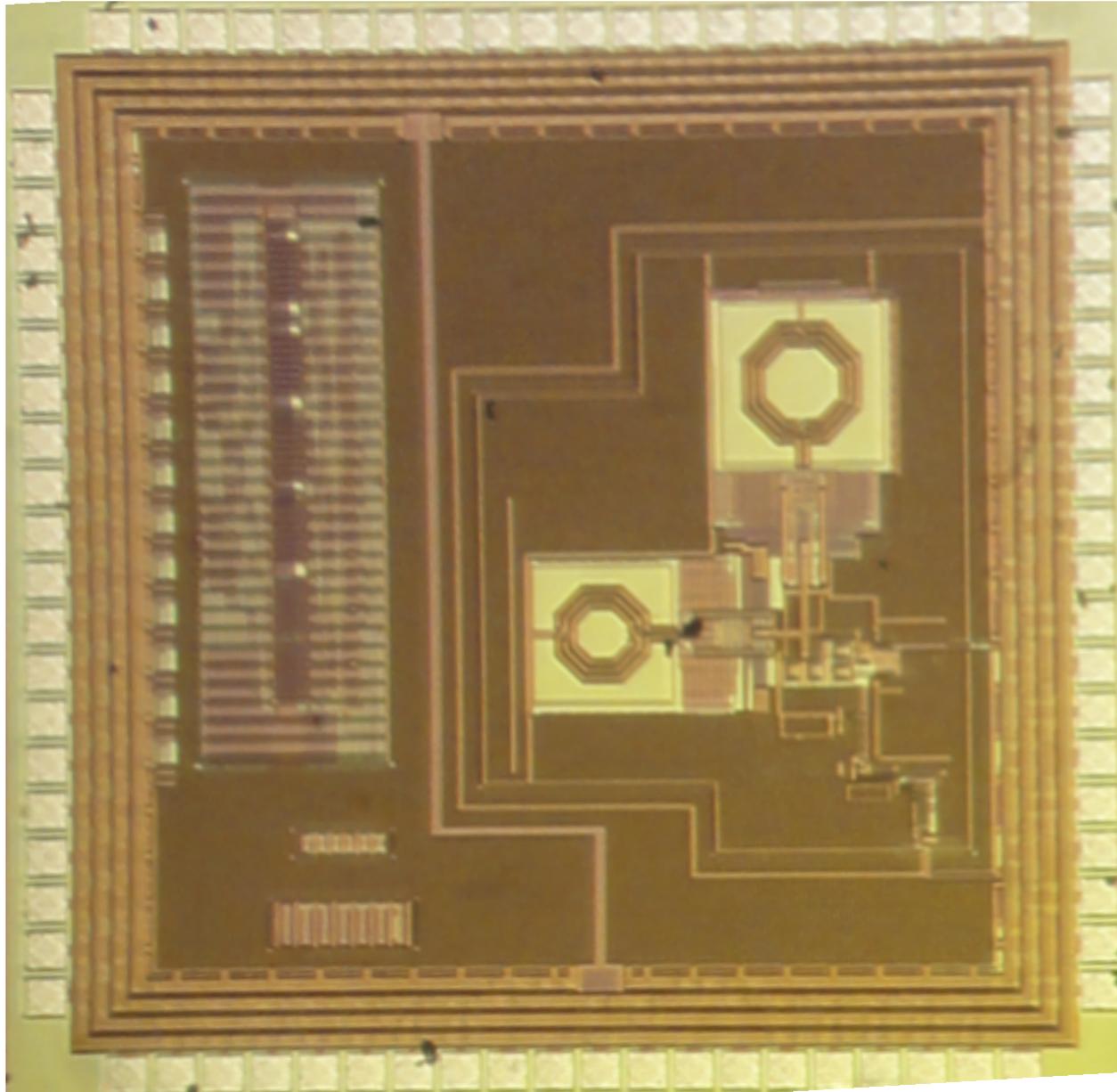
TVチューナ用ADPLLに向けたDCOの広帯域化

測定結果

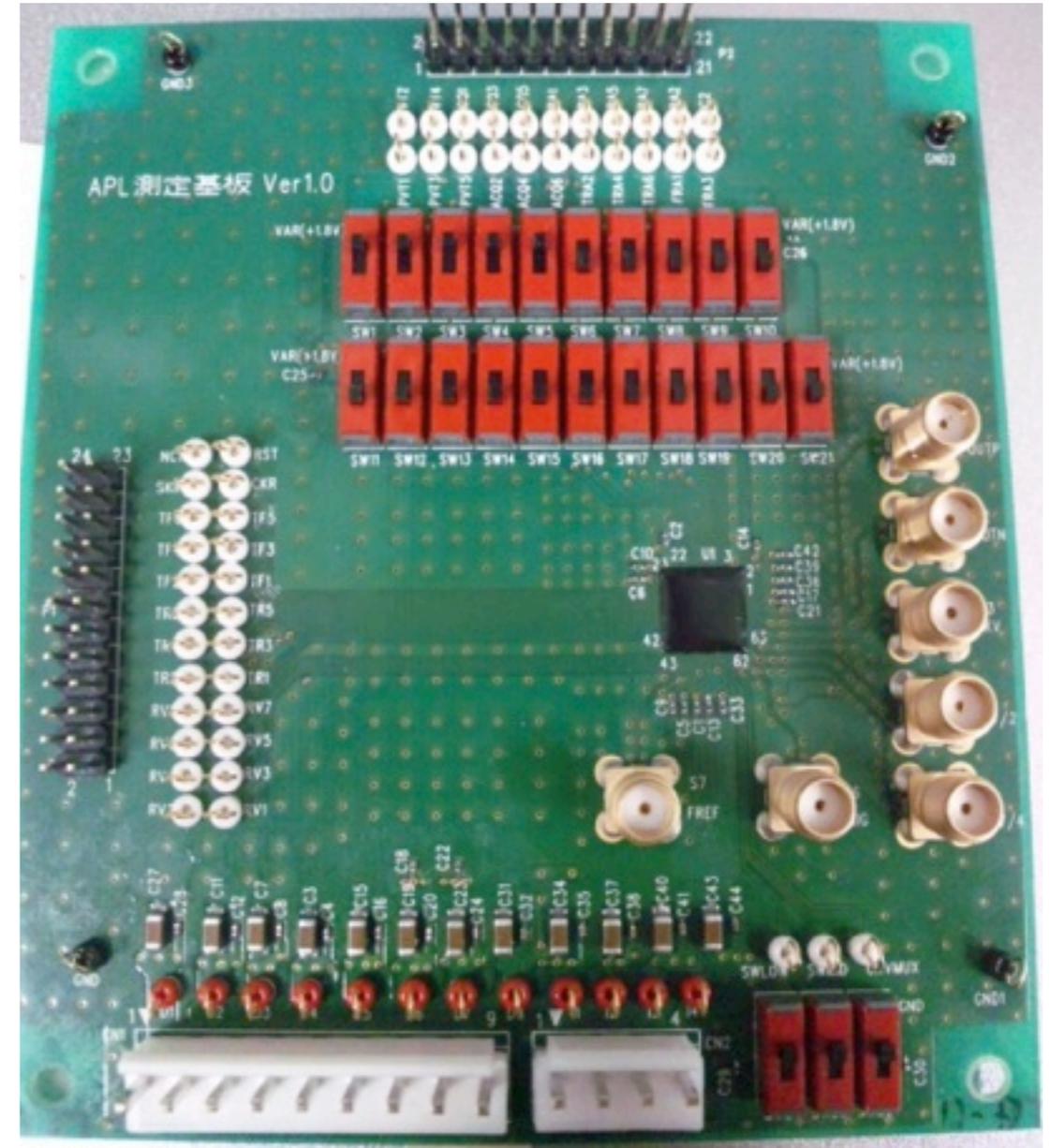
まとめ

測定用チップ

チップ写真(2.5mm×2.5mm)



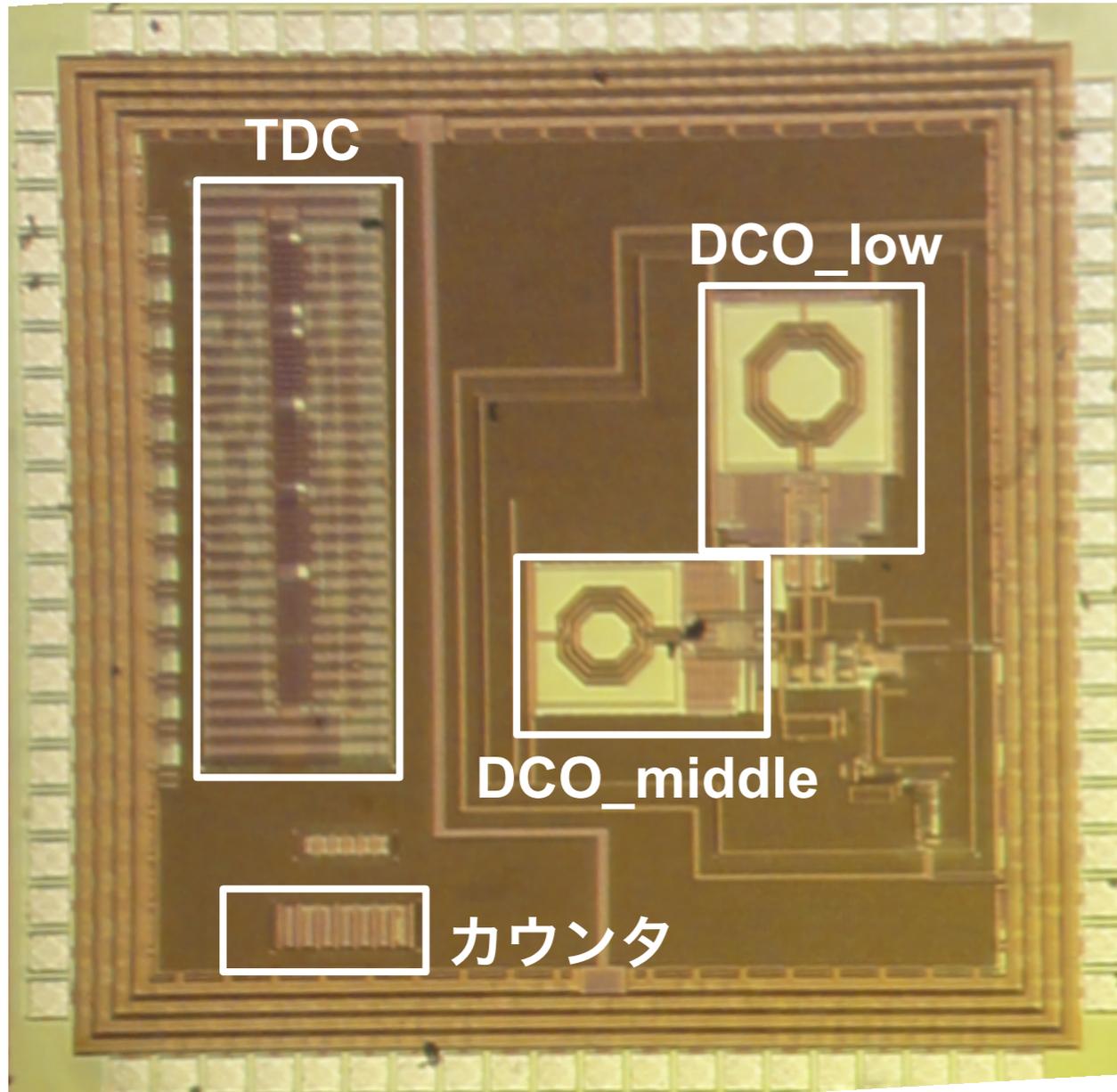
測定基板



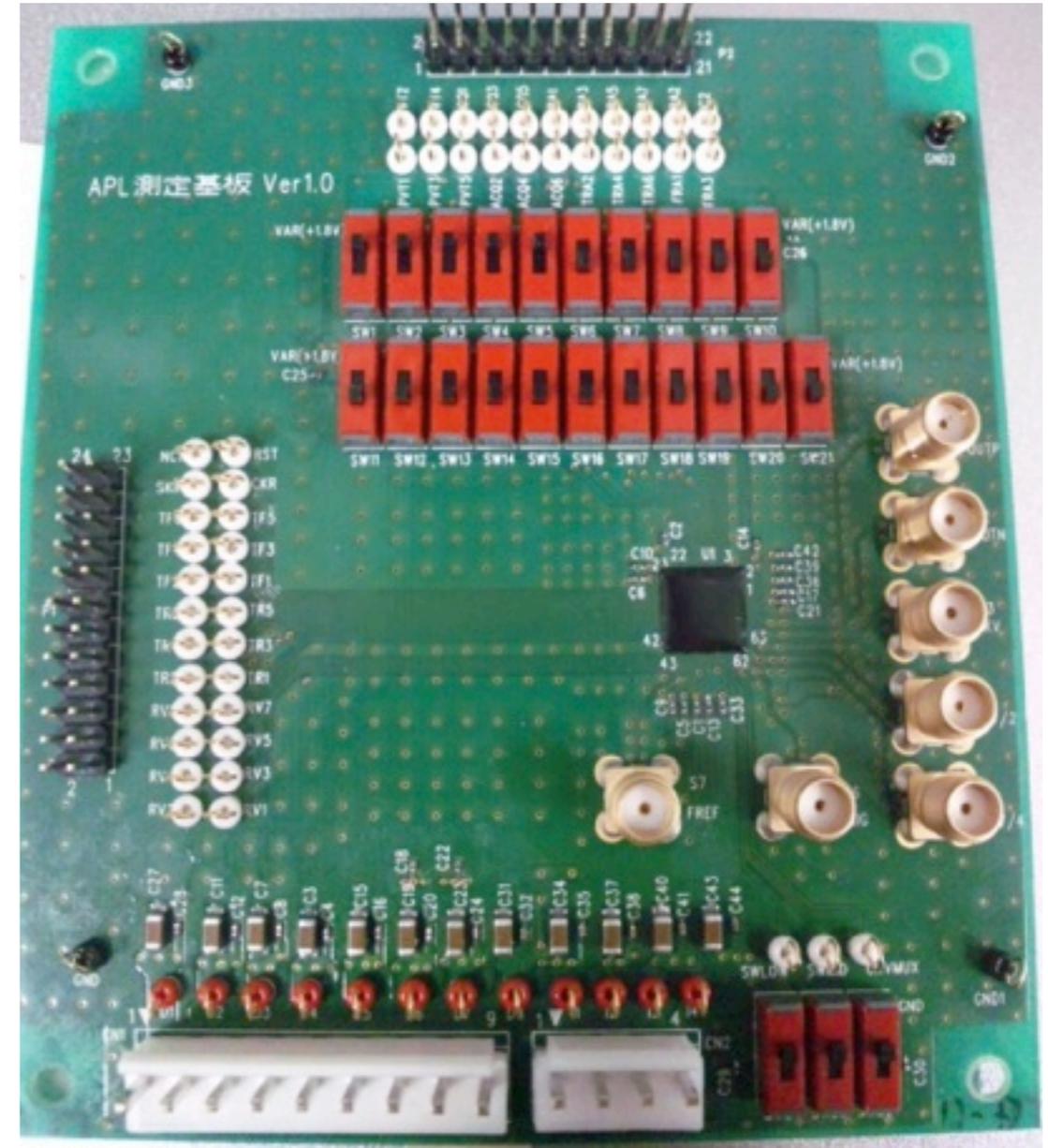
DCO_low, DCO_middle, カウンタ, TDCを試作
(その他のブロックはFPGAにより実装)

測定用チップ

チップ写真(2.5mm×2.5mm)



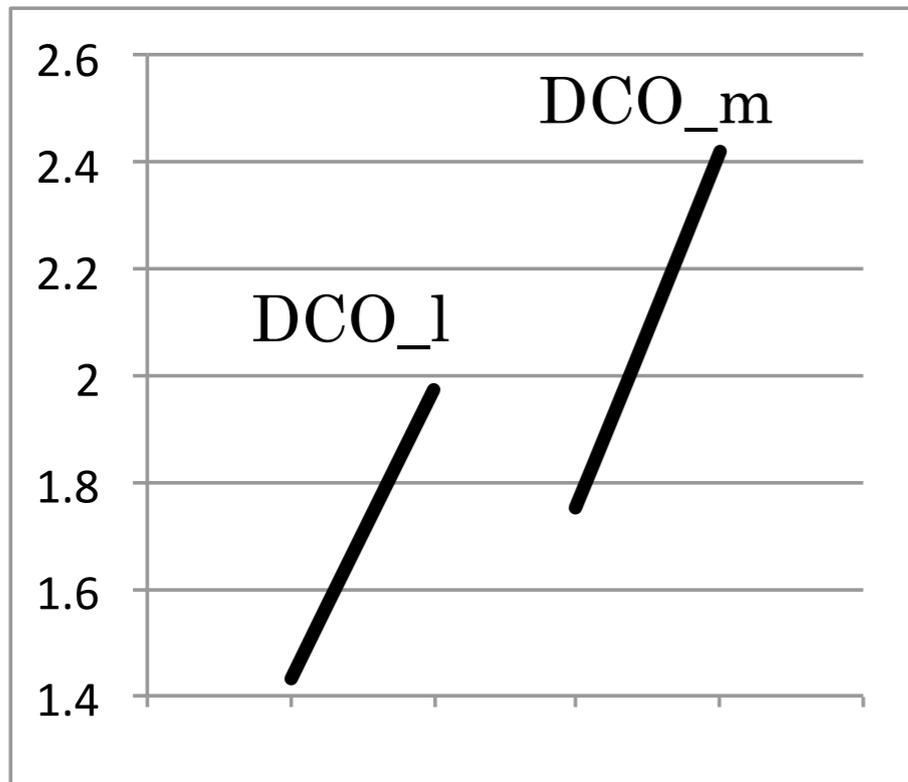
測定基板



DCO_low, DCO_middle, カウンタ, TDCを試作
(その他のブロックはFPGAにより実装)

測定結果

[DCOの出力周波数]
発振周波数[GHz]



周波数可変範囲

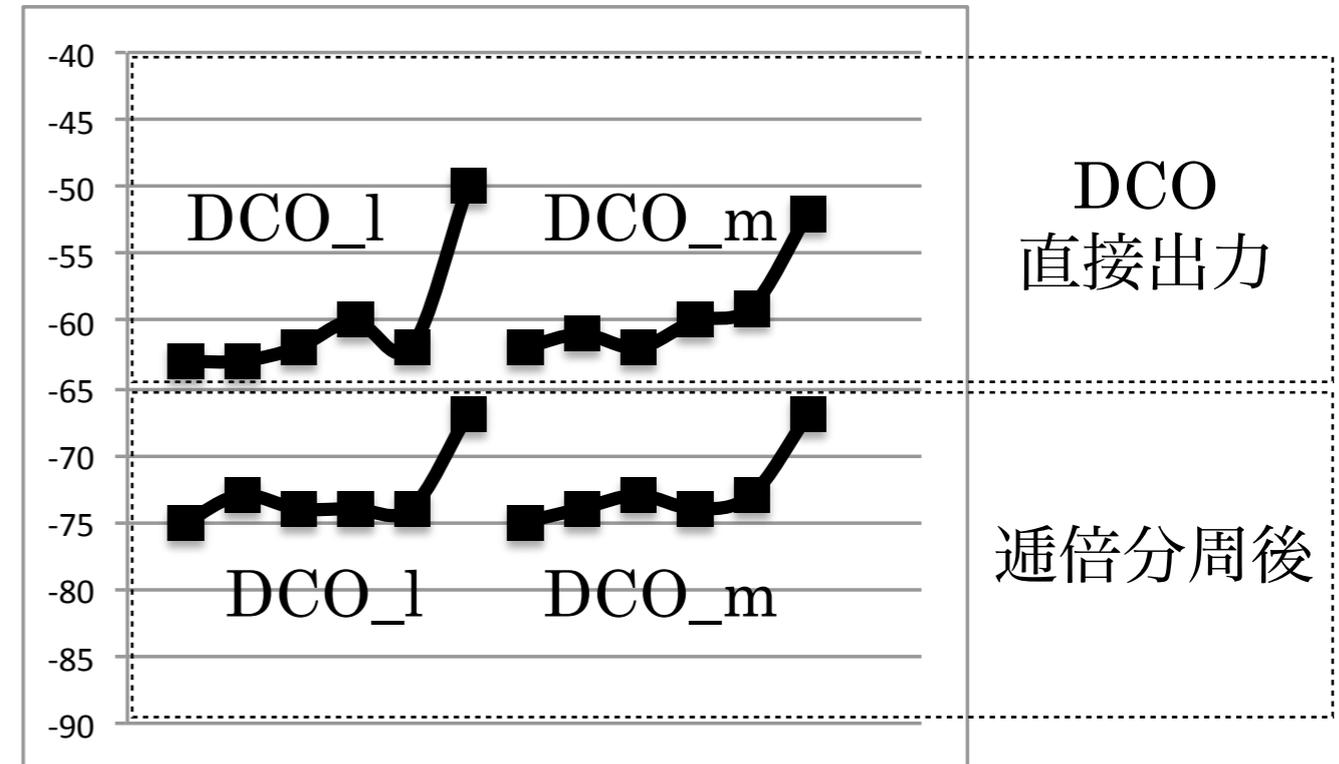
1.43GHz ~ 2.42GHz

middleまでの仕様

1.45GHz ~ 2.4GHz

[位相雑音特性]

位相雑音@10kHz[dBc/Hz]



Phase Noise@10kHz

<-50dBc/Hz (直接DCO出力)

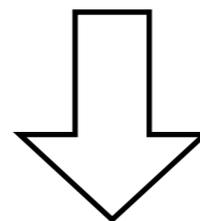
<-67dBc/Hz (逡倍分周後)

< -80dBc/Hz

位相雑音劣化について

原因(1)

バラクタのフラクショナル制御部のロックが不完全

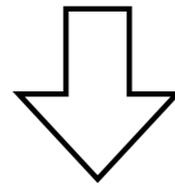


DCOの出力周波数が揺れて
10kHzオフセットの地点が変動

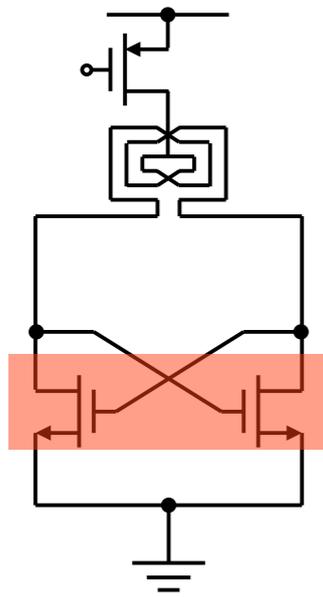
位相雑音劣化について

原因(2)

今回の試作ではDCOを正常動作させて
ADPLL回路の動作を確認することを優先

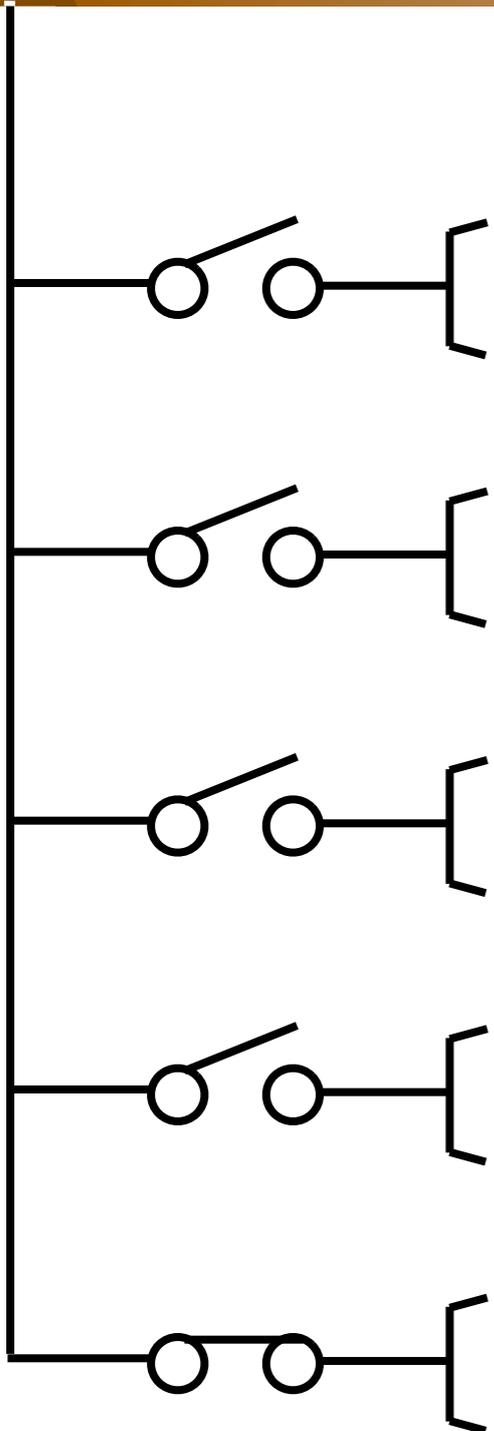


DCOの発振動作を優先するようにsim検討時からパラメータを変更



DCOのnmosを発振が大きくなるように調整

アウトライン



研究背景

ADPLLのシステムとDCOの構成

TVチューナ用ADPLLに向けたDCOの広帯域化

測定結果

まとめ

まとめ、今後の課題

まとめ

- TVチューナ用広帯域ADPLLの DCO の設計、試作を180nm CMOS プロセスを用いて行い、以下の特性を得た

	周波数可変範囲	Phase Noise@10kHz
設計	1.45GHz ~ 3.35GHz	< -79.2dBc/Hz
実測	1.45GHz ~ 2.42GHz	< -50dBc/Hz

今後の課題

- 3つのDCOを搭載したチップの作製
- 位相雑音特性の改善
- ADPLL回路のワンチップ化

質疑応答(1)

Q.Low,Middle,Highと分けるのではなく、ひとつのDCOで帯域をカバーすることはできないのか？

A.180nmというプロセスと、今回定めた帯域と位相雑音の仕様を満たす為には三つに分ける必要があった。

Q.一つ前の発表(湯本)での位相雑音の仕様は-90dBc/Hzなのに、この発表では-80dBc/Hzなのは何故？

A.DCO直接出力からの仕様として-80dBc/Hzを定めた。その後の逡倍分周構成をとることで位相雑音の改善が可能であり、2分周することにより6dBの改善が見込める。今回は4分周構成であったため12dBの改善が見込めるはずであるとして、ADPLL全体としては-90dBc/Hzを仕様とした。

質疑応答(2)

Q.DCOのばらつきについての検討は行っていないのか？

A.検討simのデータとしてはティピカルでの測定時だが、レイアウト時に寄生抵抗などを考慮したシミュレーションを行ったため、ばらつき時にも動作するかどうかの検討は行った。

Q.CKVなどを外に出していると思うが、その辺りも位相雑音の劣化等、大きな雑音源になるのではないか？

A.雑音源になると考えられる。今回はチップからFPGAに信号を出し、さらにFPGAからの信号をチップに戻しているため、影響は無視できない。

質疑応答(3)

Q.all digitalという世界ではLやCは出てこないと思っていたが、そのへんはどうなのか？

A.確かにDCOにはLCを用いており、回路的にはアナログ回路に近い。しかし、制御としてはDCOもデジタルであり、そのような意味で全体の制御としてAll Digitalであると認識している。

Q.消費電力などの値はどうなっている？

A.今回はADPLLを動作させることが目標だったため、消費電力などについては考えていないため、詳しいデータは載せていない。消費電力などは今後の課題として考えていきたい。