

デジタルアシスト ADC の統一理論へむけての一考察

群馬大学大学院 工学研究科
教授 小林 春夫

要約：この論文では微細 CMOS を用いたアナログ・デジタル変換器 (Analog-to-Digital-Converter : ADC) のデジタルアシスト技術を用いた冗長性を用いたデジタル誤差補正 (ii) 自己校正 (iii) ダイナミックマッチング技術に分類する。特に (i), (ii) について各 ADC で用いられている個別技術を一般化し共通構造を考察する。
キーワード：AD 変換器, デジタル誤差補正, 自己校正, 冗長性, デジタルアシスト・アナログ技術, 統一理論

I. はじめに

微細 CMOS ADC の高性能化のためにデジタル誤差補正, デジタル自己校正技術等のデジタルアシスト・アナログ技術の研究が活発に行われている [1]。しかしながらその多くは個別技術を論じており, 統一的な理論体系は未構築の状態である [2]。この論文ではいくつかの ADC アーキテクチャに使用されているデジタルアシスト技術を統一的に説明できる理論の構築を目標に考察を行う。

命題 1：「経営学者 P. F. Drucker の言葉を用いれば, デジタルアシスト技術は微細 CMOS の強みを生かす技術である。」

II. ADC でのデジタルアシスト・アナログ技術の分類

2.1 冗長性を用いたデジタル誤差補正

A. 多数決回路による冗長性の説明

図 1 の多数決回路を考える。入力 (a, b, c) は $a=b=c=1$ または $a=b=c=0$ が正しい動作の場合とする。多数決回路により入力 (a, b, c) のうち 2 つ以上が 1 であれば出力 z は 1 であり, 2 以上 0 であれば z は 0 である。すなわち, a, b, c でどれか一つが誤っていても正解の出力 z を得ることができる。これは冗長性を用いたデジタル誤差補正の典型例であり, a, b, c のでどれが誤っているかを知る必要がなく (計測せずに), 冗長性により正解の出力を得ることができる。

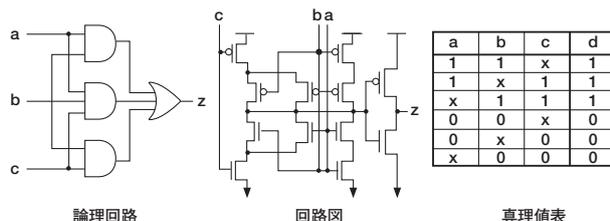


図 1. 多数決回路

B. 冗長性のない ADC (2 進逐次近似 ADC)

逐次比較型 AD 変換器はトラック・ホールド回路, 比較器, DA 変換器, 論理回路とタイミング発生回路から構成される (図 2)。内部回路がほとんどデジタル回路で実現できるので微細 CMOS での ADC 実現に適した構成である。通常の逐次比較 ADC は "天秤の原理" で 2 進探索アルゴリズムに従って動作する。2 進アルゴリズムは N ビット分解能を N 回の比較で実現する。2 進アルゴリズム逐次比較 ADC はむだ (冗長性) がなく非常に効率的な構成であるので, FOM (Figure of Merit) のよい ADC 構成として研究開発が行われている。

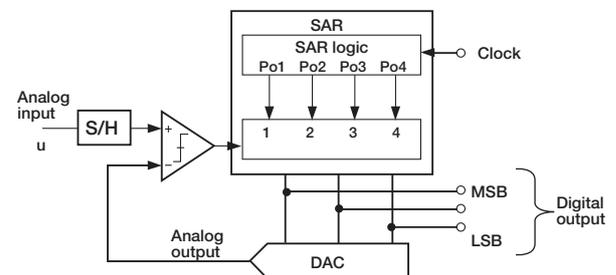


図 2. 逐次比較近似 ADC の構成

C. 冗長性をもつ ADC

N ビット分解能を M 回 ($N < M$) の比較で実現する時間 (ステップ数) の冗長性を用いる非 2 進逐次比較 ADC では途中で比較器判定誤りがあってもデジタル補正可能である [3,4]。ある一つの ADC 2 進出力 Dout 値に対して対応する比較器出力の組は複数個あり得る。これは比較器判定が誤っても正解の Dout が得られる場合があることに対応しており, これが冗長アルゴリズム逐次比較 ADC のデジタル誤差補正の原理である。

この冗長アルゴリズムを用いると2進アルゴリズムの場合より逐次比較ADCが高速・低消費電力化が実現できることを示した [3,4].

このほかに冗長性によるデジタル誤差補正を用いるADCとして、3個の比較器を使用する逐次比較近似ADC (空間の冗長性, 図3) [5], 折り返し補間型ADC (上位と下位ビット間のデジタル補正) [6], パイプラインADC等がある. 図4, 5のパイプラインADCでは初段のsub ADC内の比較器オフセットの影響, 段間アンプのゲイン誤差の影響を2段目のADCの冗長性によりデジタル誤差補正している.

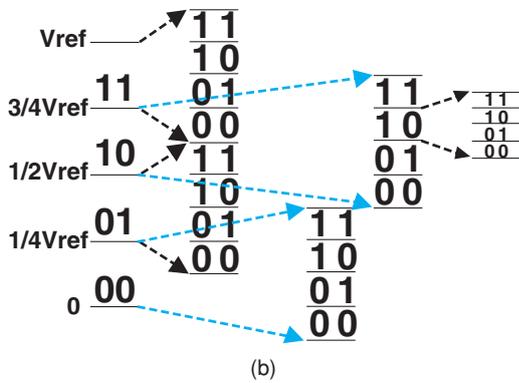
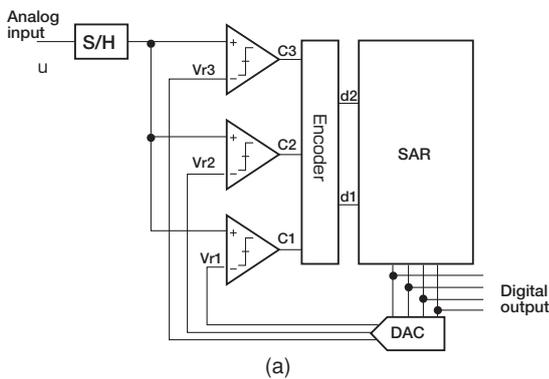


図3: 3個の比較器を使用する逐次比較ADC [4]. (a) 構成. (b) 動作.

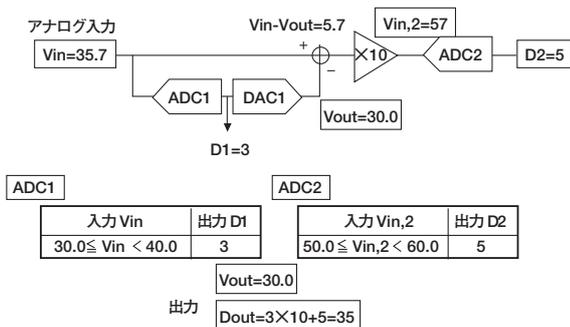


図4: パイプラインADCの構成と動作.

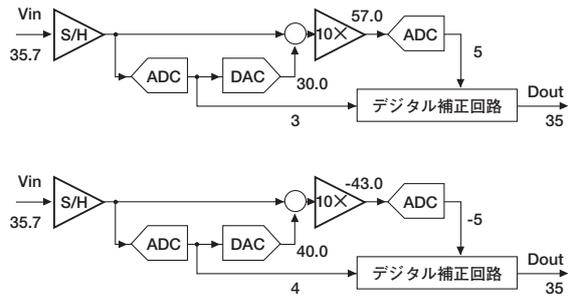


図5: パイプラインADCでの2段目ADCでの冗長性によるデジタル誤差補正の原理.

2.2 デジタル自己校正

一方, 自己校正技術は回路の非理想特性を自分自身の回路で計測しそのデータをもとに測定データを補正する. 自己校正技術は電子計測器では古くから用いられているが, 近年その考え方がLSI内の回路にも用いられるようになってきている.

A. フォアグラウンド自己校正:

自己校正のための時間を設け, この間は通常動作は停止している. パイプラインADCで後段の内部sub-ADCで初段のDAC, 残差アンプの誤差を計測しメモリに記憶し, 通常動作の際にそのデータでAD変換データを補正する等が典型的な例である (図6). 逐次比較近似ADCでもフォアグラウンド自己校正技術は用いられている.

B. バックグラウンド自己校正:

自己校正のための時間を設けず, 通常動作時に自己校正も並行して行う. 統計的・論理的な一貫性から特性誤差を推定する. 最初に一定の収束時間が必要である. その後は時間とともに温度, 電源電圧変化にともなう回路の特性変動にも対応できる. 統計的な手法に加えて, 異なる論理が一貫するように誤差推定を行うことで収束時間を短くする技術 (Split ADC) も提案されている [7].

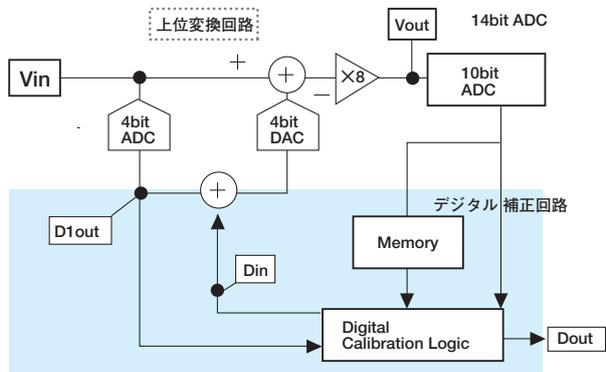


図6: フォアグラウンド自己校正パイプラインADCの構成.

フォアグラウンド自己校正, バックグラウンド自己校正のアルゴリズムは大きく異なる.

バックグラウンド自己校正を用いる ADC の学会発表は多いが, 実際に商用化されている例はまだ少ない.

2.3 ダイナミックマッチング技術

回路・構成・動作の冗長性を利用し, 素子・回路特性のばらつきを統計的に時間平均化する手法である [8].

III. ADC デジタル誤差補正の共通の構造

いくつかの ADC 構成でのデジタル誤差補正技術を見てみると, 次のような共通なことがある.

命題 2:「1つの2進デジタルコード ADC 出力に対して, 複数の「比較器出力の組」が対応するとき, 冗長性によるデジタル誤差補正が実現できる。」

2進逐次比較近似 ADC 以外の ADC ではほとんどの場合が冗長性を持っていよう. また筆者の経験から次のことが言えると考えている.

命題 3:「ADC 内に (ある程度の) 冗長性を持たせると各回路構成要素への要求が緩和され, ADC 全体として性能向上を達成できる。」

とくに複数の回路ブロックで全体 ADC が構成されているとき, 回路ブロック間の接続部で冗長性を持たせると設計が容易になる.

設計上注意すべき点として次のことがある. 全ての比較器パターンが各々2進デジタルコード ADC 出力に対応するように設計されていることが望ましい. この設計がなされていないとき予期せぬ比較器出力パターンのとき, 大きな ADC 出力誤差となりえる. フラッシュ ADC でバブルエラー対策 (図7) がなされていないときに, バブルエラーが生じたとき等がそれに対応する.

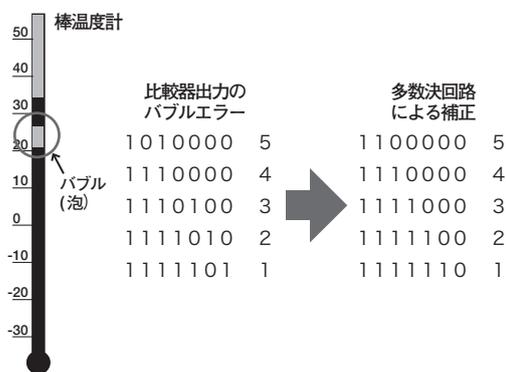


図7: フラッシュ ADC でのバブルエラー

IV. デジタル自己校正の理論的考察

パイプライン ADC のフォアグラウンド自己校正では, 後段の sub-ADC で初段の内部 DAC の特性を測定し, その値をメモリに記憶して通常動作時に出力データを補正することが行われる. なぜ理想的でない (分解能・精度が限られた) sub-ADC で測定して全体として正しい値が得られるか (自己校正ができるか) を考察する.

内部 DAC をスイッチトキャパシタ回路で構成する場合を考える (図3). 各容量値を後段の sub-ADC で測定する場合, 容量が分割されているので各容量の許容誤差に対する測定のダイナミックレンジを小さくできる (Divide and conquer). これが分解能が低く精度の悪い sub-ADC で測定しても自己校正ができる定性的な理由であろう.

一方, これらの容量をオペアンプで結合して内部 DAC を構成する場合のオペアンプ有限ゲイン等による誤差 (superposition error) も必要に応じて測定・補正して自己校正を実現しなければならない. 逆にこれらの観点から, 自己校正実現のための後段の sub ADC への要求性能を求めることができる.

命題 4:「デジタル自己校正の理論的基礎は divide and conquer および superposition error で説明できる。」

V. デジタルアシスト ADC の設計検証・テストの問題

アナログ部の非理想要因を回路, 動作の冗長性によりデジタル誤差補正する技術は, 量産時の歩留まりを考慮した際の設計検証およびテストは難しくなる [9]. 冗長性を全てテストする必要がある場合, ADC トータル性能の一部としてテストすればよい場合等の分類の考察も必要であろう.

VI. ADC の可観測性向上によるテスト・診断容易化

多くの場合 ADC 出力は最終の2進コードのみであり内部の比較器の値は読めないことが多い. しかし, 多くの ADC では冗長性をもち, 一つの2進コード出力に対して複数の比較器出力の組をもつ. そこで SOC 内 ADC で, 全ての比較器出力を全てのタイミングで観測し SOC 内部のデジタル回路を利用して ADC の特性を推定することがテストおよび診断容易化を実現する技術の候補になり得よう [10].

VII. まとめ

微細 CMOS ADC での回路や動作の冗長性によるデジタル誤差補正技術の共通構造を検討した。冗長性により ADC 設計が容易になり、結果として ADC が高速化・低消費電力化できる。これを一般化して考察すると、冗長性をもった回路システムでは冗長性によりある程度の誤動作・回路の非理想要因を許容するので、各構成要素・動作に対する要求が緩和され、結果的に全体としてより効率が良くなると言えよう。またこの技術を用いた ADC の設計検証・テストの問題も重要である。

さらに ADC 内回路を用いて ADC 構成要素の特性誤差を測定し補正するという「デジタル自己校正」の理論的基礎を考察した。

今後もこれらの技術について体系的・俯瞰的な見方で検討していきたい。

参考文献

- [1] 小林春夫「ナノ CMOS 時代のアナログ回路 - デジタルアシスト AD 変換技術を中心として」、第 22 回 回路とシステム (軽井沢) ワークショップ (2009 年 4 月)。
- [2] 小林春夫「ADC デジタル誤差補正技術の統一理論の一考察」電気学会 電子回路研究会 (2011 年 3 月)
- [3] T. Ogawa, et. al., "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals (Feb. 2010).
- [4] 小川智彦 他, 「逐次比較近似 ADC 比較器・オフセット影響の冗長アルゴリズムによるデジタル補正技術」, 電子情報通信学会誌 和文誌 C (2011 年 3 月)。
- [5] M. Hotta, et. al., "SAR ADC Architecture with Digital Error Correction", IEEJ Trans. on Electrical and Electronic Engineering (Nov. 2010).
- [6] H. Kobayashi, "Error Correction Algorithm for Folding/Interpolation ADC", IEEE ISCAS (May 1995).
- [7] T. Yagi, et.al. "Background Calibration Algorithm for Pipelined ADC with Open-Loop Residue Amplifier using Split ADC Structure", IEEE APCCAS (Dec. 2010).
- [8] H. San, et.al., "A Second-Order Multi-bit Complex Bandpass $\Delta \Sigma$ AD Modulator With I, Q Dynamic Matching and DWA Algorithm", IEICE Trans. Electronics (June 2007).
- [9] 小林春夫, 山口隆弘「デジタルアシスト・アナログテスト技術」電子情報通信学会 集積回路研究会 (2010 年 7 月)。
- [10] T. Ogawa, et. al., "SAR ADC That is Configurable to Optimize Yield", IEEE APCCAS (Dec. 2010).

おわりに

筆者は AD 変換器の研究開発を長年行ってきている。自分自身の研究を振り返り、また論文・特許調査をすると、その性能向上の新しいアイデアは設計者の思いつき・個別技術の集まりで、体系的ではないように日ごろ思っていた。そこで近年のデジタルアシスト技術を用いた AD 変換器の方式の様々な提案を体系化できないかと考えている。今回の小論文は電子回路分野のものとしては少し変わった書き方で恐縮ではあるが、応用科学学会で議論するに適していると思ひ、寄稿した次第である。

群馬大学大学院 工学研究科 教授 小林 春夫

アナログ・デジタル混載集積回路設計、信号処理の研究教育に従事。とくにデジタルアシスト・アナログ技術に関心をもつ。応用科学学会では末席に名を連ね、科学と工学の各役割、工学の社会性、工学と創造、電気電子工学分野でデバイス・材料、回路、システム、ソフトウェアまで全てを見通せる総合化・体系化を考えていきたい。

座右の銘「大学は哲学を創出し発信するのが使命」。

