

専門コンファレンス 4  
電子計測技術の最前線

# ミックスドシグナルSOC テスト技術の動向と 最近の研究成果

群馬大学大学院 電気電子工学専攻  
小林春夫

k\_haruo@el.gunma-u.ac.jp  
<http://www.el.gunma-u.ac.jp/~kobaweb/>

# 発表内容

1. ミックスド・シグナルSoCテスト技術の動向
  - ミックスド・シグナルSoCテスト技術
  - アナログ回路部テストの問題点
  - アナログ回路のテスト容易化技術
2. ADCテスト信号発生技術の開発事例
  - アルゴリズム 1: 位相差切り替え法
  - アルゴリズム 2:  $\Delta\Sigma$ DAC使用
  - アルゴリズム 3: プリデステーション
3. まとめ

# 発表内容

## 1. ミックスト・シグナルSoCテスト技術の動向

### ● ミックスト・シグナルSoCテスト技術

● アナログ回路部テストの問題点

● アナログ回路のテスト容易化技術

## 2. ADCテスト信号発生技術の開発事例

● アルゴリズム 1: 位相差切り替え法

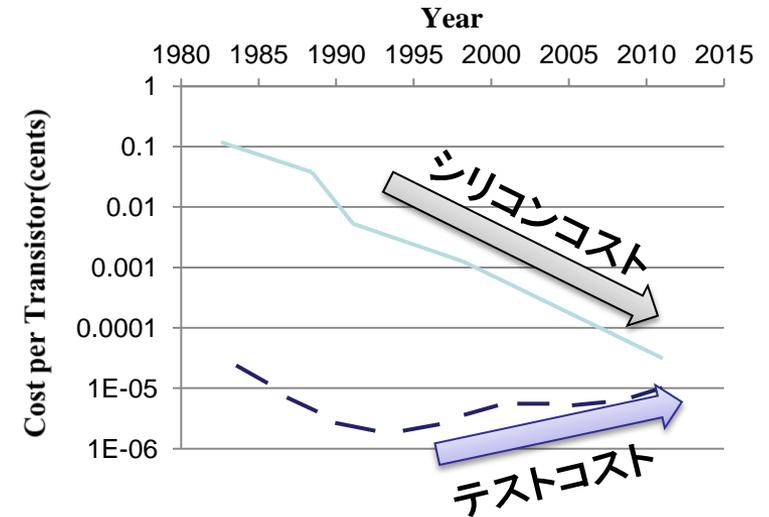
● アルゴリズム 2:  $\Delta\Sigma$ DAC使用

● アルゴリズム 3: プリデステーション

## 3. まとめ

# LSIテストはコストが最も重要な評価関数

- 微細化・高集積化でシリコンコストは低下、テストコストは増加。
- 「コスト」の概念はミクスツシグナルSOCのテストの課題を明確にする。
- LSIテスト技術はすべて「コスト」に収束する。



LSI大量生産と出荷テスト

# 「テスト」と「測定」は異なる

- 製造出荷テスト: 100% エンジニアリング

“Go” or “No Go” の判定

例: DUT と “Golden Device” の性能比較でよい。

LSIテストは生産・製造技術である。

エンジニアリングセンスが必要。

LSIテストは低コストでなければならない

- 測定 : 50% サイエンス, 50% エンジニアリング

正確な性能評価

# LSIテストのマネージメント戦略

---

- 戦略1：  
アナログDFT, BIST を開発し  
低コストATEを用いてテストコスト削減
- 戦略2：  
高性能ミクスツシグナルATEと  
そのノウハウを用いて、  
素早くLSIを市場投入して利益を得る

DFT: Design for Testability

BIST: Built-In Self-Test

ATE: Automatic Test Equipment

# LSIテスト技術 人的リソース

---

- 人の協力が重要

- 回路設計者
- テスト技術者
- ATE メーカー技術者
- 経営者
- 大学での研究者

- アナログテスト容易化技術の研究・開発はLSIテスト技術に加えてアナログ技術のバックグラウンド必要

- 現状、アナログRF回路設計とそのテスト技術の研究者、学会は別のグループで交流は限定

# 低コストテスト

---

## 理想:

- 全てのチップが動作. テストしない

## 実際:

- 低コスト ATEを使用
- テスト時間が短い
- 同時に多数のチップを並列テスト
- DFT, BISTの開発期間短く、チップ面積小

## テストによる付加価値:

- 不良品をださない
- 故障診断 (車載応用で重要)
- 歩留まり改善

# 低コストATE

---

- **デジタル ATE**
  - 任意波形発生器 (AWG) 等のアナログオプションを使用しない
  - 入出力ピンがデジタル
- アナログATEのデジタルATEへの置き換え  
 マルチサイトテストが可能になる
- **中古ATE**
- **内製ATE**

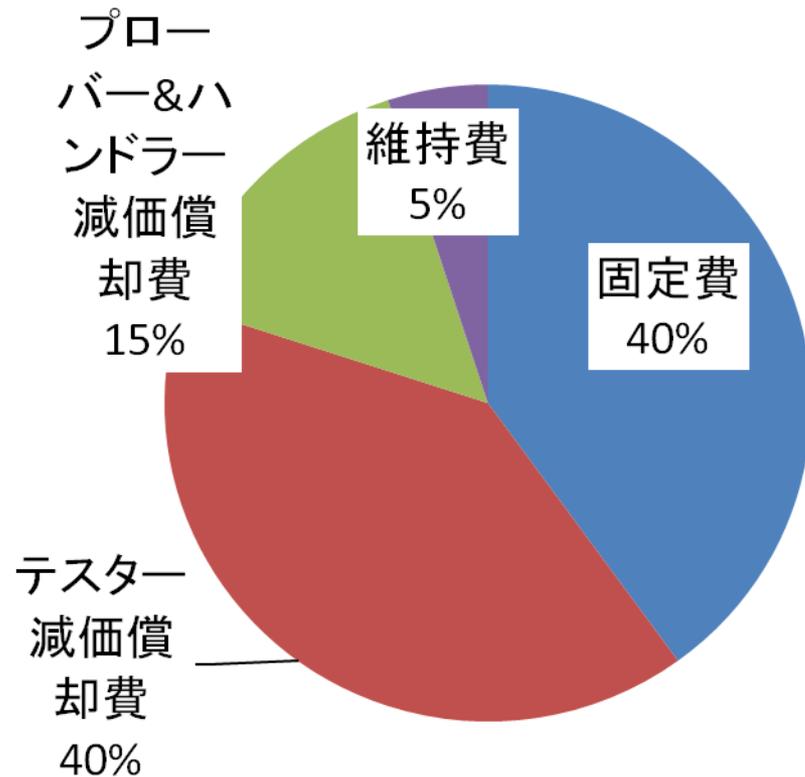
テスト時間が短いことは以前として重要

AWG: Arbitrary Waveform Generator

# テストコスト低減にテスト時間は重要

テストコスト =

時間当たりテストコスト



X

テスト時間

群馬大学非常勤講師  
(元)アジレント・テクノロジー  
山田庸一郎先生 資料

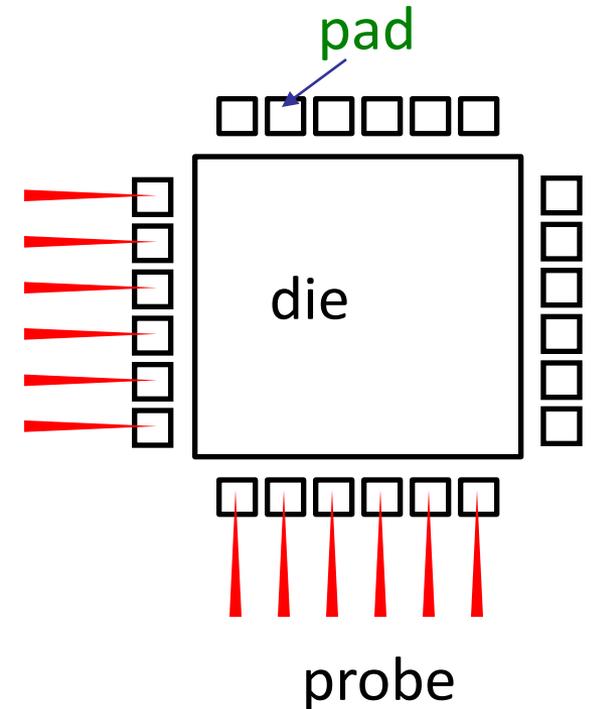
# ウェーハーテスト

- パッケージ前のウェーハーテストは低コスト化につながる.
  - プロービングの問題点
    - プロービングのオン抵抗
    - PADがダメージを受ける
    - 高周波信号のプロービングは高コスト
- ⇒ 歩留まり改善後に行わない.
- 複数チップ同時のプロービングは難しい.

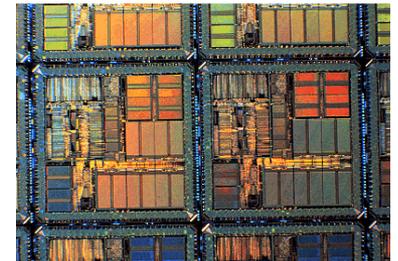
## ウェーハーテスト研究事例

低コスト・プローブに電流制限

⇒ DUTでテスト時にピン最大電流を抑える



From Computer Desktop Encyclopedia  
Reproduced with permission.  
© 1996 Texas Instruments, Inc.



# 発表内容

## 1. ミックスト・シグナルSoCテスト技術の動向

- ミックスト・シグナルSoCテスト技術
- アナログ回路部テストの問題点
- アナログ回路のテスト容易化技術

## 2. ADCテスト信号発生技術の開発事例

- アルゴリズム 1: 位相差切り替え法
- アルゴリズム 2:  $\Delta\Sigma$ DAC使用
- アルゴリズム 3: プリデステーション

## 3. まとめ

# アナログ回路テストの問題

- 汎用的テスト容易化手法がない

cf. デジタルのテスト容易化:

スキャンパス法、シグネチャアナリシス法

- **アナログ回路毎**

**その性能指標毎**に対応しなければならない。

例: ADCのテスト

DC線形性テスト → 高精度ランプ波発生

高周波特性テスト → 低クロックジッタ

高周波入力

- アナログ、RF, 高速IO, パワーマネージメントの  
テスト容易化技術はそれぞれ異なる

# アナログ回路テストの問題

- 実用的な故障モデル(fault model)がない
- 故障(catastrophic fault)だけでなく、  
パラメトリック故障(基本動作はしているが性能足りない)  
を検出する必要あり。

➡ 「測定」に近い

Prof. A. Chatterjee 代替テスト (Alternative Test)

Specification-based ↔ Alternative ↔ Defect-based Test

仕様ベース  
テスト

仕様ベースと等価  
測定簡単なパラメータ

故障ベース  
テスト

# アナログDFT, BIST付加の問題

---

- 負荷容量等で回路性能劣化
- チップ面積(チップコスト)増加
- DFT, BISTの故障で歩留まり低下
- データ転送(シリアルデータでのシフトレジスタへのモード設定)時間が問題になり得る
- 被テストアナログ回路より  
DFT, BIST への性能要求が厳しくなりがち

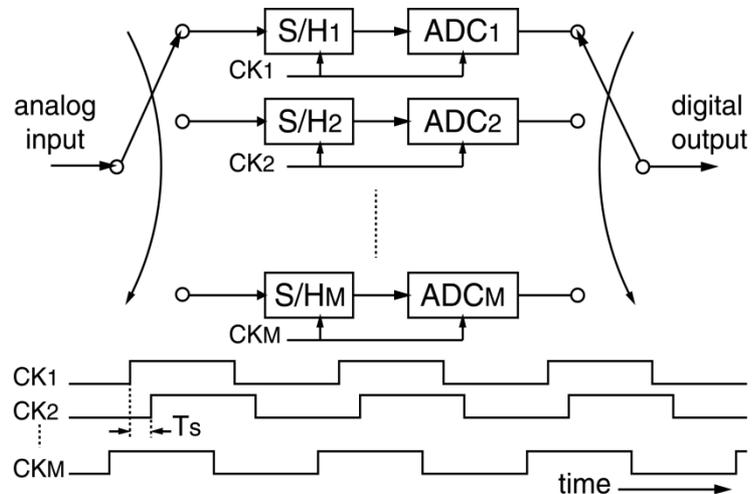
アナログDFT, BIST は簡単である必要あり

# ミクストシグナルATEメーカー

- アナログDFT, BIST はミクストシグナルATEメーカーにも有益
- アナログ部の開発はコスト高
- ATEの開発には「今日の技術で明日の(高性能な)チップをテストする」のジレンマあり。革新的技術必要。



インターリーブADCはATEで今日のADCを用いて超高速サンプリングを実現する



# 発表内容

## 1. ミックスト・シグナルSoCテスト技術の動向

- ミックスト・シグナルSoCテスト技術
- アナログ回路部テストの問題点
- アナログ回路のテスト容易化技術

## 2. ADCテスト信号発生技術の開発事例

- アルゴリズム1: 位相差切り替え法
- アルゴリズム2:  $\Delta\Sigma$ DAC使用
- アルゴリズム3: プリデステーション

## 3. まとめ

# アナログテスト容易化7つの定跡

- ① オーバーサンプリング ( $\Delta\Sigma$ 変調技術)
- ② アンダーサンプリング技術  
(等価時間サンプリング技術)
- ③ デジタル技術を多用
- ④ オンライン校正、自動ゼロ技術
- ⑤ 差動信号等、信号の差を利用
- ⑥ 被テスト回路内の冗長性を  
テスト基準として使用
- ⑦ SOC内回路ブロックをテスト時に利用  
(ループバックテスト等)

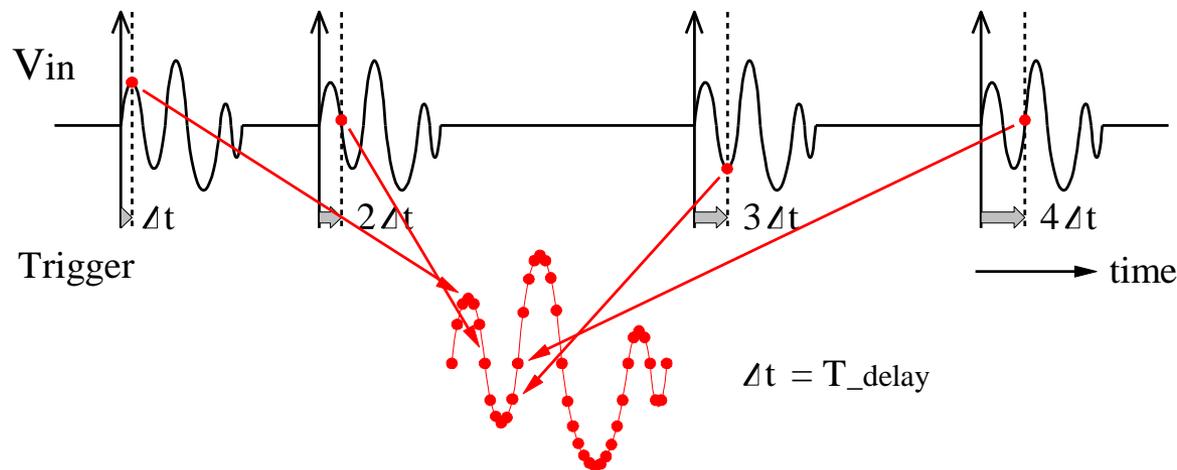
K. Arabi,  
Qualcomm 社  
VTS2010 より

# 等価時間サンプリング技術

- 製造出荷時テスト:

LSI入力信号は制御可能(繰り返し信号)

→ 等価時間サンプリング使用可

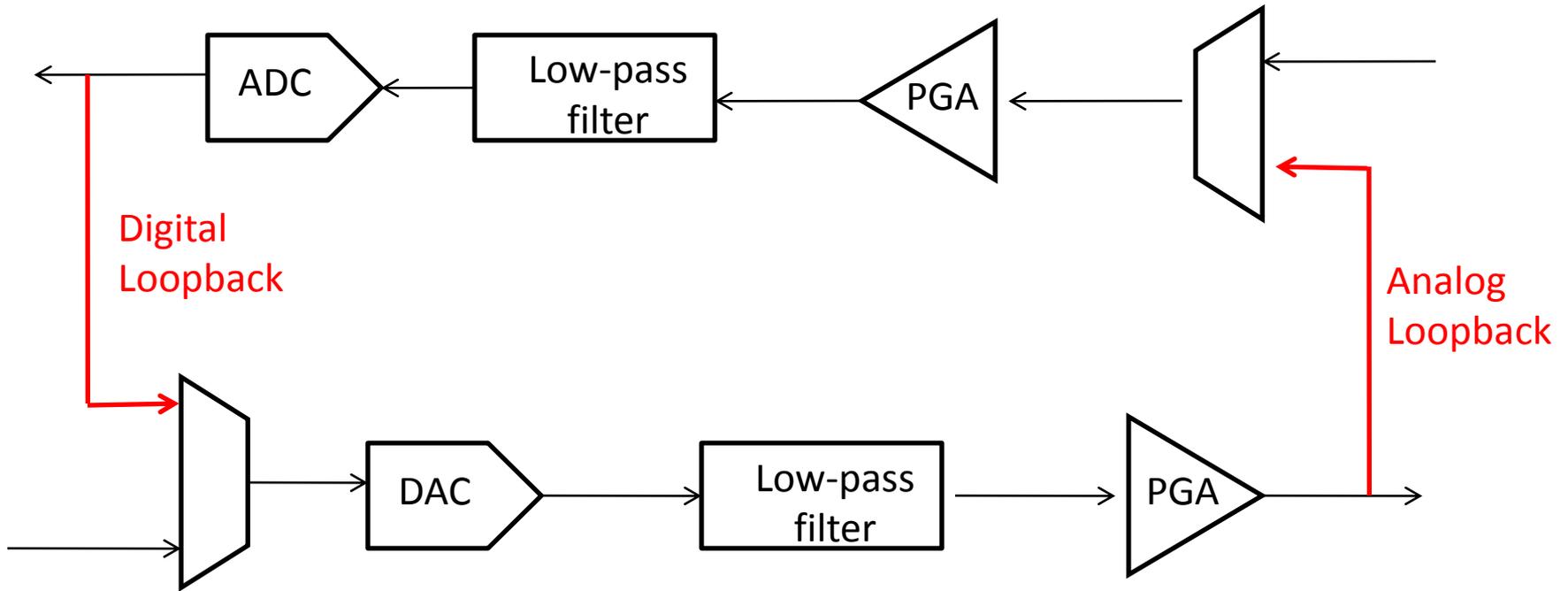


繰り返し波形の  
波形再構成

- 測定: 入力信号は未知

等価時間サンプリングで高周波信号を低コスト・テストが可能

# ループバックテスト



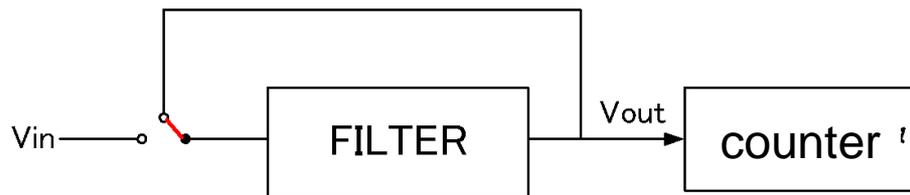
**対称的な回路で使用可能**

SOC内に  
ADC, DAC  
送信回路、受信回路を持っている場合等

群馬大学非常勤講師  
(元)アジレント・テクノロジー  
山田庸一郎先生 資料

# アナログ BIST の例

- 信号発生に $\Delta\Sigma$ 変調使用
- 時間領域アナログ信号処理
- アナログバウンダリスキャン
- 電源線を用いる
- テスト時に発振を利用(アナログフィルタ、オペアンプ)



- “可制御性”, “可観測性” は有用な概念.

# アナログテスト技術の展開

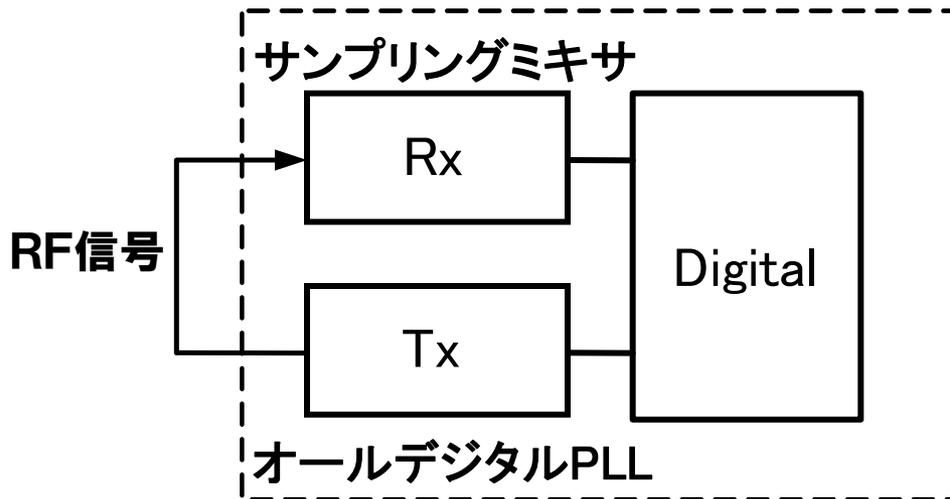
- 個別アナログ回路のテスト容易化だけでなく、SOCシステム全体としてのテスト容易化設計が要
  - 多くの側面の技術を用いる
    - 回路技術
    - BIST, BOST & ATEの協調
    - 信号処理
    - SOC 内のリソース
      - μP コア, メモリ, ADC/DAC
- 特に、SOC内のデジタルを利用する  
微細化で概念が変わる

**BOST:**  
Built-Out Self-Test

# いくつかの話題(1) デジタルRFプロセッサ

テスト容易化のためのアーキテクチャ  
デジタルテスターでテスト可能

## 携帯電話送受信機ICのテスト容易化



サンプリングミキサ受信機  
ADPLL 送信機で  
携帯電話送受信ICの  
ループバックを可能に

## ループバックテスト構成

- 携帯電話ではRx, Tx のキャリア周波数が異なる。  
➡ 直接にはループバックが使用不可
- テスト時にRx, Tx のキャリア周波数を合わせ得る。

# いくつかの話題 (2)

---

## ● BIST, BOST, ATE の協調

- BIST: 高速、低精度、簡単な回路
- BOST: FPGAでデジタル実現
- ATE: 低速・高精度基準信号の供給

## ● パワーマネージメント

- LSI内 異なる電源電圧領域つなぎの回路部分
- 電源立ち上げの際にBGRを急速に立ち上げる

## ● アナログRF回路の自己校正とテスト

「これは回路研究者とテスト研究者の接点」

(Prof. A. Chatterjee, 米ジョージア工科大)

# いくつかの話題 (3)

---

- 並列テスト

LSI内の各ブロックを同時・並列にテストして  
テスト時間を短縮

新概念 マルチ・ドメイン・テストも提案

- オンチップ計測器

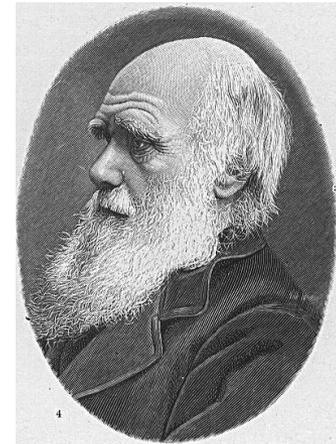
ジッタ等はチップ外からは測定できないレベル

# いくつかの話題 (4)

## ● 適応テスト (Adaptive Test)

DUTの途中のテスト結果に応じてテスト項目を変更/  
省略して短時間で効率のよいテストを行う

激変する環境下で生き残る生物。  
強い者でもない、  
賢い者でもない。  
変化に適応する者だけが  
生き残る。



Charles Robert  
Darwin 卿

# いくつかの話題 (5)

---

- **アナログテストバス**

T型スイッチによるアイソレーションの確保  
バッファ回路

- **アナログバンダリスキャン**

テスト時にピン数が少ない

➡ 並列テスト可能の観点から見直す  
コンパレータ出力をうまく利用

# 発表内容

## 1. ミックスド・シグナルSoCテスト技術の動向

- ミックスド・シグナルSoCテスト技術
- アナログ回路部テストの問題点
- アナログ回路のテスト容易化技術

## 2. ADCテスト信号発生技術の開発事例

- アルゴリズム 1: 位相差切り替え法
- アルゴリズム 2:  $\Delta\Sigma$ DAC使用
- アルゴリズム 3: プリデステーション

## 3. まとめ

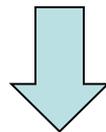
# 紹介する研究のスタンス

---

Q: 「1番ではなく 2番ではだめなのですか。」

A: 「5番でも10番でもよいです。

比較的廉価で、  
最高性能ではないものを用いて、  
最高の仕事をしますよ。」



**エンジニアリングの精神**

# この研究は半導体理工学研究センター(STARC)との共同研究として行われた。

# 研究目的

低性能(低コスト)信号発生器で  
適正な品質のAD変換器テストを実現

低歪みの正弦波、2トーン正弦波信号を  
低コストAWGで生成



大量生産時のLSIテストに効果大

AWG (Arbitrary Waveform Generator: 任意波形発生器)

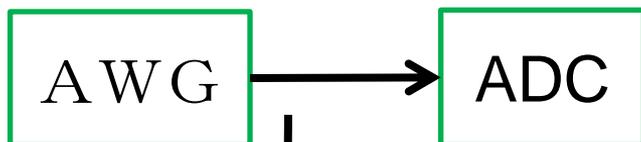
# 研究背景

ADCの線形性テストが必須

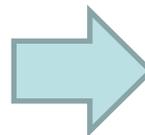
従来信号発生手法 ⇒ 歪成分も生成



歪の小さい信号発生手法を提案



従来手法(歪み大)

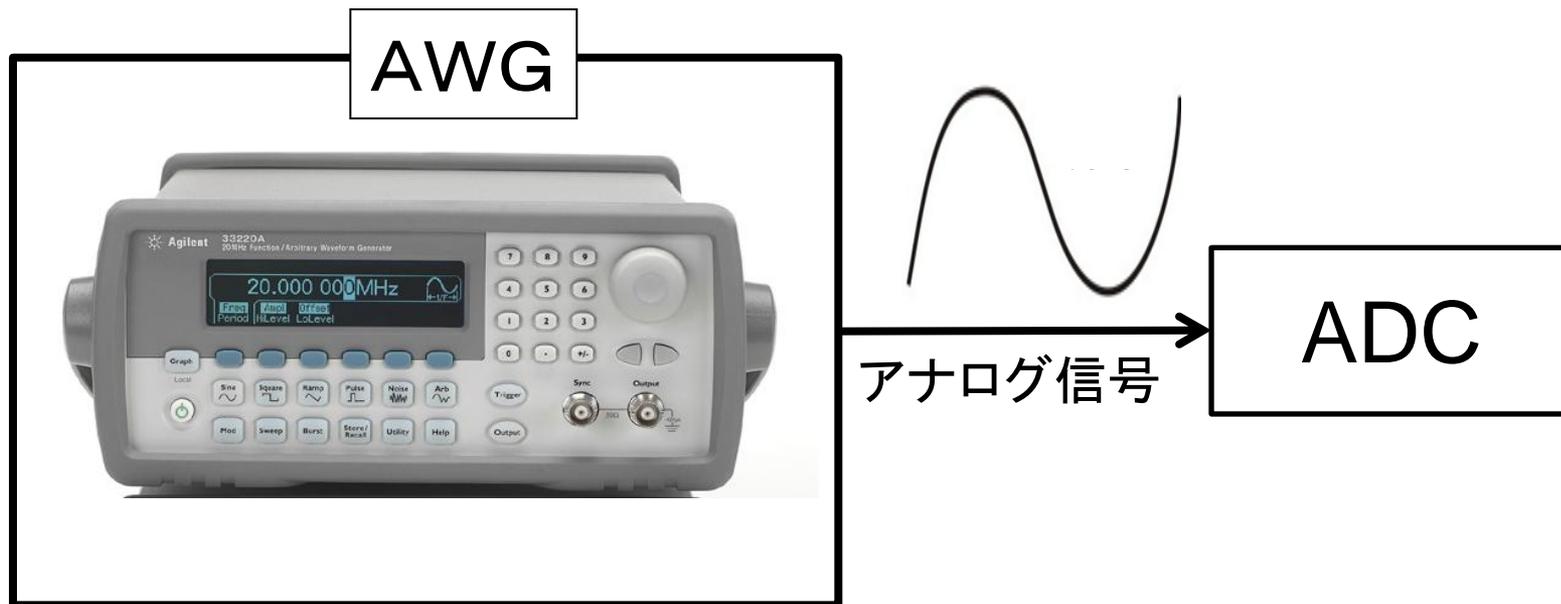


提案手法(歪み小)



# AWGによるテスト信号発生

AWG (Arbitrary Waveform Generator : 任意波形発生器)



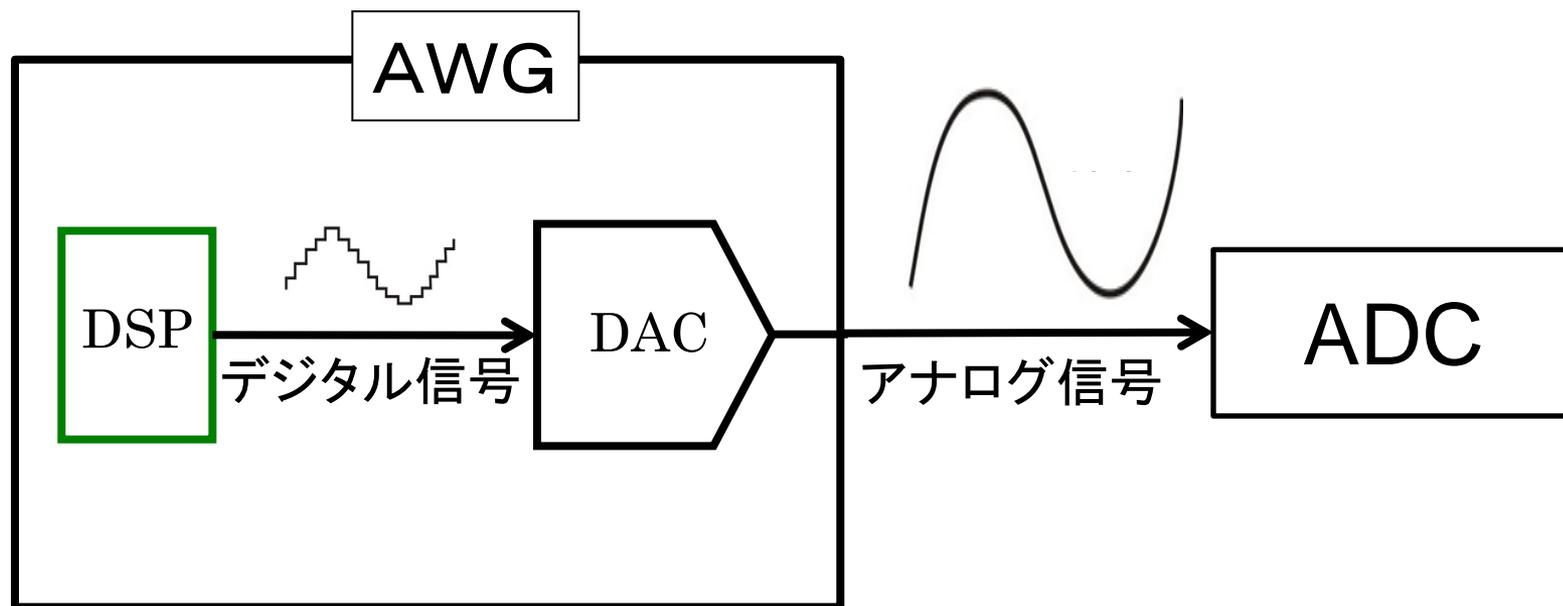
DSPでデジタル信号を生成しDACでアナログ信号に変換

テスト信号として純粋な単一正弦波・2トーン信号を発生

低コストAWG内DACには非線形性が存在

# AWGによるテスト信号発生

AWG ( Arbitrary Waveform Generator : 任意波形発生器)



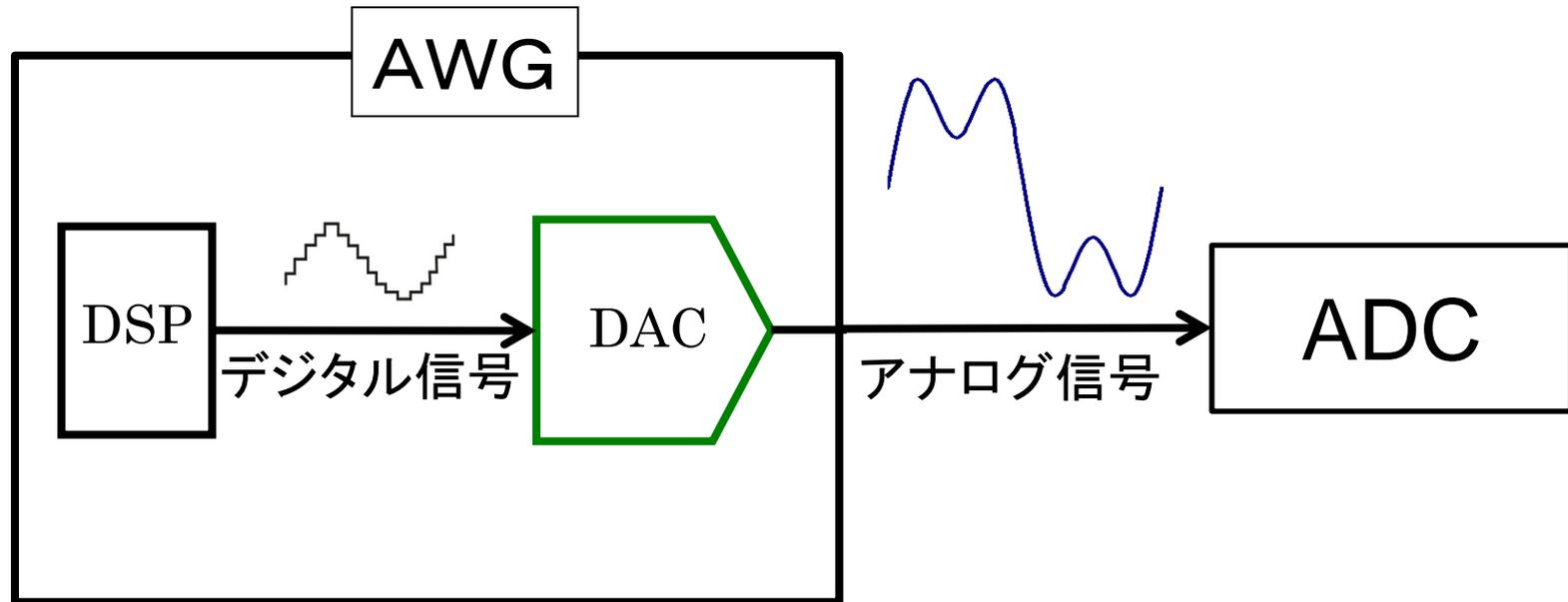
DSPでデジタル信号を生成しDACでアナログ信号に変換

テスト信号として純粋な単一正弦波・2トーン信号を発生

低コストAWG内DACには非線形性が存在

# AWGによるテスト信号発生

AWG ( Arbitrary Waveform Generator : 任意波形発生器)



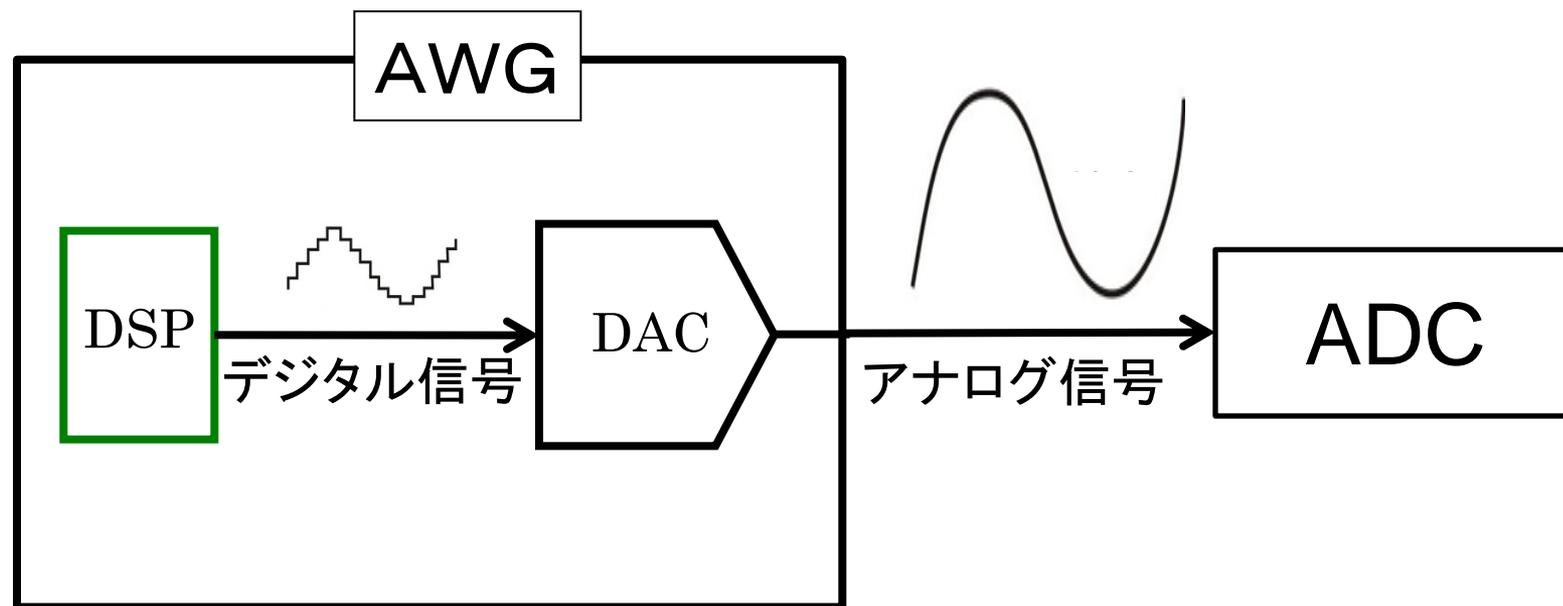
DSPでデジタル信号を生成しDACでアナログ信号に変換

テスト信号として純粋な単一正弦波・2トーン信号を発生

低コストAWG内DACには非線形性が存在

# AWGによるテスト信号発生

AWG ( Arbitrary Waveform Generator : 任意波形発生器)

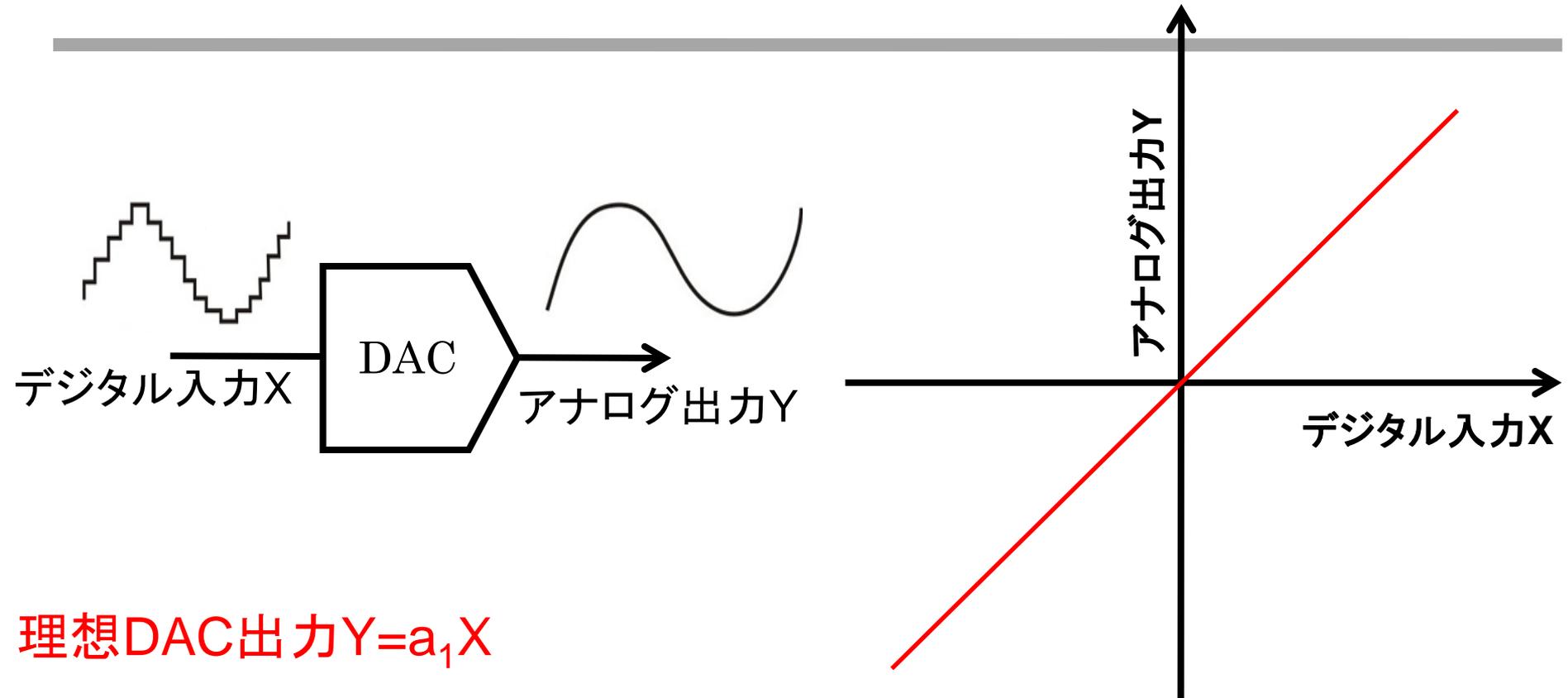


DSPでデジタル信号を生成しDACでアナログ信号に変換

テスト信号として純粋な単一正弦波・2トーン信号を発生

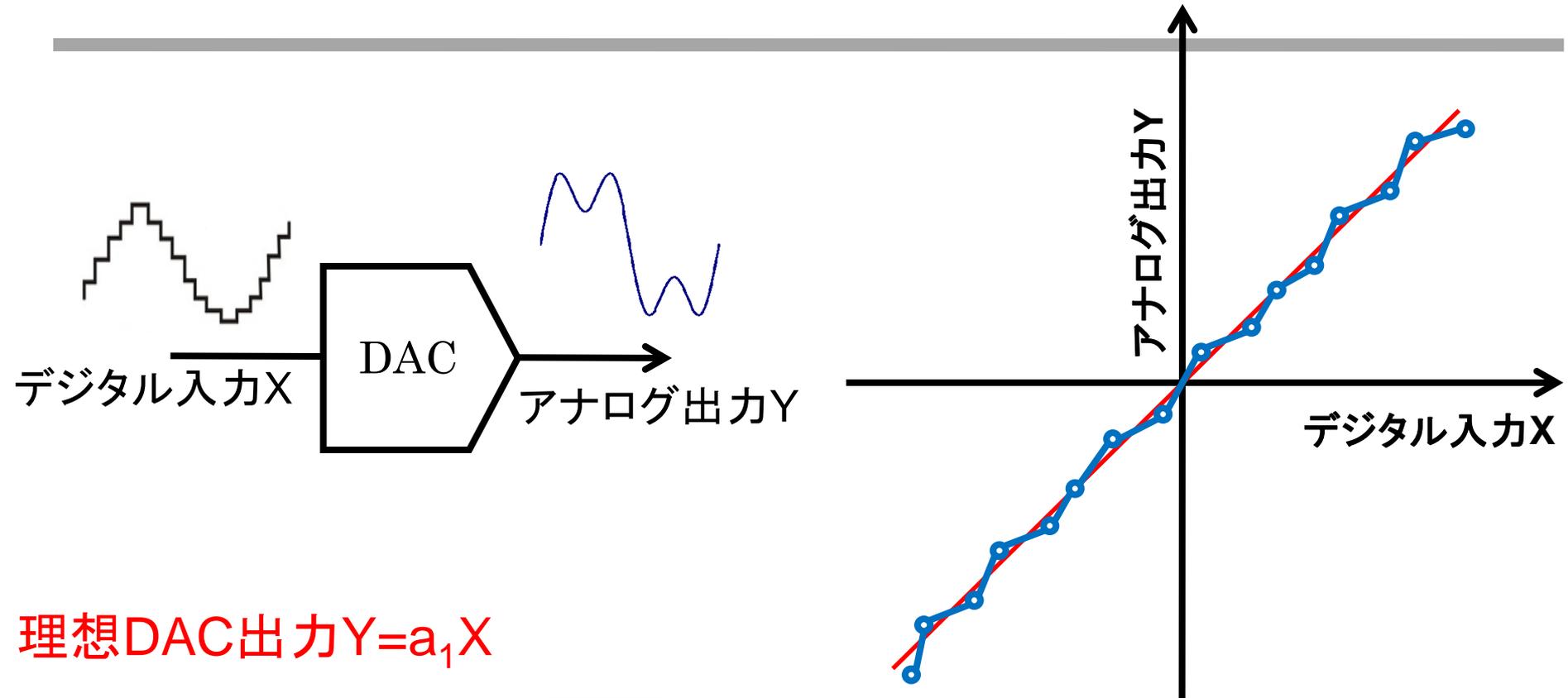
低コストAWG内DACには非線形性が存在

# 線形な理想DACの場合



理想DAC出力 $Y=a_1X$

# DACの非線形性による歪の発生



理想DAC出力  $Y = a_1 X$

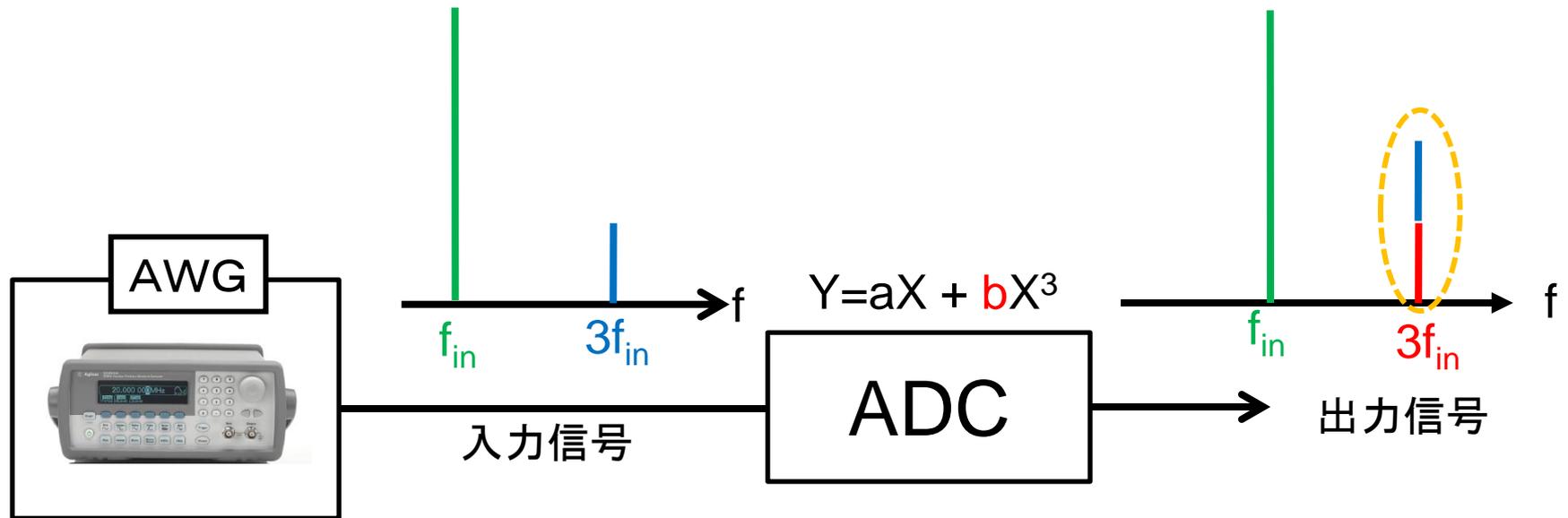
現実DAC出力  $Y = a_1 X + \boxed{a_2 X^2} + \boxed{a_3 X^3} + \boxed{a_4 X^4} \dots$   
2次歪      3次歪      4次歪

素子のばらつきにより非線形



歪が発生

# ADC線形性テスト(単一正弦波入力)

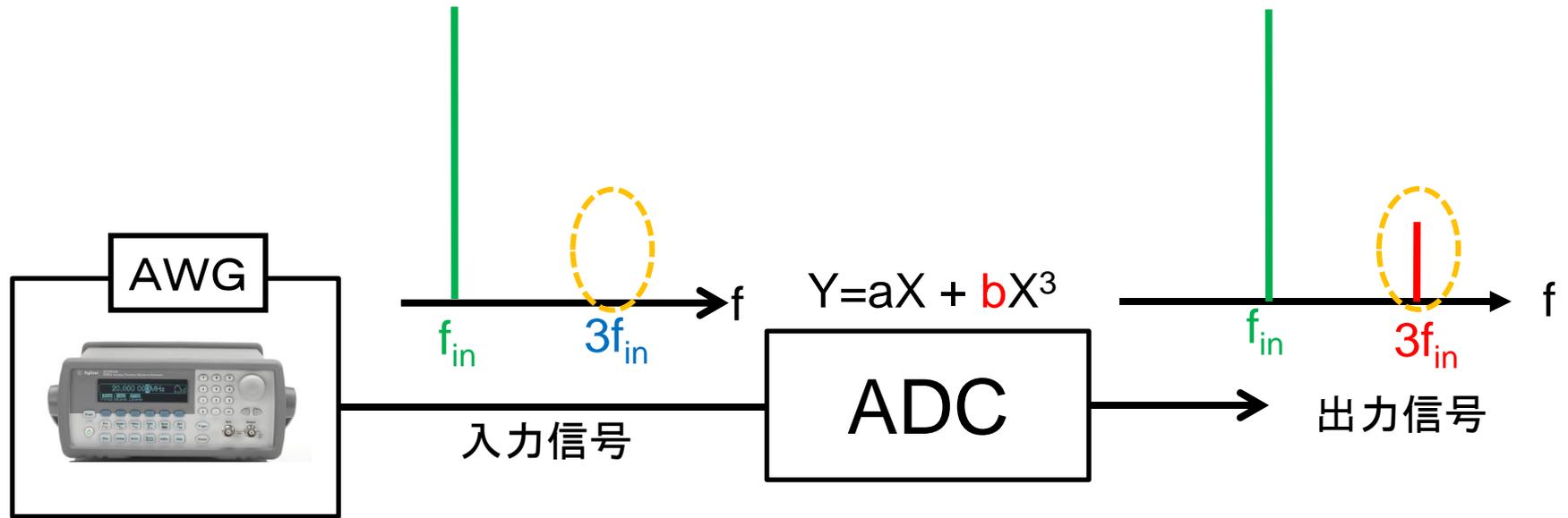


入力信号に歪成分(HD3)がある場合



ADCの歪成分(HD3)の高精度な計測が不可

# ADC線形性テスト(単一正弦波入力)



提案手法により歪成分(HD3)をキャンセル可能



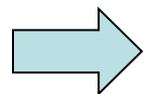
ADCの歪成分(HD3)の高精度な計測が可能

# 提案する3つの低歪み 正弦波、2トーン信号発生技術の特長

---

- AWG内部のDSPプログラム部の変更で実現
- AWG内部のDACの非線形性の同定必要なし
- アナログ部のキャリブレーション・調整必要なし
- 基本波近傍の歪み除去

信号帯域から十分離れているスプリアス発生



アナログフィルタで除去可能

ディストーションシェイピング機能

# 発表内容

## 1. ミックスド・シグナルSoCテスト技術の動向

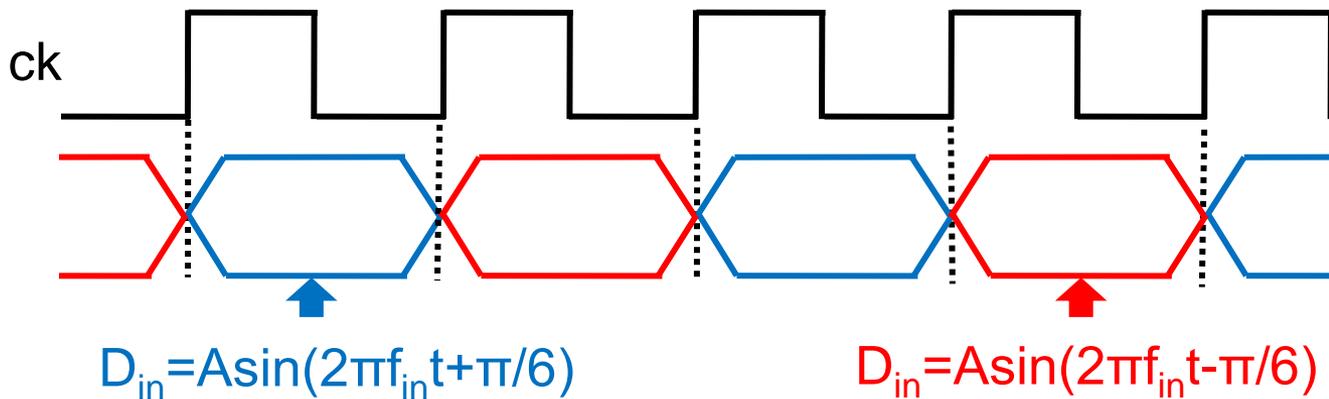
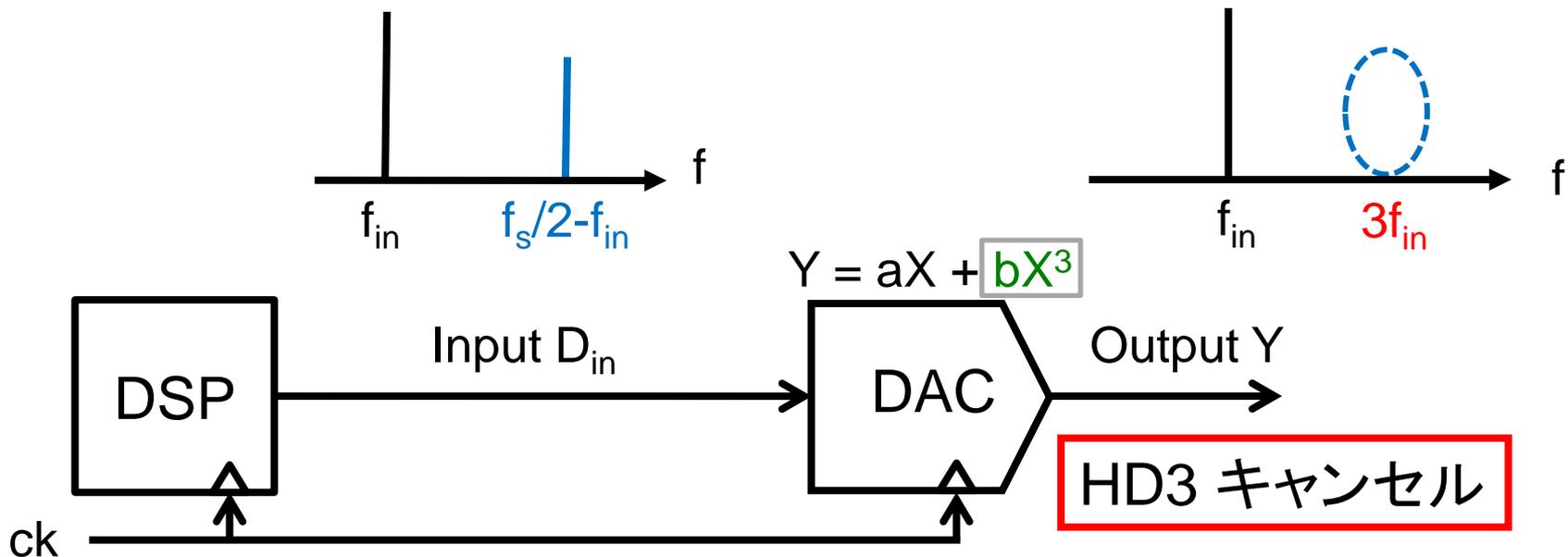
- ミックスド・シグナルSoCテスト技術
- アナログ回路部テストの問題点
- アナログ回路のテスト容易化技術

## 2. ADCテスト信号発生技術の開発事例

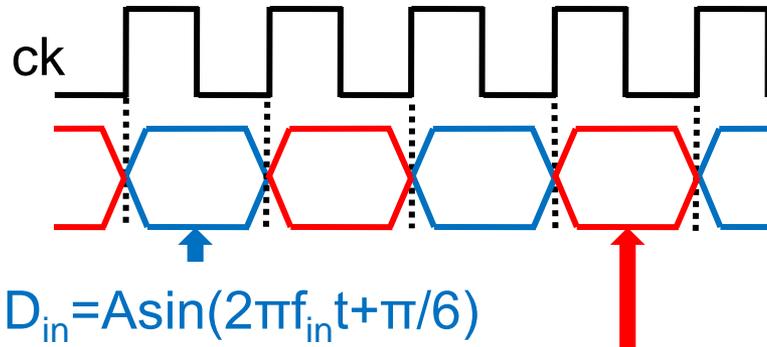
- アルゴリズム1:位相差切り替え法
- アルゴリズム 2:  $\Delta\Sigma$ DAC使用
- アルゴリズム 3: プリデステーション

## 3. まとめ

# 位相差切り替え型： 単一正弦波発生

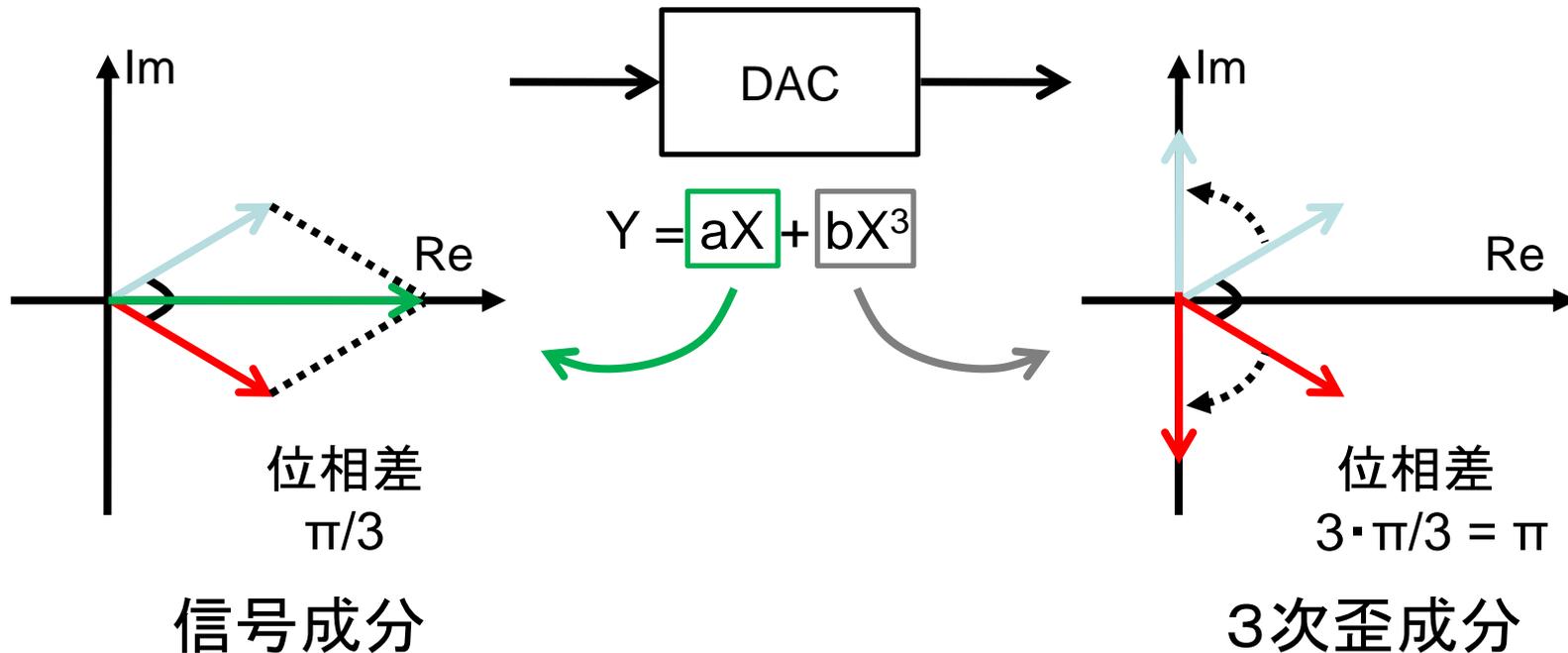


# 提案手法の原理

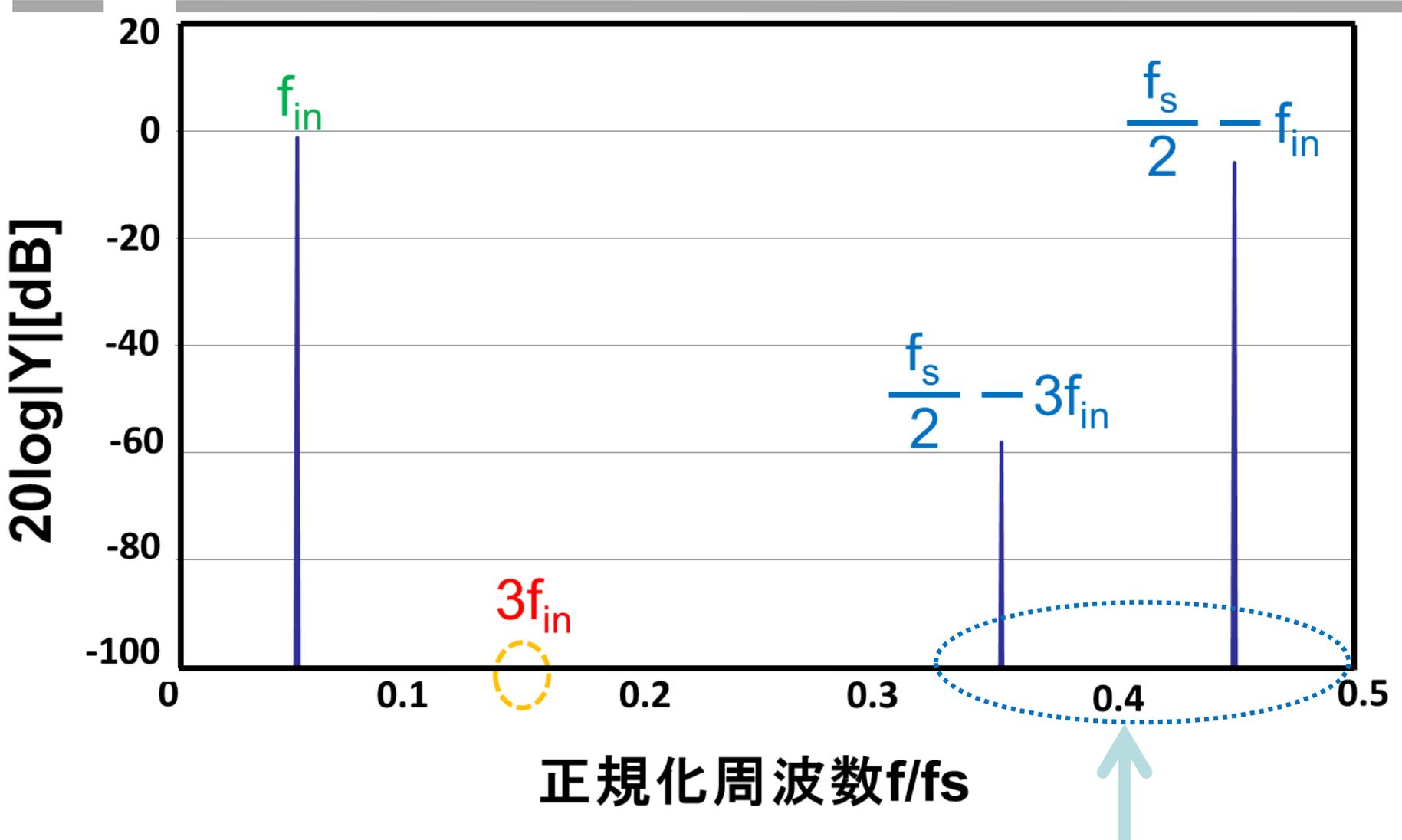


位相の異なる信号  $X_1$ 、 $X_2$  を  
1クロック毎に切り替えて  
信号Dinを生成

$$D_{in} = A \sin(2\pi f_{in} t - \pi/6)$$



# 出力Yのパワースペクトル



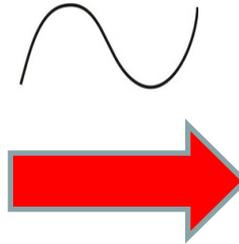
位相差の切り替えにより発生した歪 44

# 実験装置

AWG



入力信号を生成



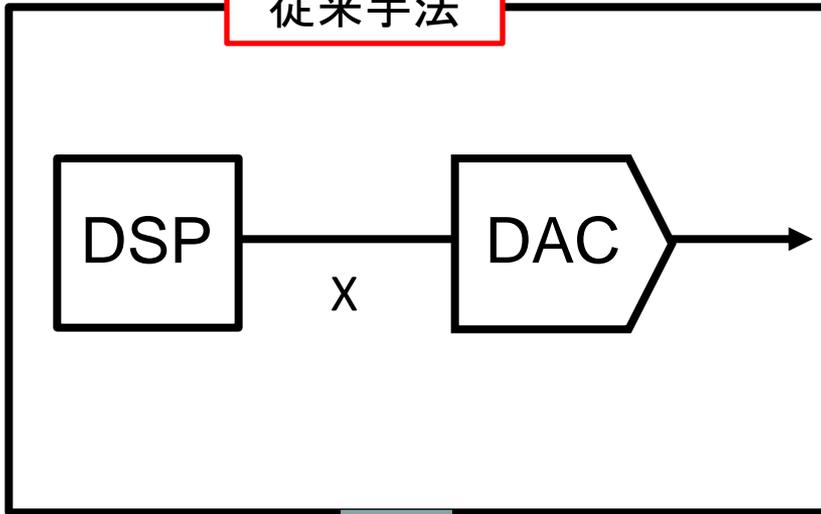
スペクトラムアナライザ  
(HP ESA-L1500A)



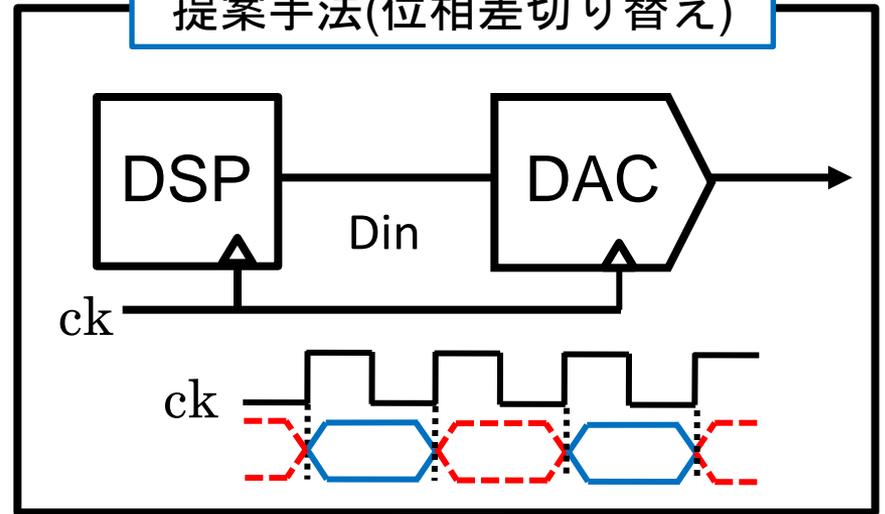
信号の周波数成分を計測

# 実験条件

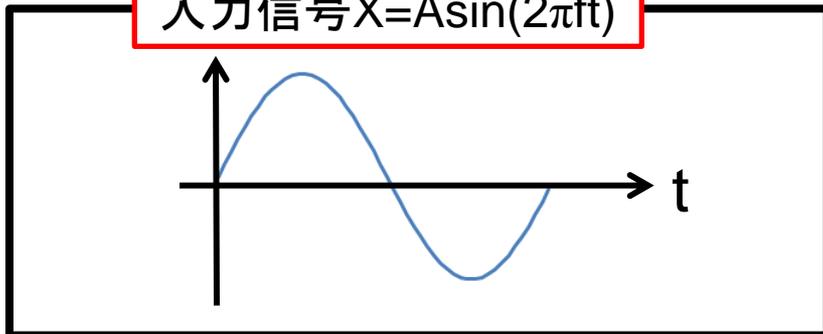
従来手法



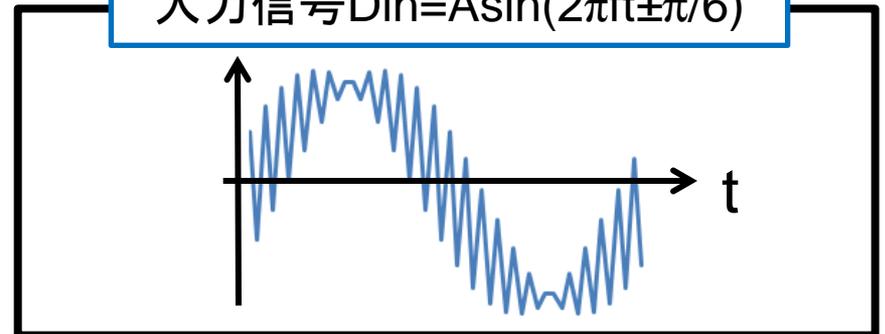
提案手法(位相差切り替え)



入力信号  $X = A \sin(2\pi ft)$



入力信号  $D_{in} = A \sin(2\pi ft \pm \pi/6)$



# 実験結果 -サンプリング周波数10MHz- (振幅1.3Vpp)

従来手法



基本波 (1MHz) : 6.31dBm

HD3 (3MHz) : -65dBm

提案手法(位相差切り替え)



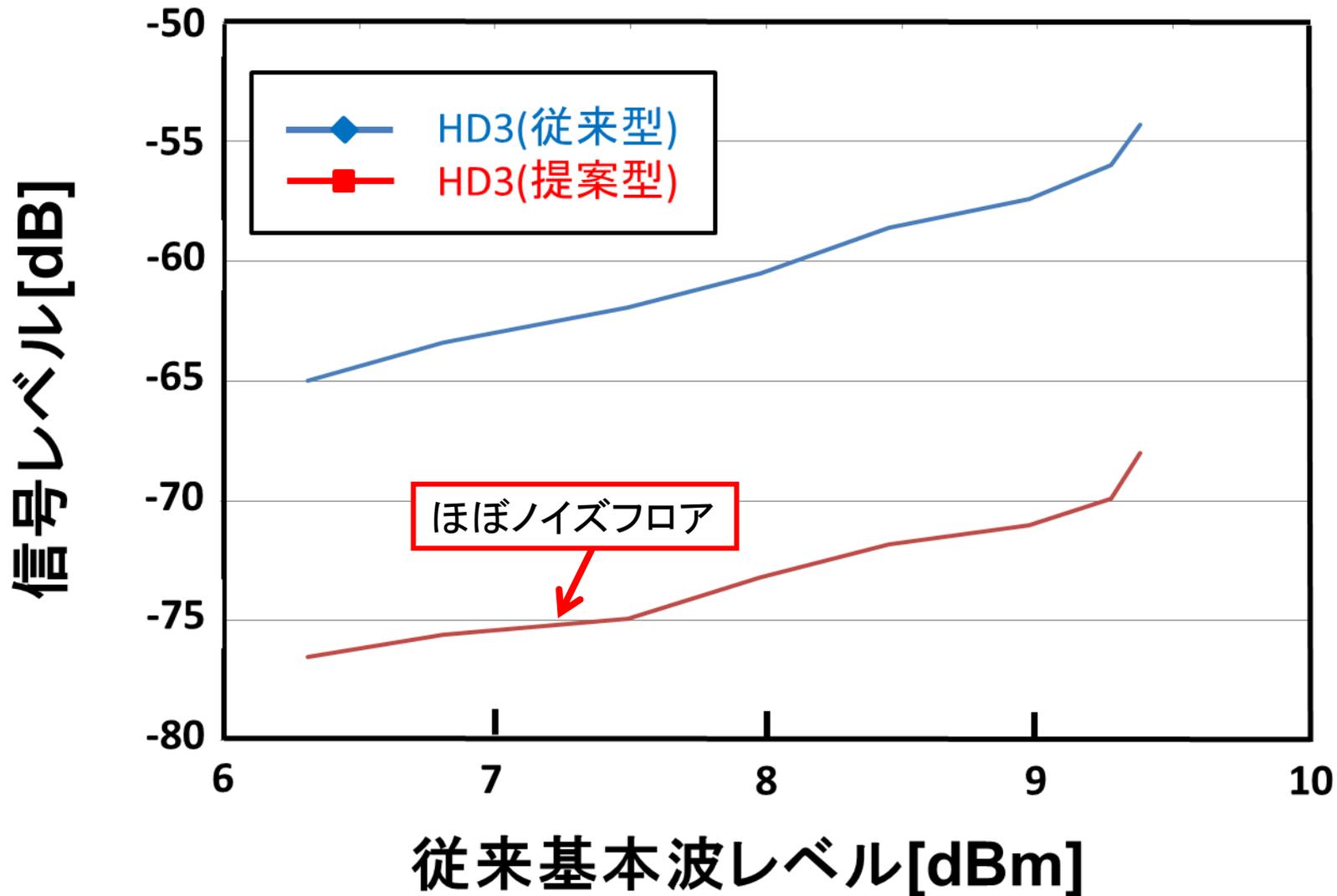
基本波 (1MHz) : 1.45dBm

HD3 (3MHz) : -76.5dBm  
(ノイズフロア)

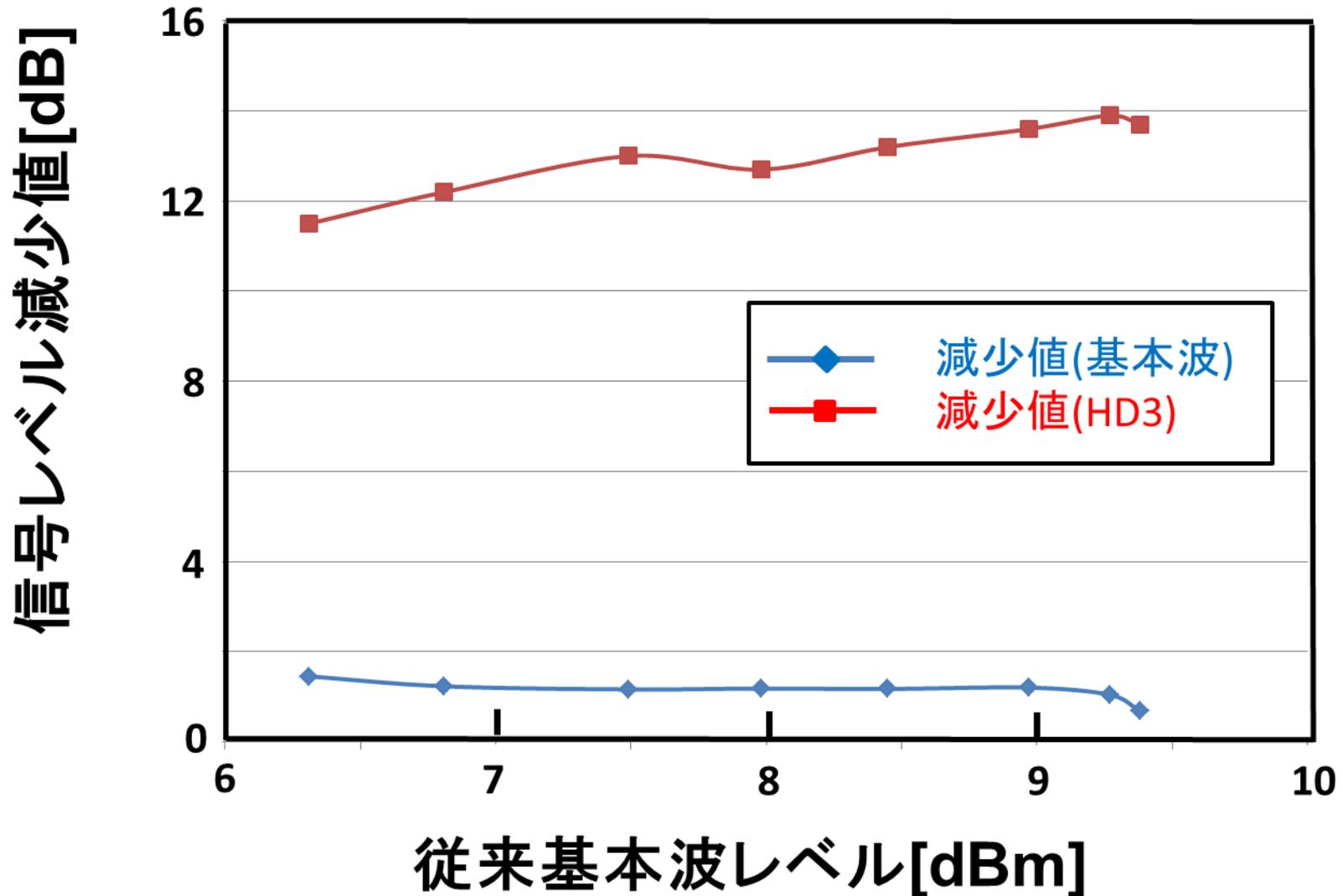
1.09dB低下

11.5dB低下

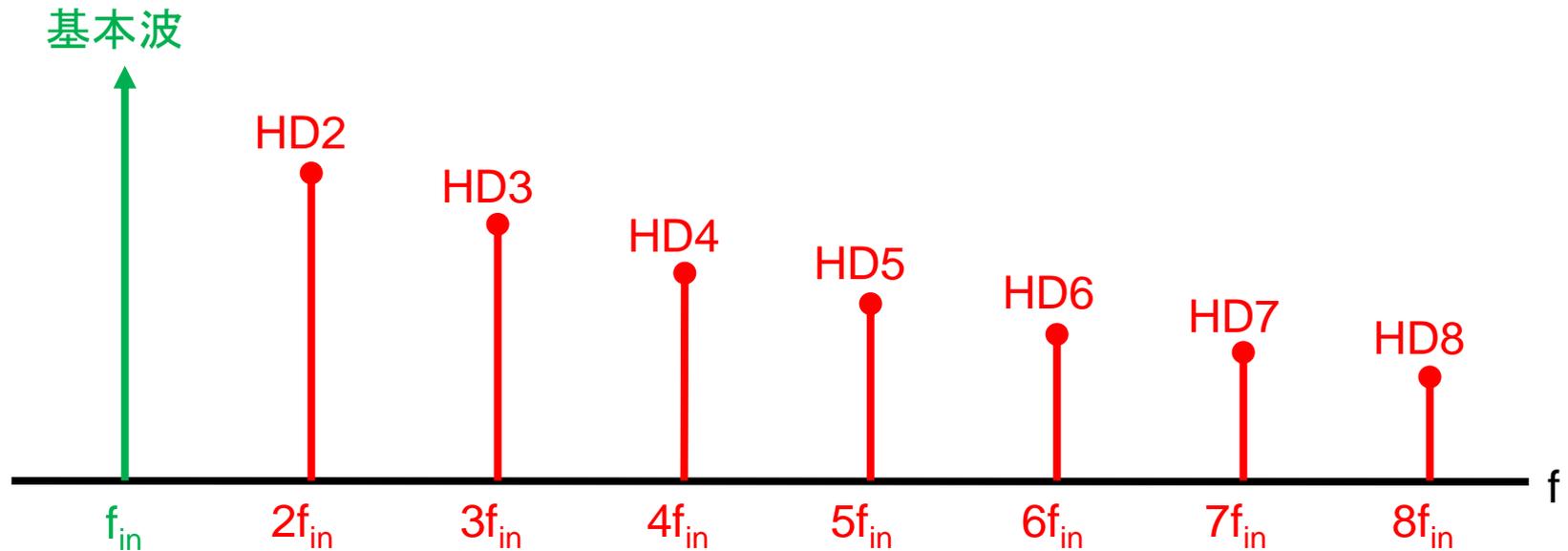
# 実験結果 -サンプリング周波数10MHz- (HD3)



# 実験結果-サンプリング周波数10MHz- (減少値)



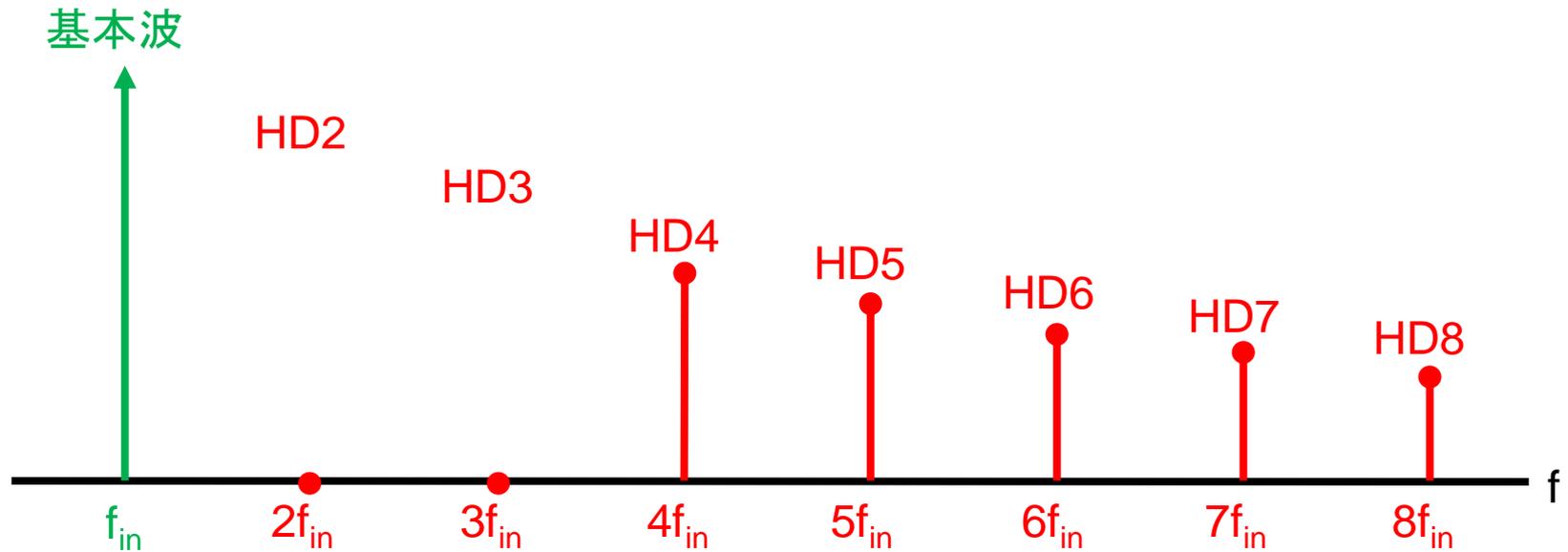
# アルゴリズムの一般化



- ① 4相インターリーブによるHD2、HD3の同時キャンセル
- ② 8相インターリーブによるHD3,HD5,HD7の同時キャンセル  
(HD2, HD4, HD6は 差動構成でキャンセル)
- ③ 位相差切り替えアルゴリズムの一般式化

➡ ①、②をシミュレーションで確認済

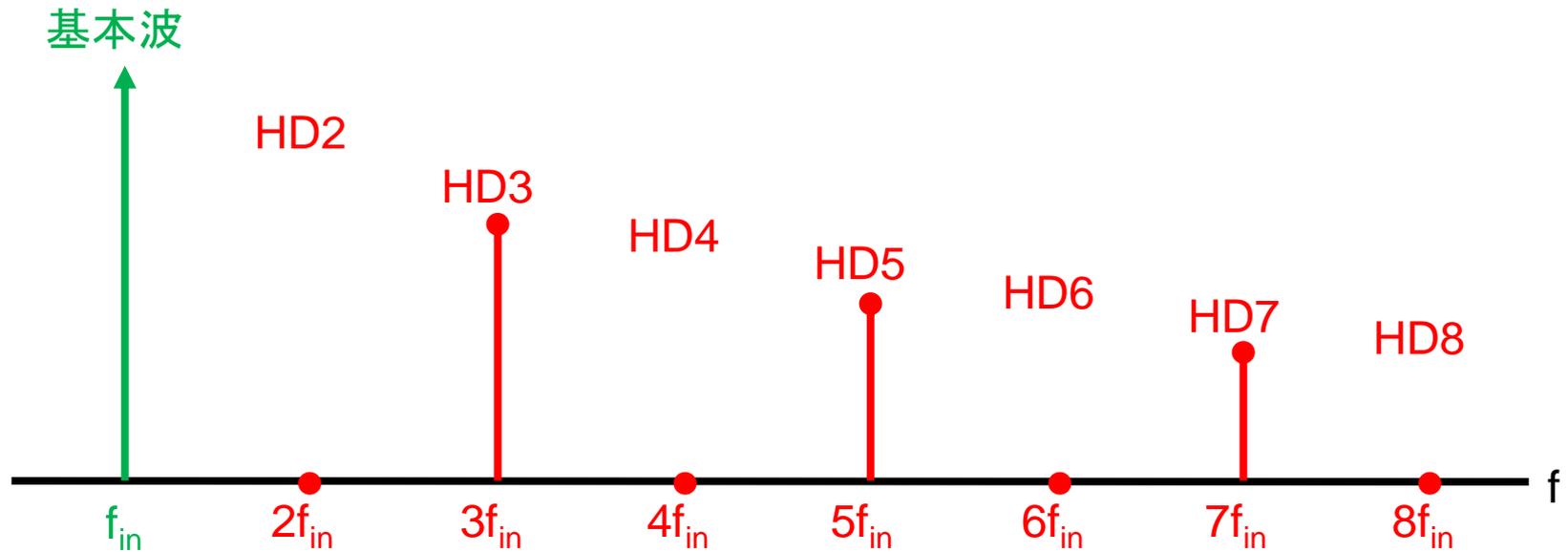
# アルゴリズムの一般化



- ① 4相インターリーブによるHD2、HD3の同時キャンセル
- ② 8相インターリーブによるHD3,HD5,HD7の同時キャンセル  
(HD2, HD4, HD6は 差動構成でキャンセル)
- ③ 位相差切り替えアルゴリズムの一般式化

①、②をシミュレーションで確認済

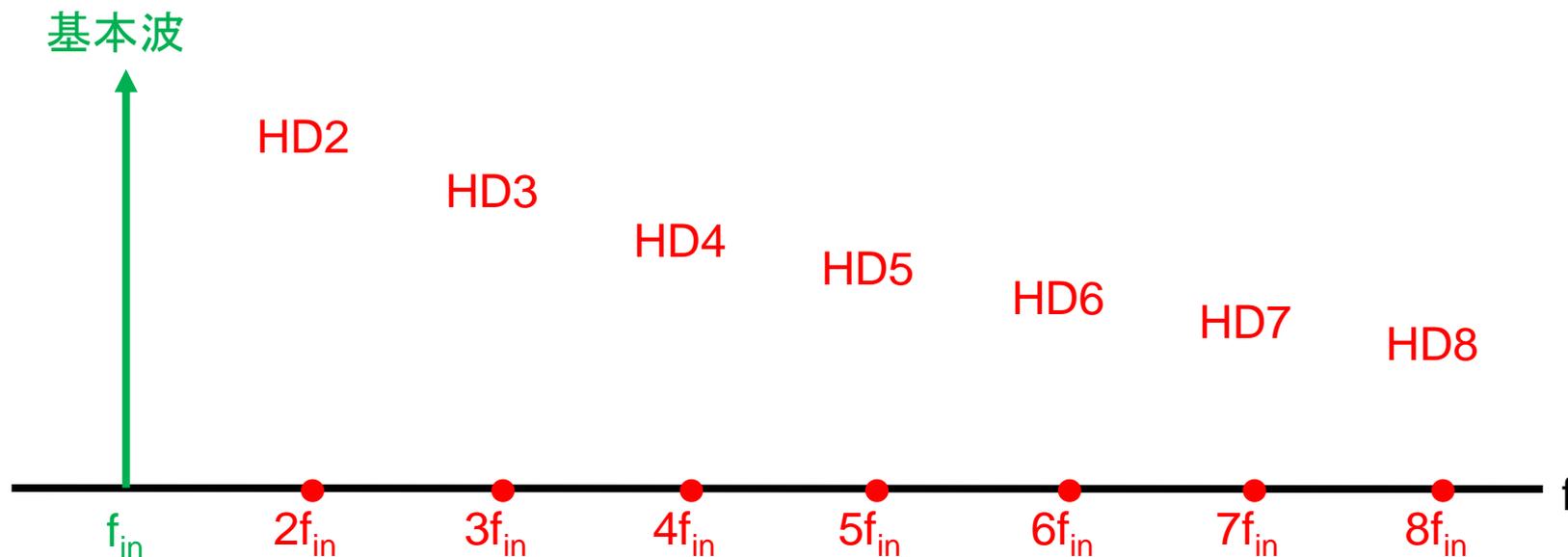
# アルゴリズムの一般化



- ① 4相インターリーブによるHD2、HD3の同時キャンセル
- ② 8相インターリーブによるHD3,HD5,HD7の同時キャンセル  
(HD2, HD4, HD6は 差動構成でキャンセル)
- ③ 位相差切り替えアルゴリズムの一般式化

①、②をシミュレーションで確認済

# アルゴリズムの一般化



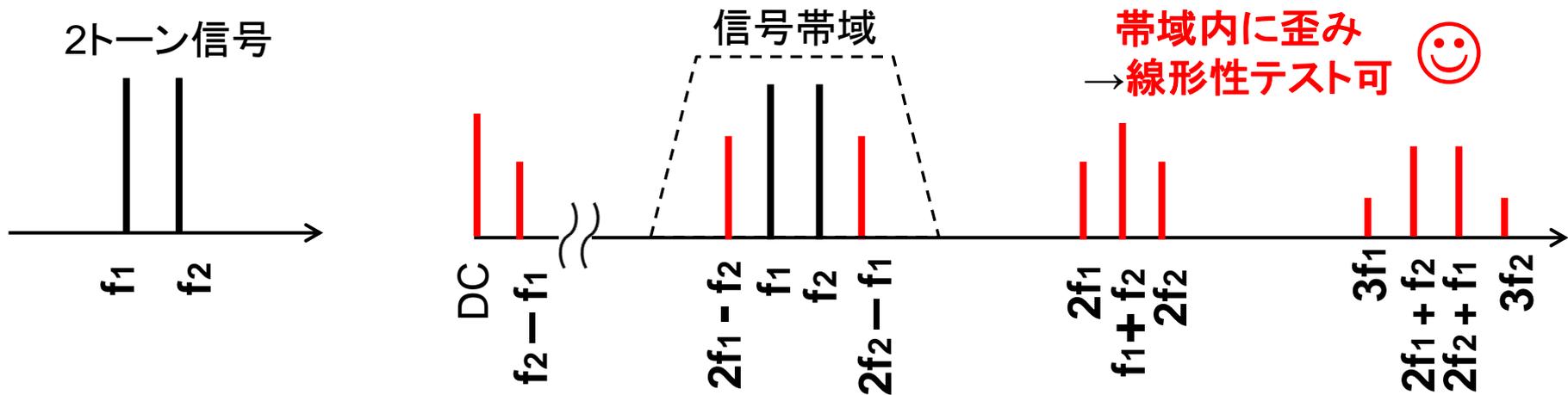
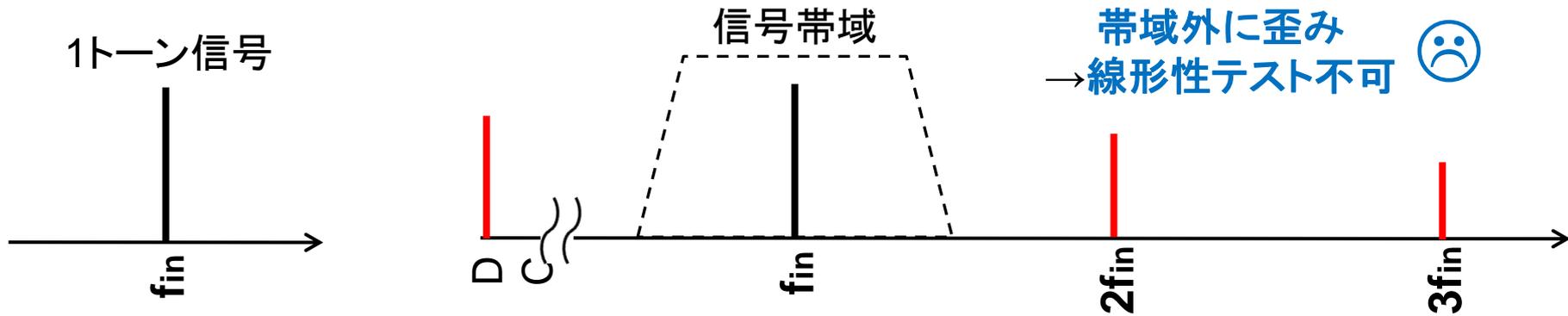
- ① 4相インターリーブによるHD2、HD3の同時キャンセル
- ② 8相インターリーブによるHD3,HD5,HD7の同時キャンセル  
(HD2, HD4, HD6は 差動構成でキャンセル)
- ③ 位相差切り替えアルゴリズムの一般式化

①、②をシミュレーションで確認済

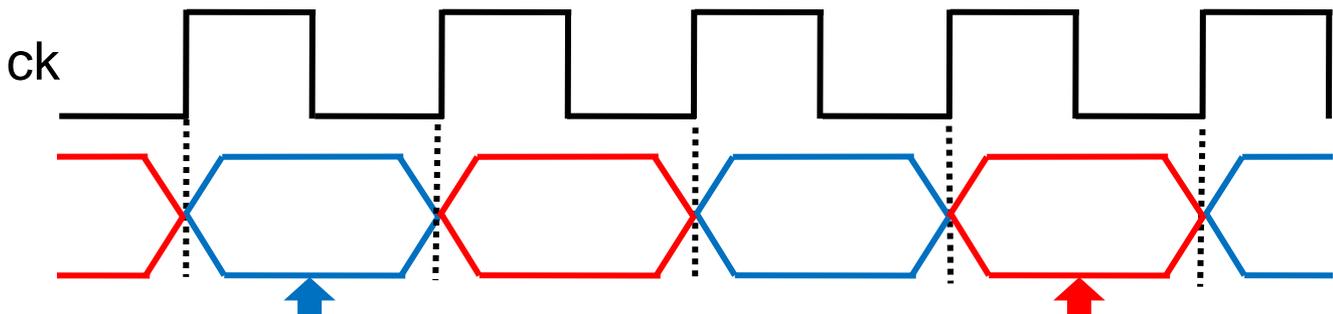
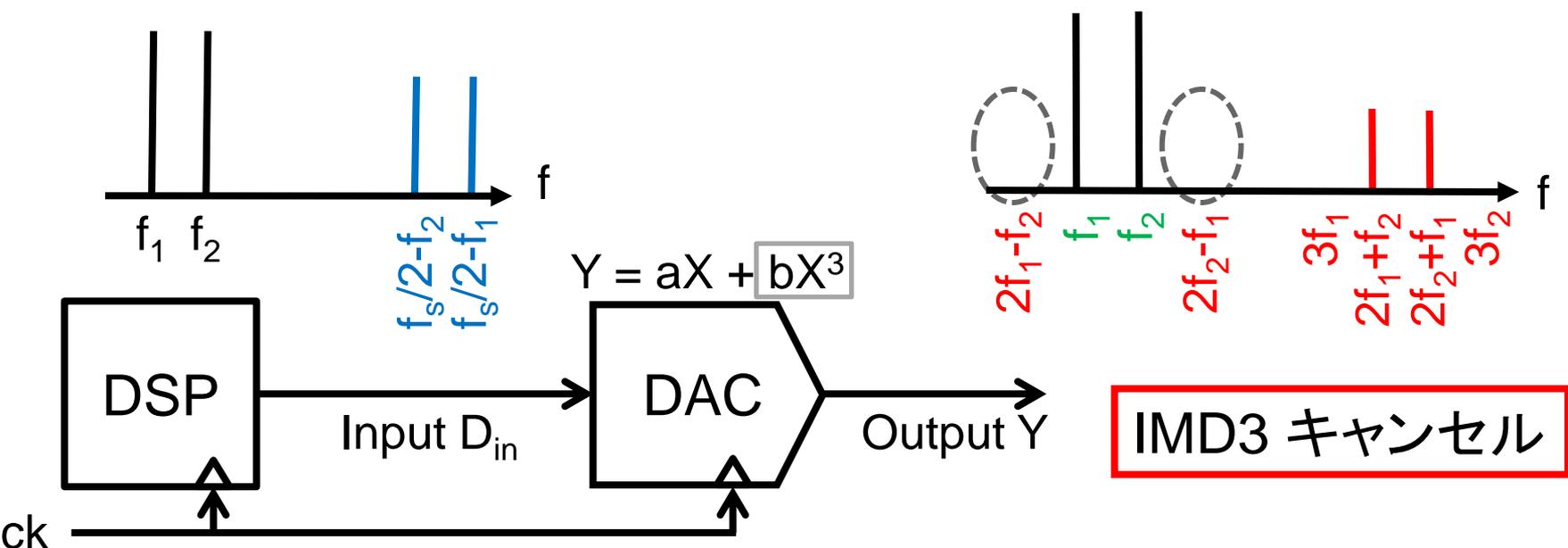
# 2トーンテスト信号



通信用ADC: 狭帯域・高周波信号を受信



# 位相差切り替え型：2トーン信号発生



$$D_{in} = A\sin(2\pi f_1 t + \pi/6) + B\sin(2\pi f_2 t - \pi/6)$$

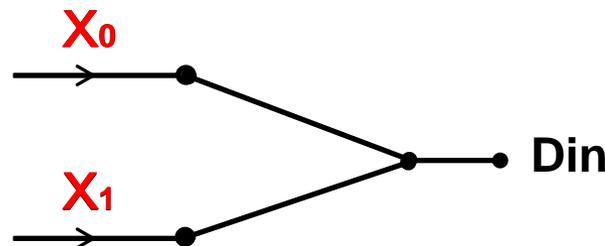
$$D_{in} = A\sin(2\pi f_1 t - \pi/6) + B\sin(2\pi f_2 t + \pi/6)$$

# ① DAC3次歪み

## シミュレーション条件

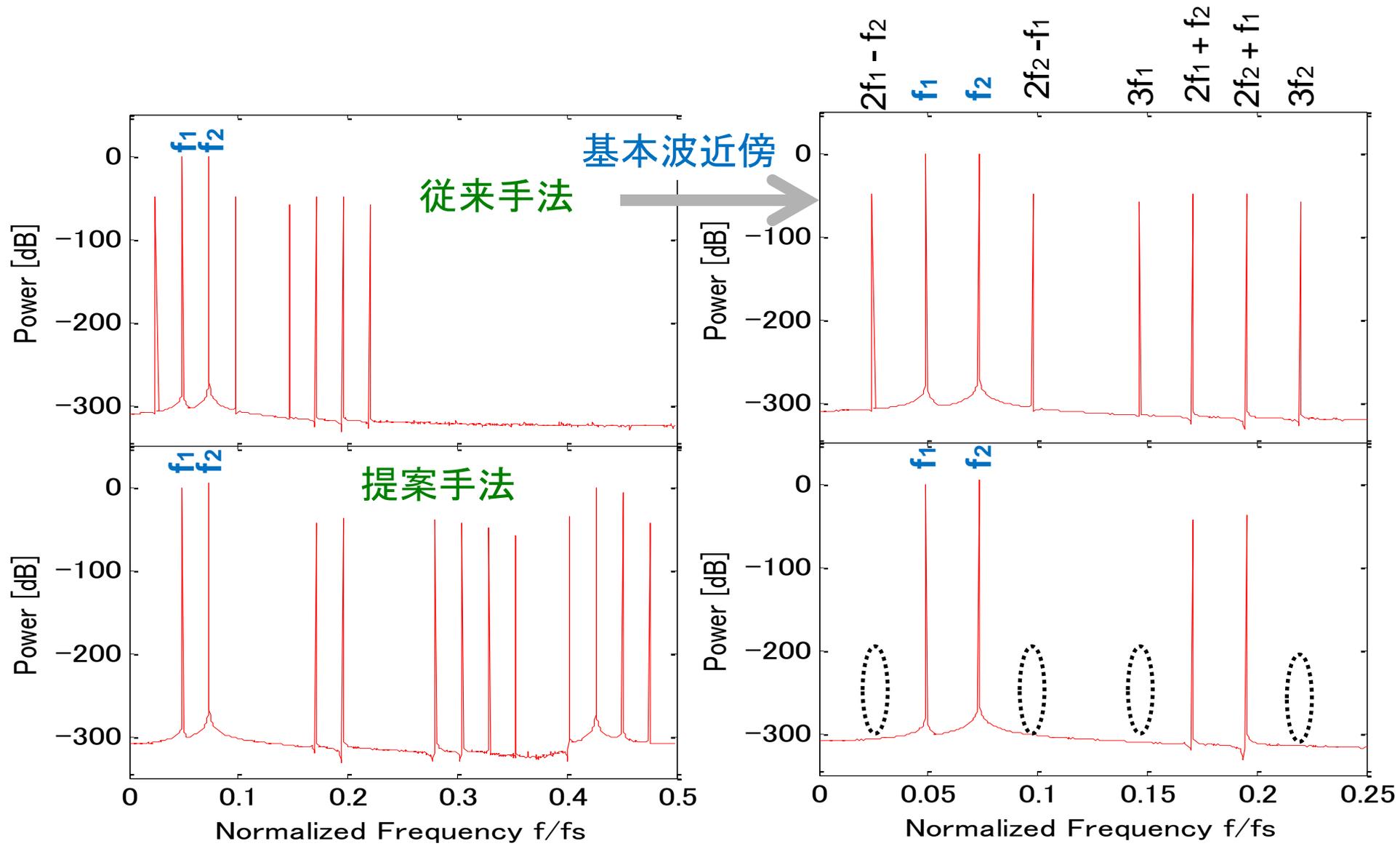
### 提案手法

信号 $X_k$ ( $k:0\sim1$ )	$\text{Sin}(2\pi f_1 t + \theta_k) + \text{Sin}(2\pi f_2 t - \theta_k)$
位相 $\theta_0 \theta_1$	$+\pi/6 \quad -\pi/6$
入力信号 $D_{in}$	$k = 0,1$ のインターリーブ
入力周波数 $f_1, f_2$	$f_1=100$ , $f_2=150$
サンプリング周波数 $f_s$	2048
DACの伝達特性	$X + (-0.005) X^3$



# ① DAC3次歪み

## シミュレーション結果

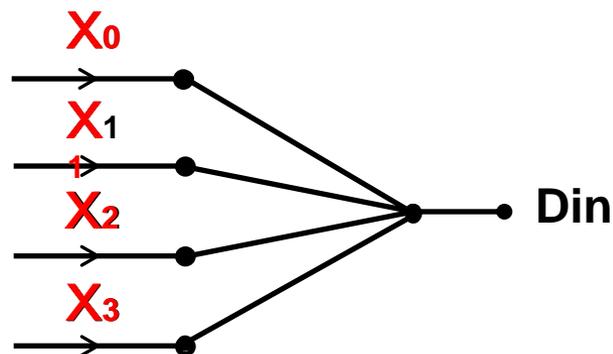


## ② DAC3,5次歪み

## シミュレーション条件

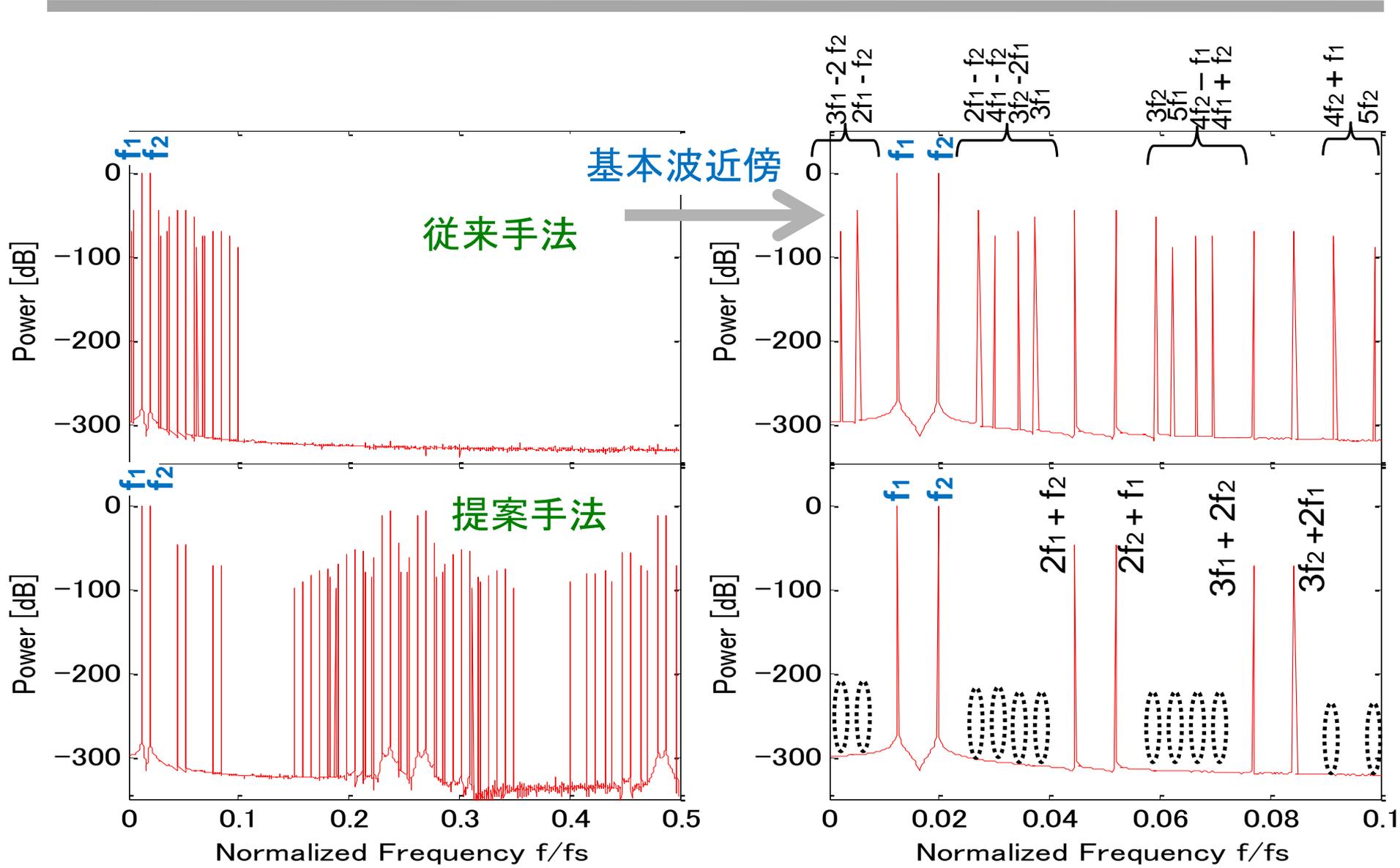
### 提案手法

信号 $X_k$ ( $k:0\sim3$ ) $\theta_0 \ \theta_1 \ \theta_2 \ \theta_3$	$\sin(2\pi f_1 t + \theta_k) + \sin(2\pi f_2 t - \theta_k)$ $4\pi/15 \ \pi/15 \ -\pi/15 \ -4\pi/15$
位相 $\theta_0, \theta_1, \theta_2, \theta_3$	$4\pi/15, \pi/15, -\pi/15, -4\pi/15$
入力信号 $D_{in}$	$k = 0\sim3$ のインターリーブ
入力周波数 $f_1, f_2$	$f_1=51, f_2=81$
サンプリング周波数 $f_s$	4096
DACの伝達特性	$X + (-0.005) X^3 + (-0.0005) X^5$



# ② DAC3,5次歪み

# シミュレーション結果

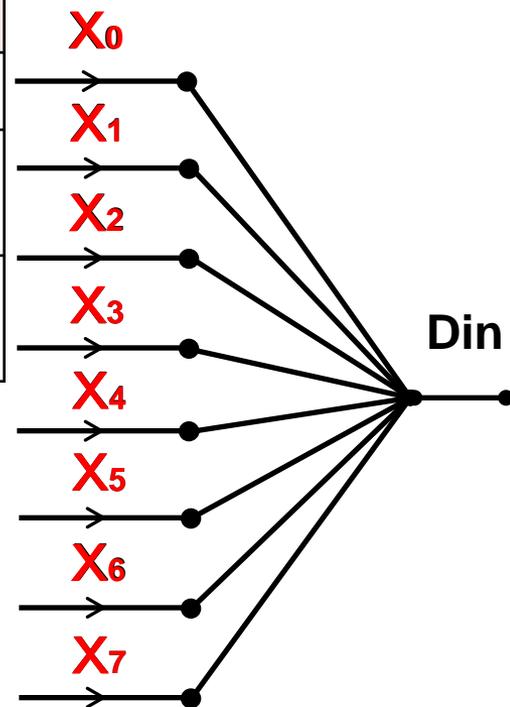


### ③ DAC3,5,7次歪み

## シミュレーション条件

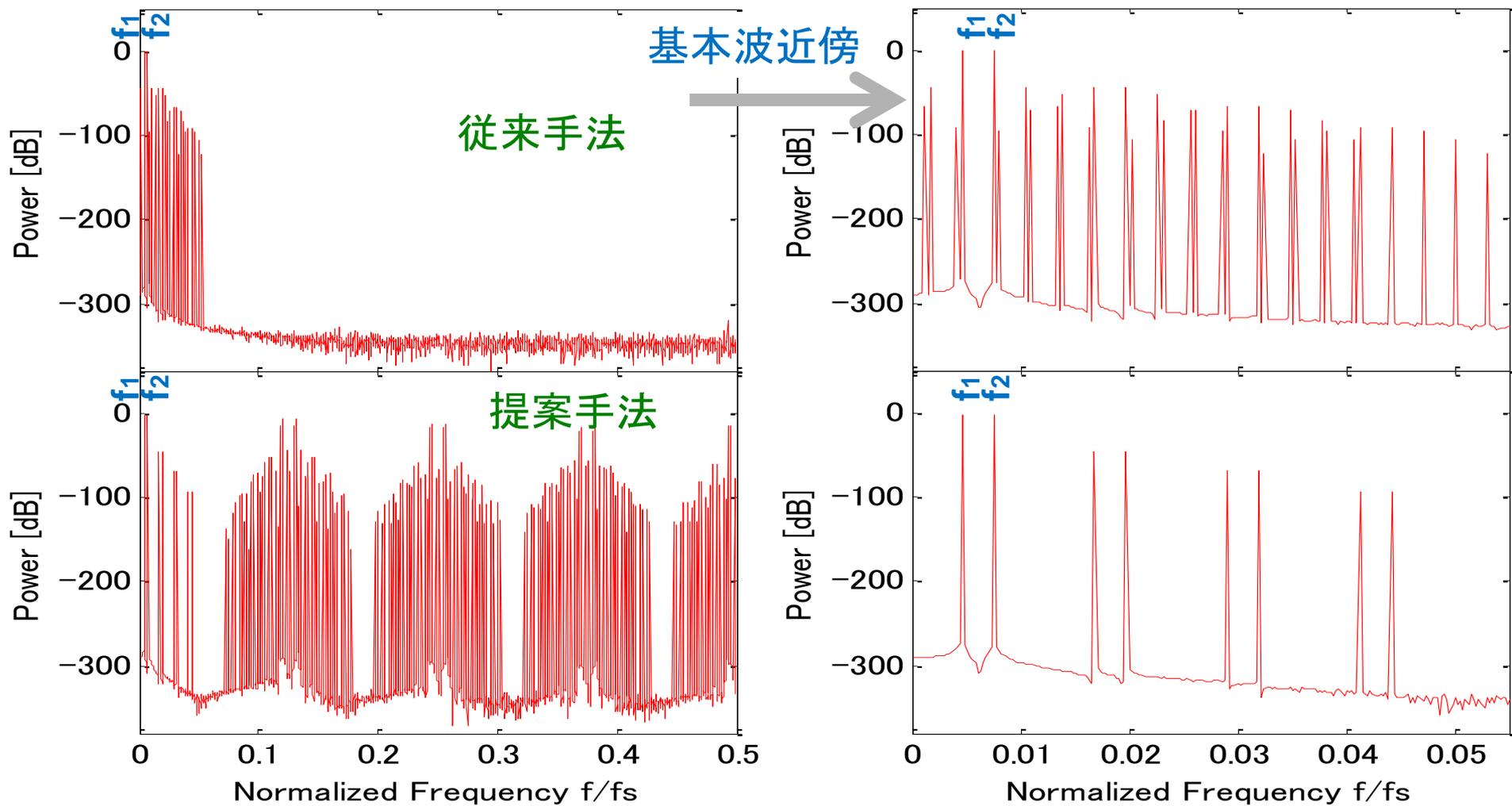
### 提案手法

信号 $X_k$ ( $k:0\sim7$ )	$\text{Sin}(2\pi f_1 t + \theta_k) + \text{Sin}(2\pi f_2 t - \theta_k)$
位相 $\theta_0 \theta_1 \theta_2 \theta_3$ $\theta_4 \theta_5 \theta_6 \theta_7$	$71\pi/210 \quad 41\pi/210 \quad 29\pi/210 \quad \pi/210$ $-\pi/210 \quad -29\pi/210 \quad -41\pi/210 \quad -71\pi/210$
入力信号 $D_{in}$	$k = 0\sim7$ のインターリーブ
入力周波数 $f_1, f_2$	$f_1=19, f_2=31$
サンプリング周波数 $f_s$	4096
DACの伝達特性	$X + (-0.005) X^3 + (-0.0005) X^5 + (-0.00005) X^7$

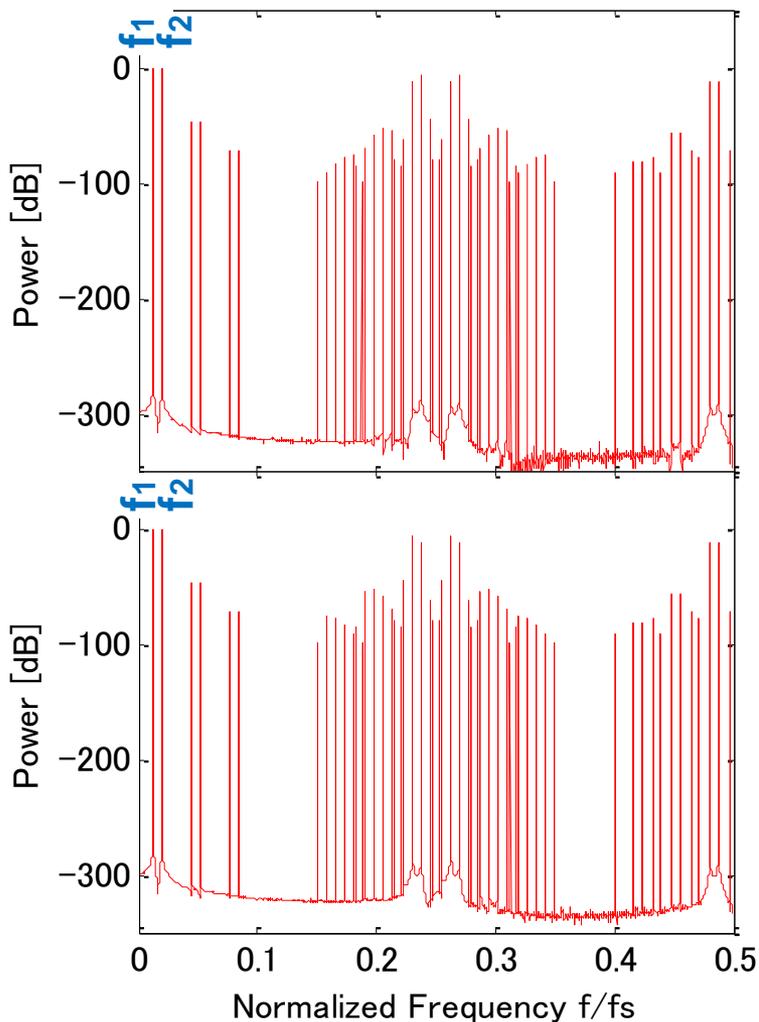


### ③ DAC3,5,7次歪み

## シミュレーション結果

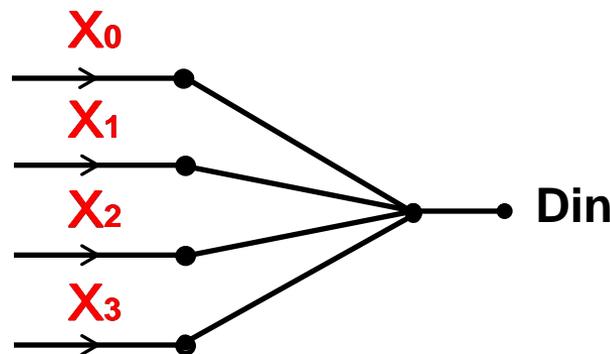


# 位相差切り替え順序変更による影響



$$X_k = \sin(2\pi f_1 t + \theta_k) + \sin(2\pi f_2 t - \theta_k)$$

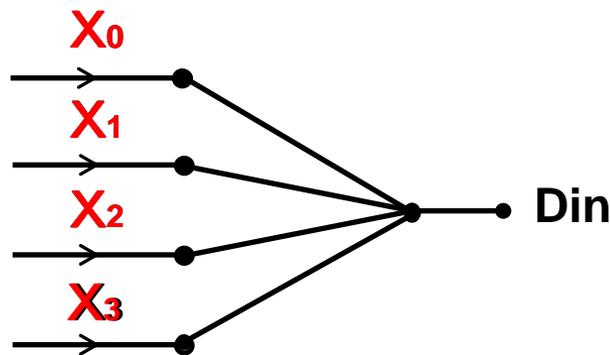
$$\theta_0 \rightarrow \theta_1 \rightarrow \theta_2 \rightarrow \theta_3$$



$$\begin{aligned} \theta_0 &= 4\pi/15 \\ \theta_1 &= \pi/15 \\ \theta_2 &= -\pi/15 \\ \theta_3 &= -4\pi/15 \end{aligned}$$

DAC3,5次歪み

$$\theta_0 \leftarrow \theta_1 \leftarrow \theta_2 \leftarrow \theta_3$$



基本波近傍の影響なし

※位相差切り替え6パターンの内違いが最も顕著に見られたものを示した。

# 発表内容

## 1. ミックスド・シグナルSoCテスト技術の動向

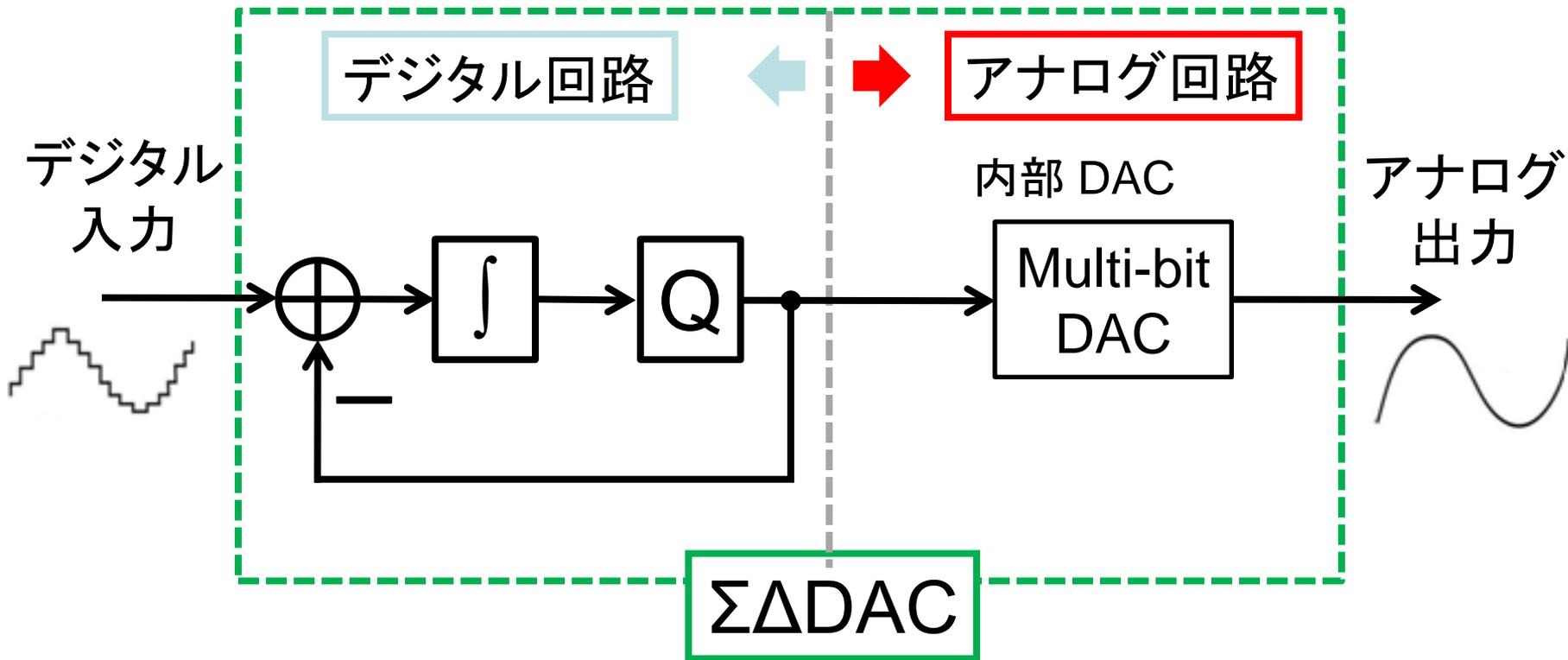
- ミックスド・シグナルSoCテスト技術
- アナログ回路部テストの問題点
- アナログ回路のテスト容易化技術

## 2. ADCテスト信号発生技術の開発事例

- アルゴリズム1: 位相差切り替え法
- アルゴリズム2:  $\Delta\Sigma$ DAC使用
- アルゴリズム3: プリデステーション

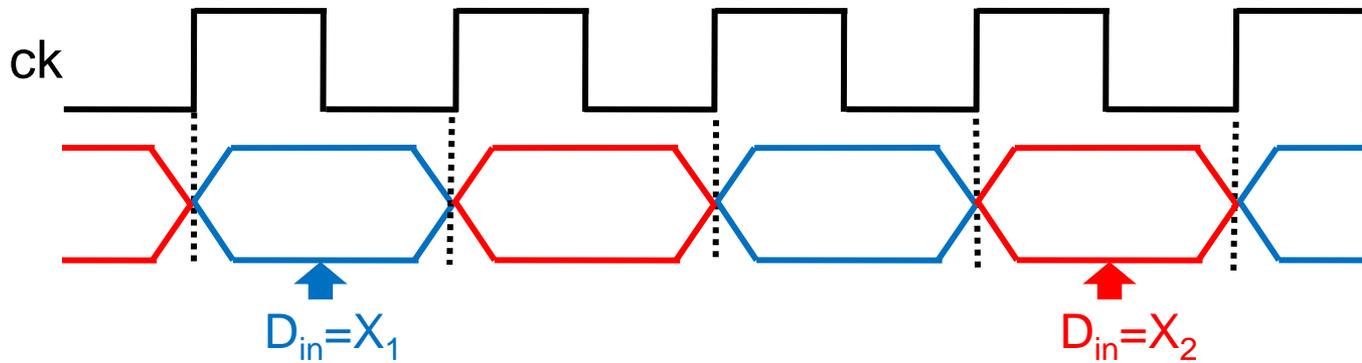
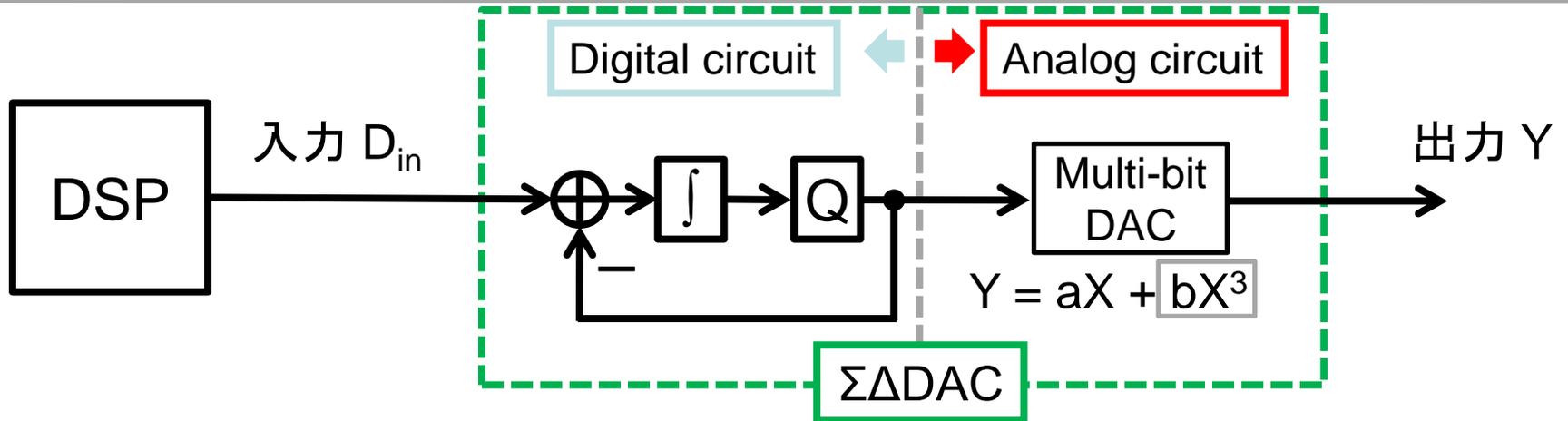
## 3. まとめ

# ΣΔ DACの構成



ΣΔDAC ⇒ テストモード時に  
SoC内のDSP, DAC コアを用いて構成

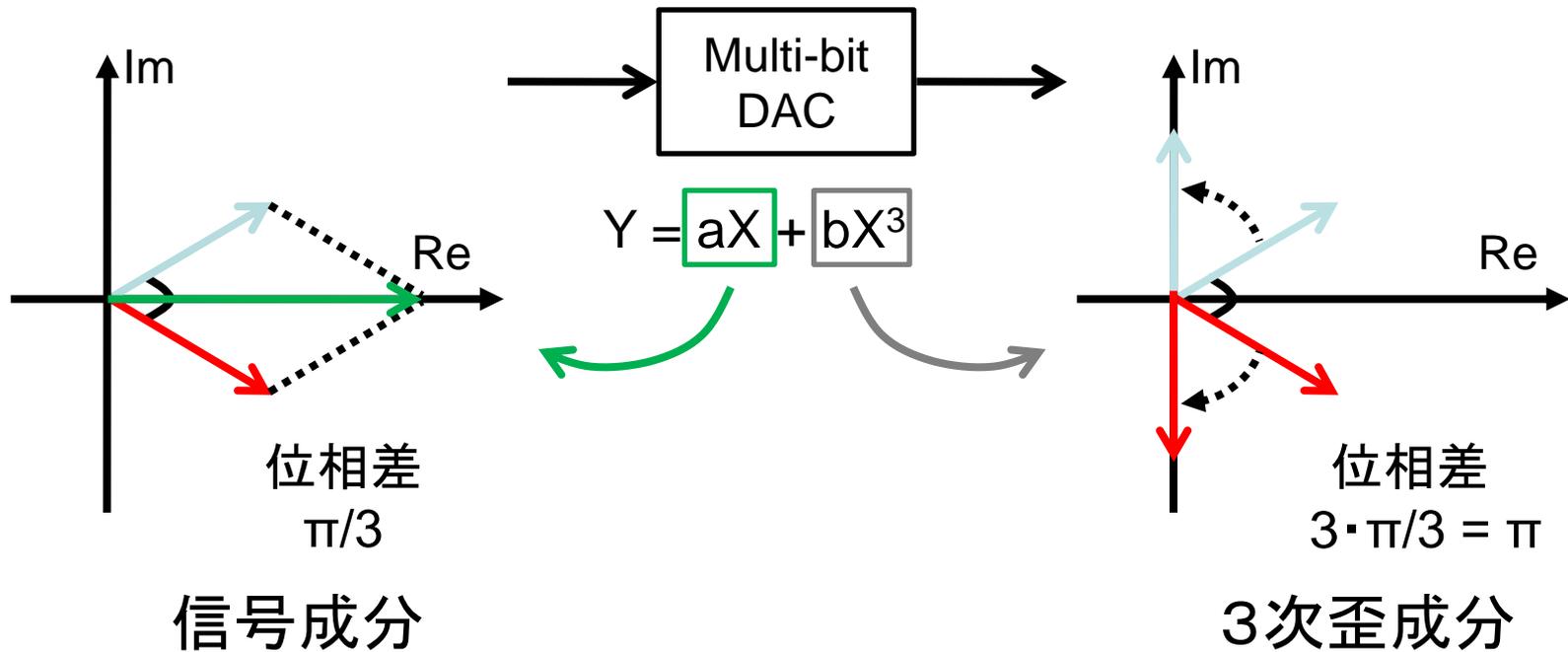
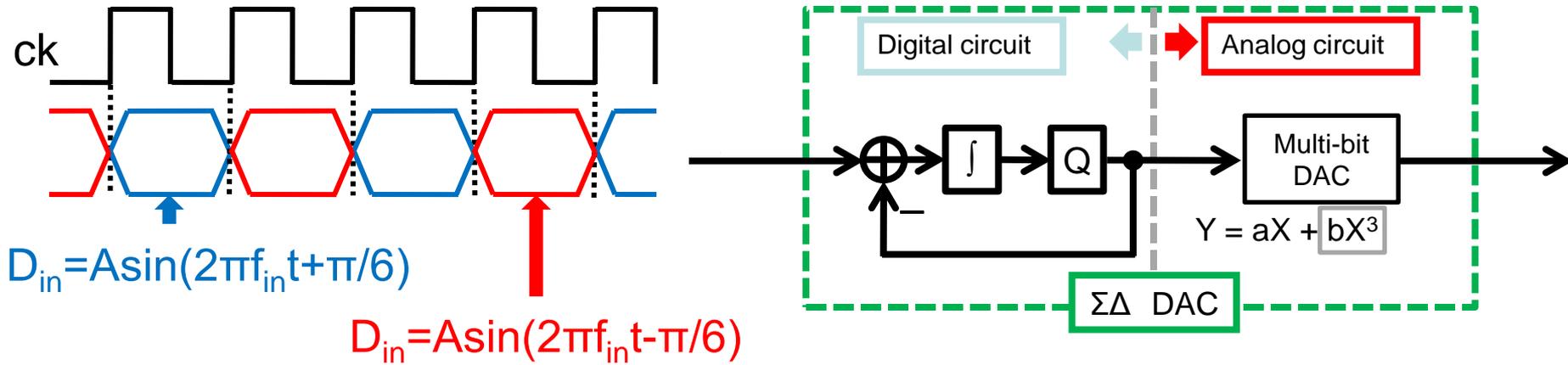
# 提案手法



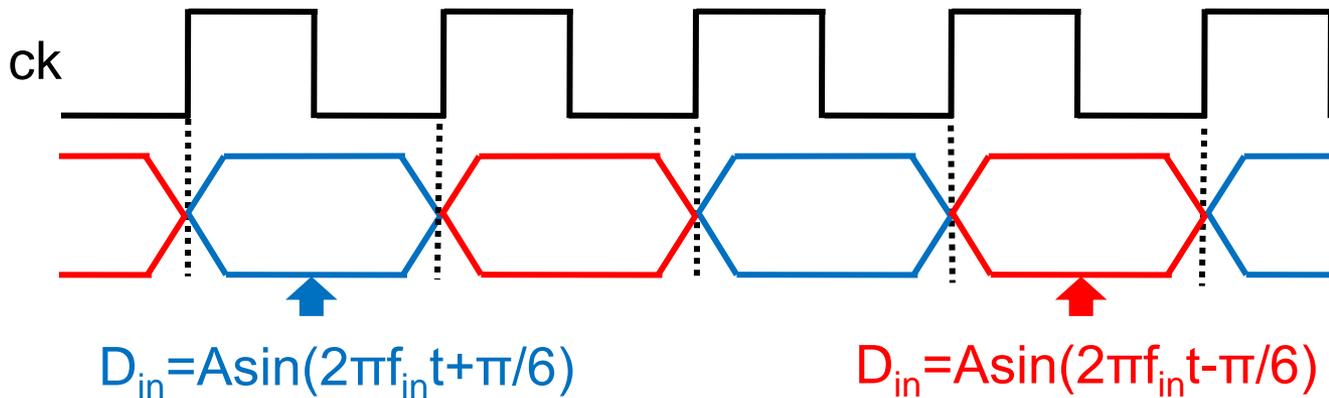
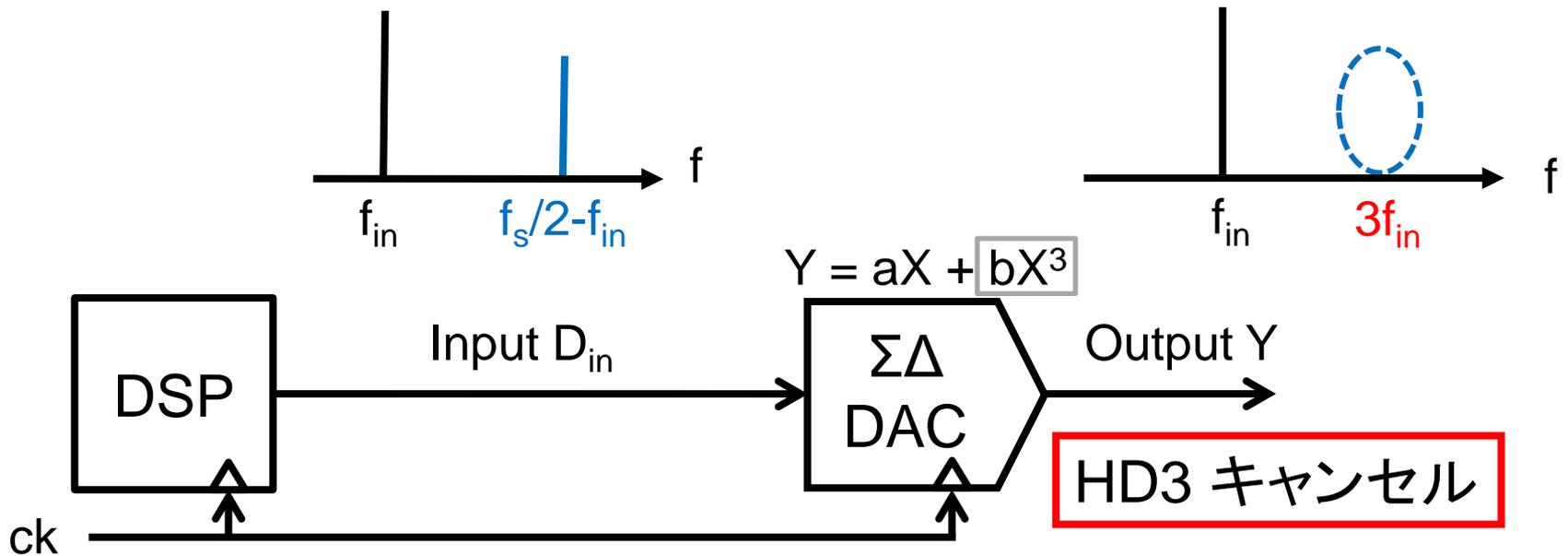
$X_1$ ,  $X_2$  をインターリーブして  $D_{in}$  を生成

出力  $Y$  の歪成分をキャンセル

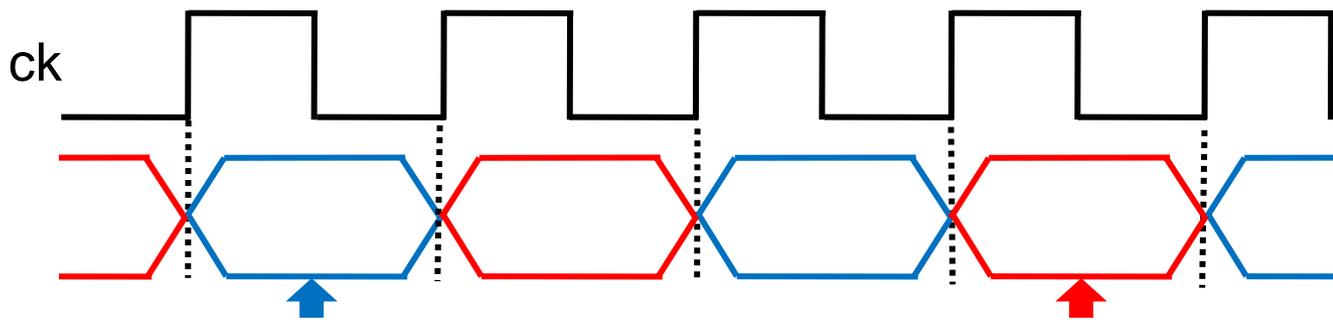
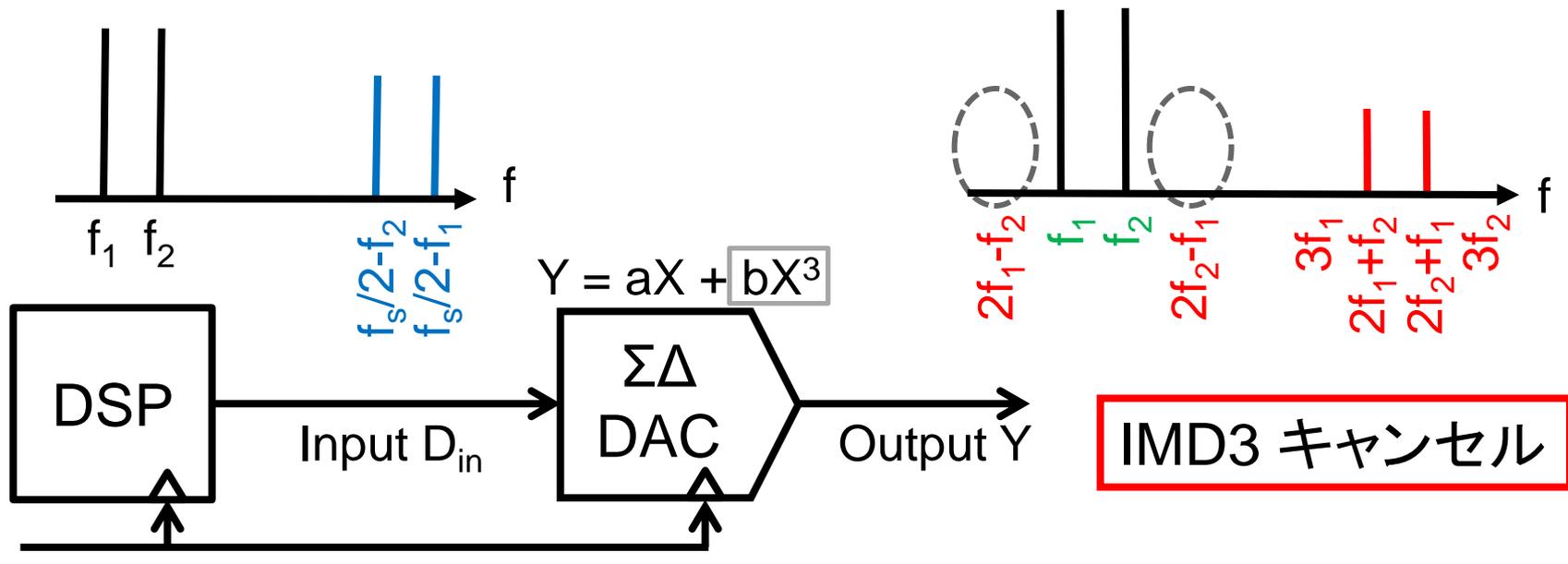
# 提案手法の原理



# 単一正弦波発生



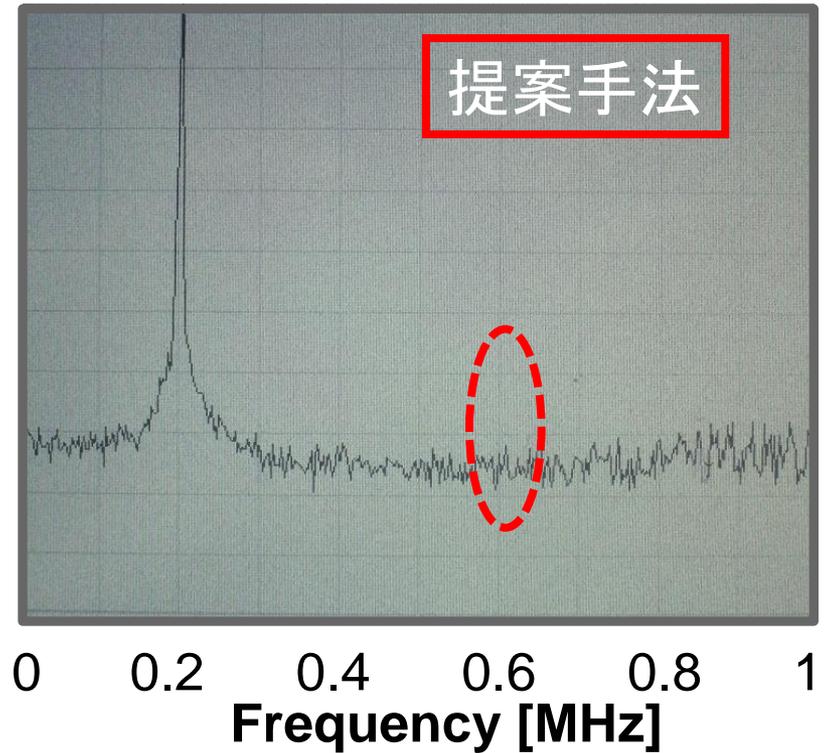
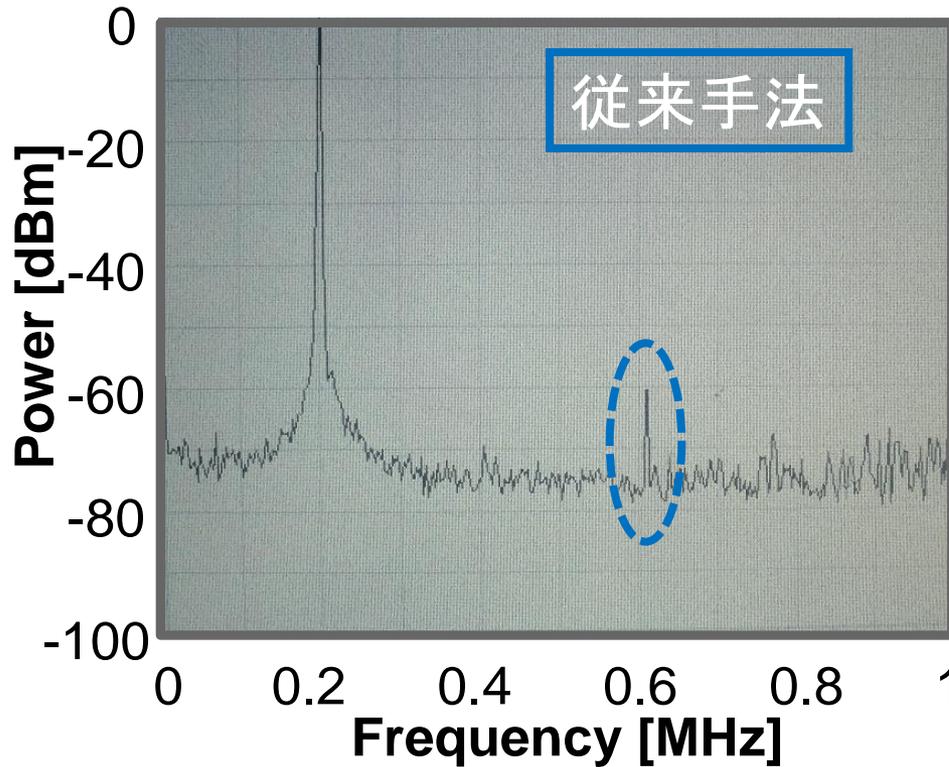
# 2トーン信号発生



$$D_{in} = A \sin(2\pi f_1 t + \pi/6) + B \sin(2\pi f_2 t - \pi/6)$$

$$D_{in} = A \sin(2\pi f_1 t - \pi/6) + B \sin(2\pi f_2 t + \pi/6)$$

# 実験結果： 単一正弦波発生



Fundamental  
(200kHz) : 3.8 dBm

-1.2 dB



2.6 dBm

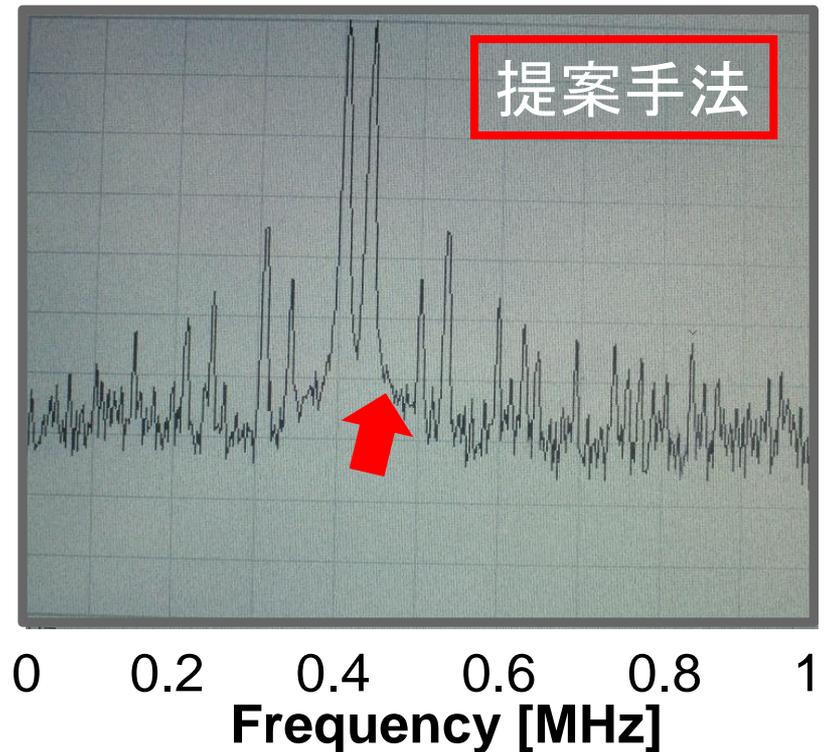
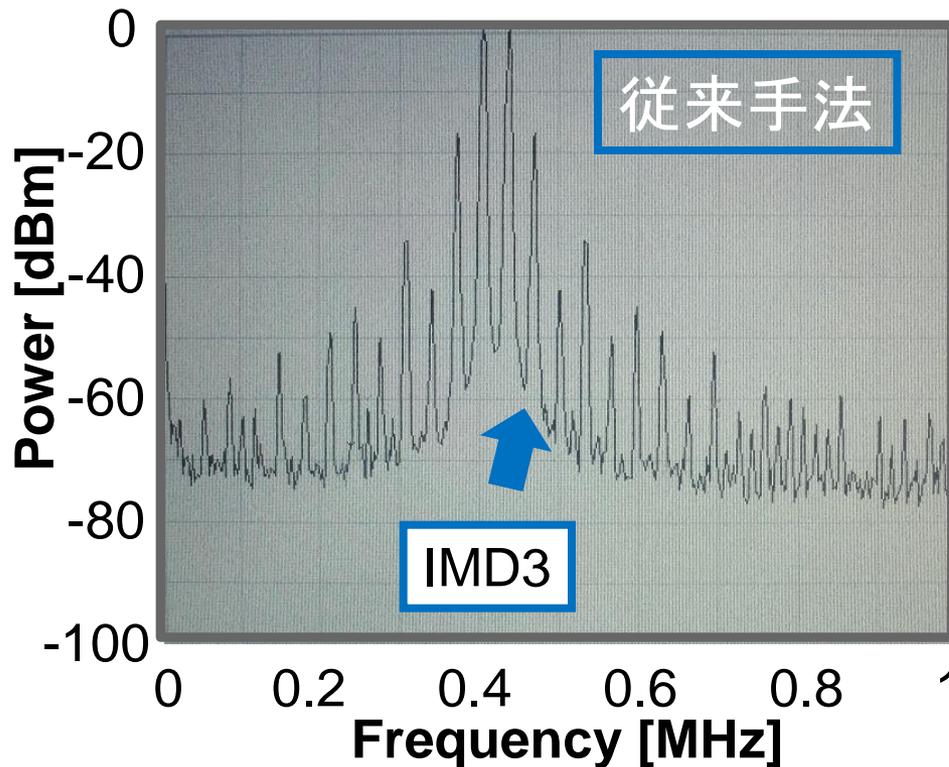
HD3  
(600kHz) : -60 dBm

-14 dB



-74 dBm

# 実験結果： 2トーン信号発生



Fundamental  
(200kHz) : 0.8 dBm

-1.3 dB



-0.5 dBm

HD3  
(600kHz) : -17 dBm

-43 dB



-60 dBm

70

# 発表内容

## 1. ミックスド・シグナルSoCテスト技術の動向

- ミックスド・シグナルSoCテスト技術
- アナログ回路部テストの問題点
- アナログ回路のテスト容易化技術

## 2. ADCテスト信号発生技術の開発事例

- アルゴリズム1:位相差切り替え法
- アルゴリズム2: $\Delta\Sigma$ DAC使用
- アルゴリズム3:プリデステーション

## 3. まとめ

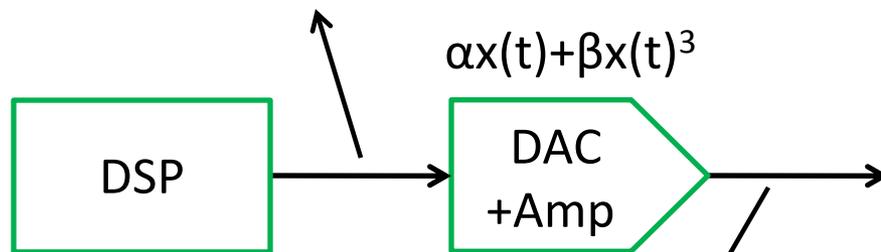
# 提案する

## 2トーン信号発生プリデストーション法

- DSPで主信号に加え**3次高調波を入力**  
→ 入力周波数近くのIMD3を除去
- $3\omega_1, 3\omega_2$ 等はフィルタで除去

$$A\sin(\omega_1 t) + B\sin(\omega_2 t)$$

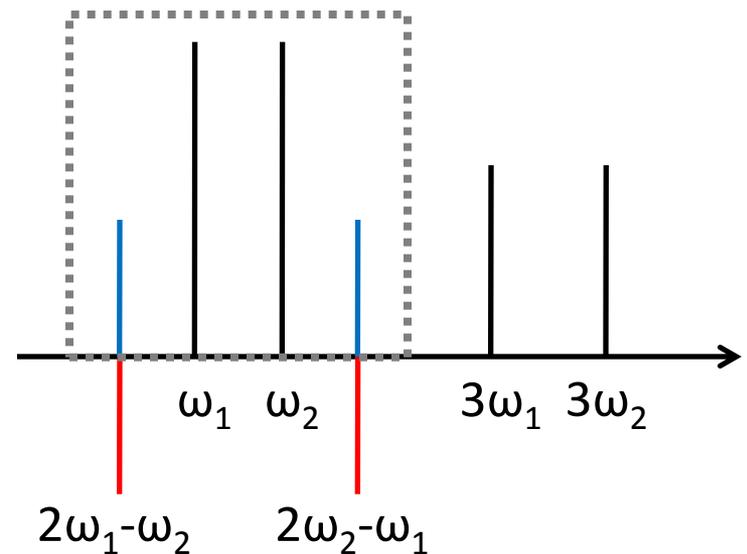
$$+ C\sin(3\omega_1 t) + D\sin(3\omega_2 t)$$



$$\alpha x(t) + \beta x(t)^3$$

$$\sin(\omega_1 t) \quad \text{---} \sin(2\omega_1 - \omega_2)t$$

$$\sin(\omega_2 t) \quad \text{---} \sin(2\omega_2 - \omega_1)t$$



# 提案手法でのIMD3キャンセル原理

<3次高調波入力>

$$\begin{cases} y(t) = \alpha x(t) + \beta x(t)^3 & \text{[DAC+Amp]} \\ x(t) = A\sin(\omega_1 t) + B\sin(\omega_2 t) + C\sin(3\omega_1 t) + D\sin(3\omega_2 t) & \text{[入力信号]} \end{cases}$$



代入して  
 $\sin(2\omega_1 - \omega_2)t$  ,  $\sin(2\omega_2 - \omega_1)t$   
の項を抜き出す

$$\begin{cases} 3\beta/4 \cdot A^2 B \sin(2\omega_1 - \omega_2)t \\ -3\beta/2 \cdot ABC \sin(2\omega_1 - \omega_2)t \end{cases} \quad \begin{cases} 3\beta/4 \cdot AB^2 \sin(2\omega_2 - \omega_1)t \\ -3\beta/2 \cdot ABD \sin(2\omega_2 - \omega_1)t \end{cases}$$



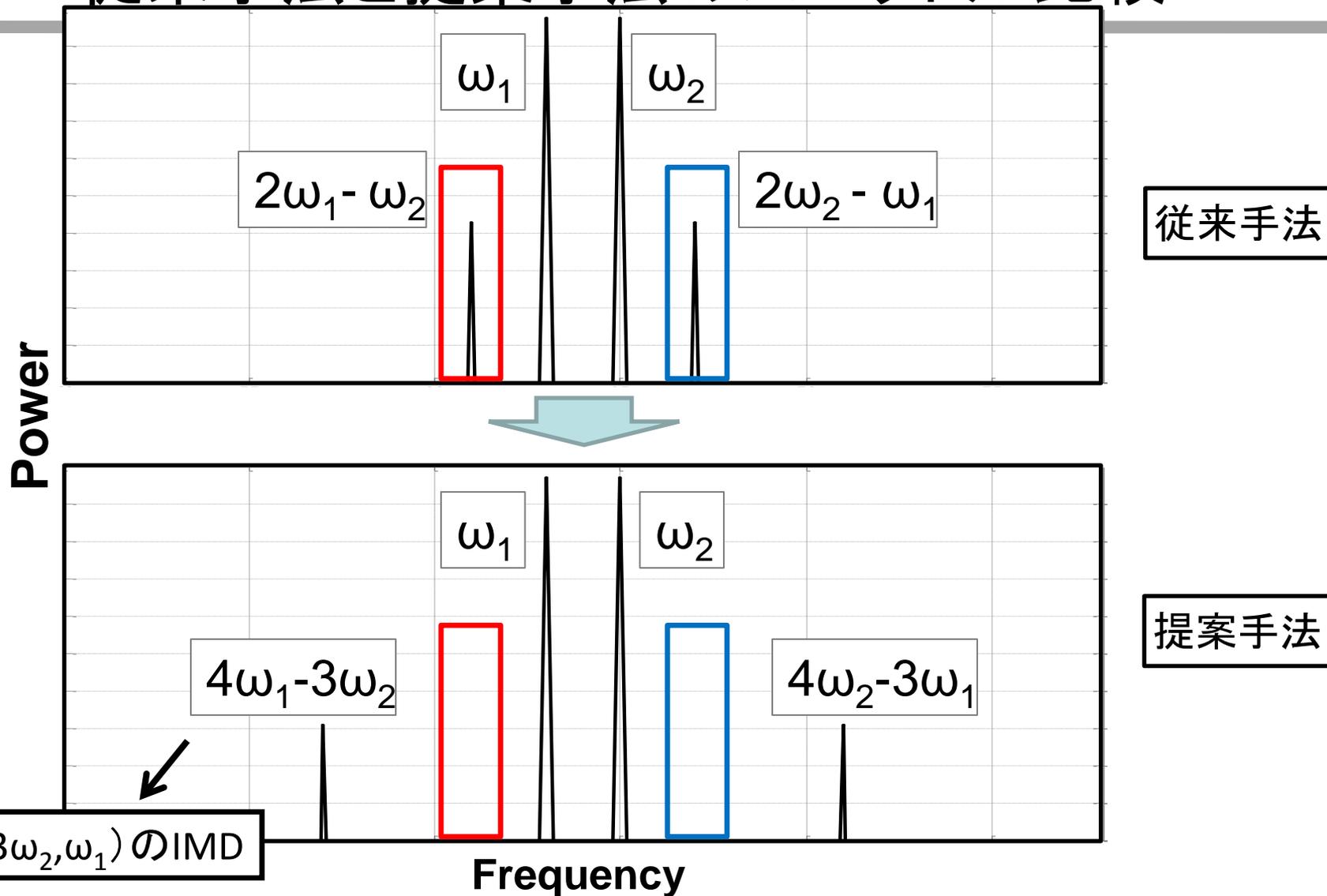
打ち消す

$$\underline{C=A/2, D=B/2}$$

$\alpha, \beta$ に依存しない  
→ DAC+Ampの特性  
同定不要

# シミュレーションによる検証:

## 従来手法と提案手法のスペクトル比較



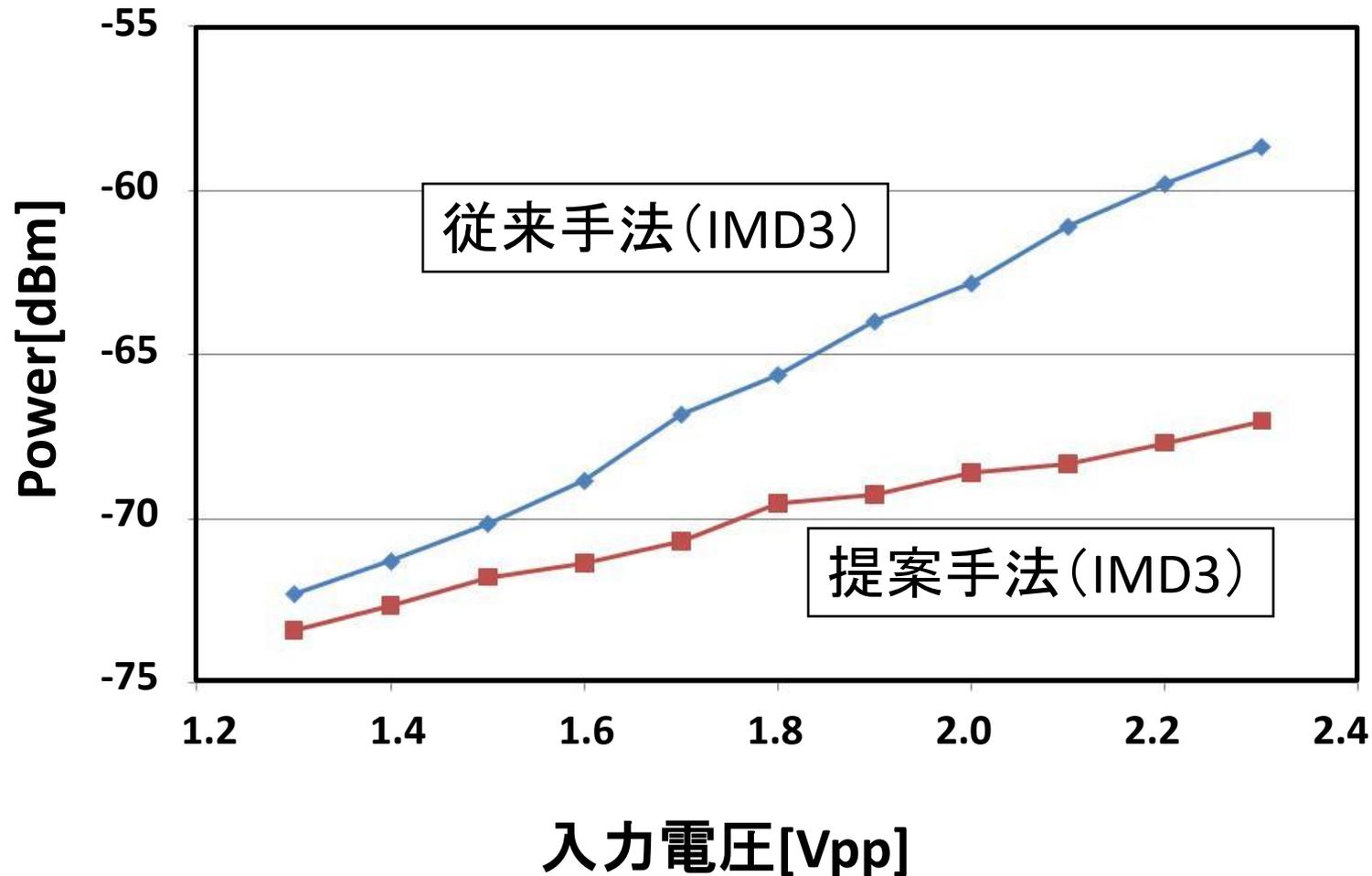
$(3\omega_1, 3\omega_2, \omega_1)$  のIMD

大きさ  $\propto A^3$

IMD3が除去されている

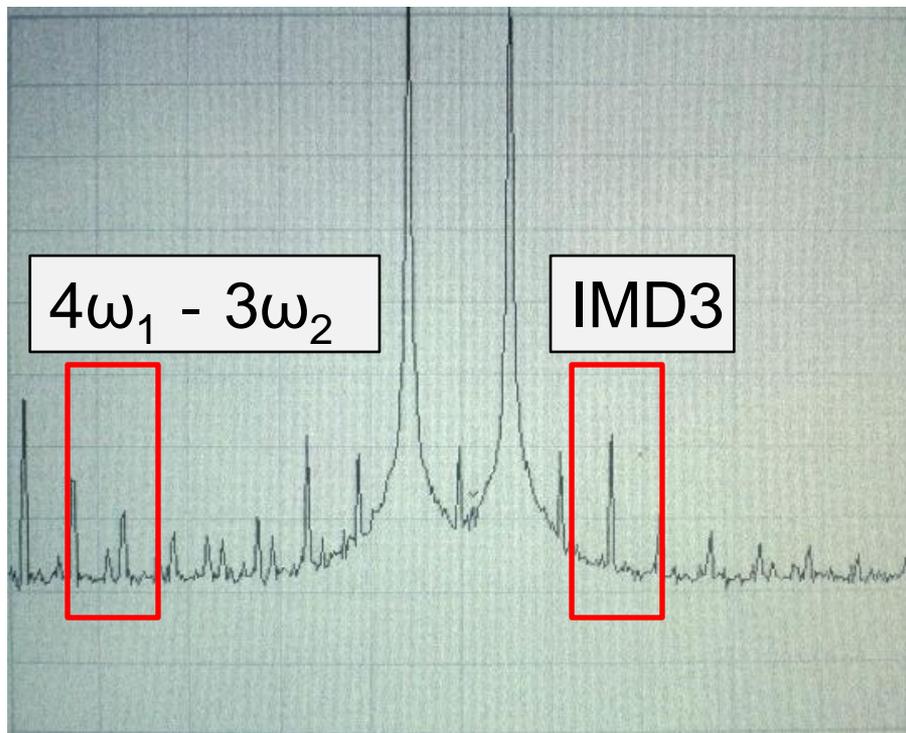
# 実験による検証

## 従来手法と提案手法とのIMD3比較

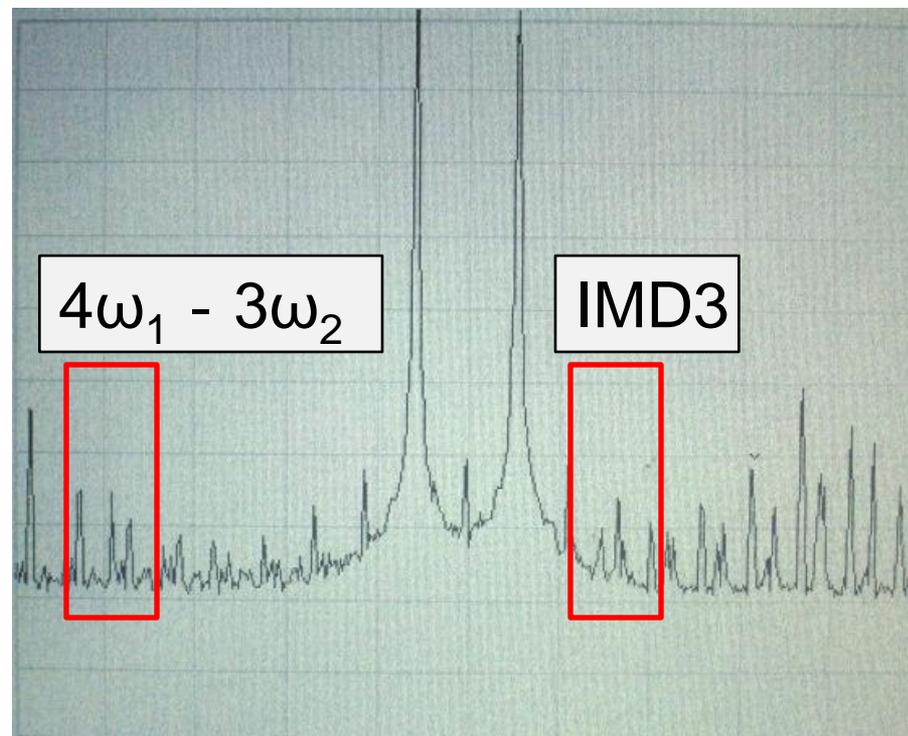


# 実験による検証

## 出力パワースペクトラム



従来手法



提案手法

# 発表内容

## 1. ミックスド・シグナルSoCテスト技術の動向

- ミックスド・シグナルSoCテスト技術
- アナログ回路部テストの問題点
- アナログ回路のテスト容易化技術

## 2. ADCテスト信号発生技術の開発事例

- アルゴリズム1:位相差切り替え法
- アルゴリズム2: $\Delta\Sigma$ DAC使用
- アルゴリズム3:プリデステーション

## 3. まとめ

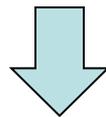
# ミックスト・シグナルSoCテスト技術

---

- 生産技術と位置付けられる
- 「低コスト」が最も重要な指標

Cost, Cost, Cost !

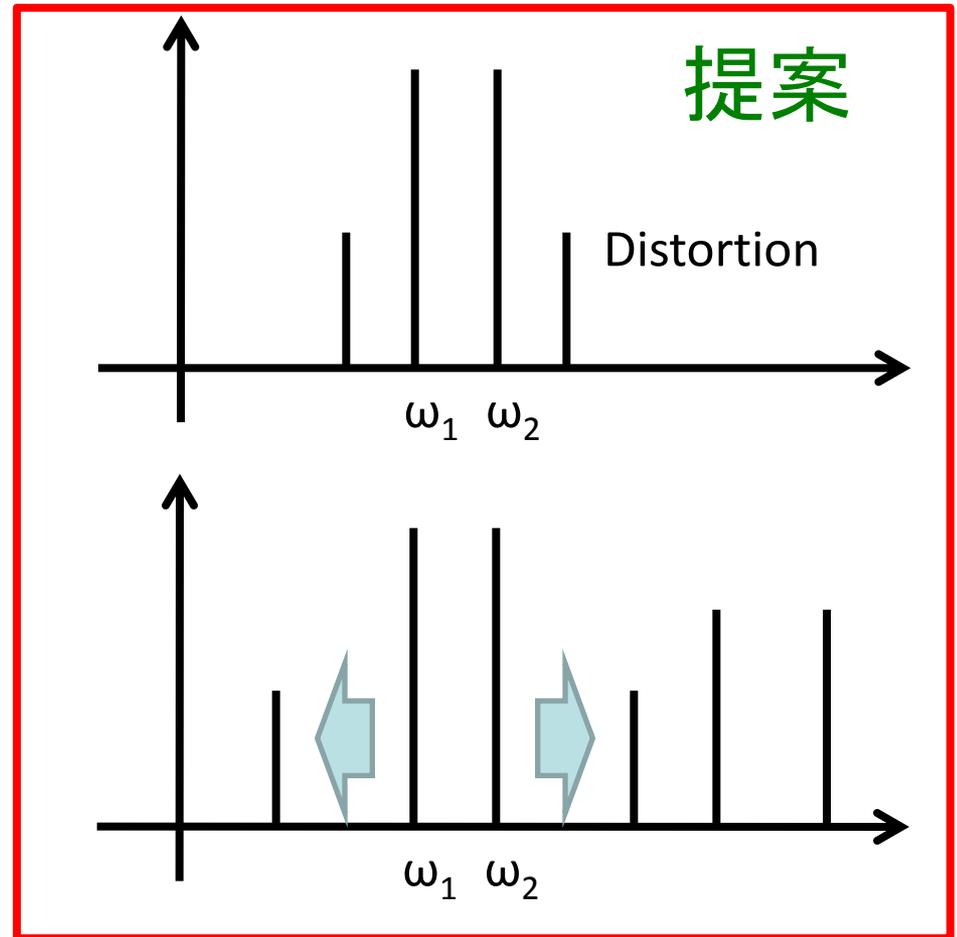
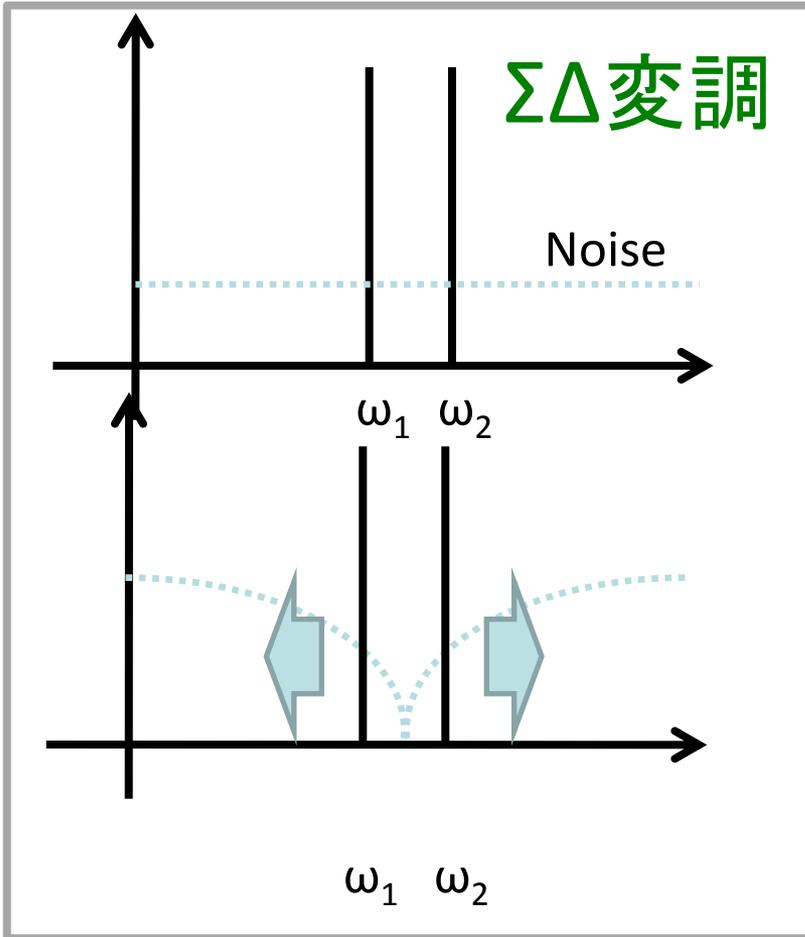
- アナログRF部のテストは
  - 産業的に重要
  - 技術的にチャレンジング
- 回路関係の学会、研究者グループとは別



多くのフロンティア

# 開発したADCテスト信号発生技術

例: 2トーンの場合



Band-pass Noise Shaping

Band-pass Distortion Shaping

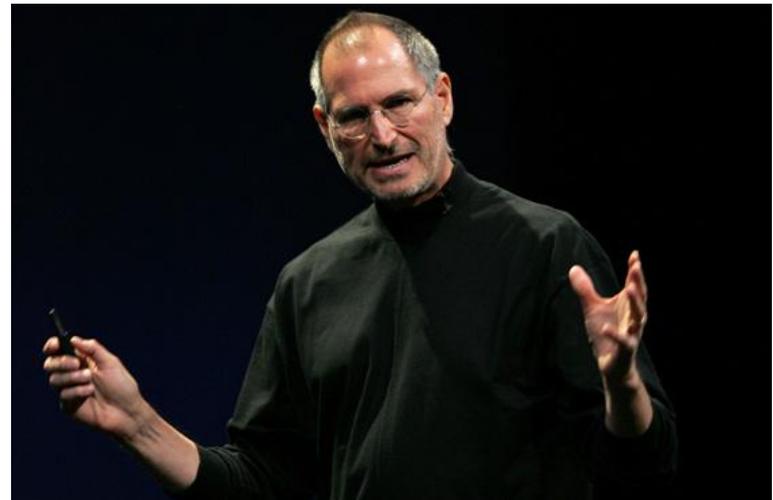
信号付近のノイズ・歪み → 帯域外

# 新概念 Distortion-Shaping

---

提案アルゴリズムを  
 $\Sigma\Delta$ 変調のNoise-Shapingに関連づける。

「創造力とは、いろいろなものをつなぐ力だ」  
(Steve Jobs, Apple社)



# 参考文献

- [1] K. Wakabayashi, T. Yamada, S. Uemori, O. Kobayashi, K. Kato, H. Kobayashi, K. Niitsu, H. Miyashita, S. Kishigami, K. Rikino, Y. Yano, T. Gake, "Low-Distortion Single-Tone and Two-Tone Sinewave Generation Algorithms Using an Arbitrary Waveform Generator", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Santa Barbara, CA (May 2011).
- [2] T. Yamada, O. Kobayashi, K. Kato, K. Wakabayashi, H. Kobayashi, T. Matsuura, Y. Yano, T. Gake, K. Niitsu, N. Takai, T. J. Yamaguchi, "Low-Distortion Single-Tone and Two-Tone Sinewave Generation Using  $\Sigma\Delta$  DAC", IEEE International Test Conference (poster session), Anaheim, CA (Sept. 2011).
- [3] 山田貴文, 若林和行, 上森聡史, 加藤啓介, 小林修, 新津葵一, 宮下博之, 小林春夫  
「高次 $\Delta\Sigma$ DAC信号発生回路での歪キャンセル・ノイズ低減技術」  
電子情報通信学会 総合大会、東京 (2011年3月)
- [4] 加藤 啓介, 若林 和行, 山田 貴文, 小林 春夫, 小林 修, 新津 葵一  
「任意波形発生器を用いた低歪み2トーン信号発生技術」  
第24回 回路とシステムワークショップ、淡路島 (2011年8月2日).
- [5] 安部文隆, 加藤啓介, 若林和行, 小林修, 小林春夫, 新津葵一  
「インターリーブを用いた低歪み2トーン信号発生技術」  
電気学会 電子回路研究会, ECT-11-084, 長崎 (2011年10月20日).