

デジタル信号時間差測定用回路の構成の検討 (回路実現)

○石井 正道 上森 聡史 土井 佑太 小林 春夫(群馬大学)
小林 修 (STARC) 松浦 達治 新津 葵一(群馬大学)

2012年1月19日

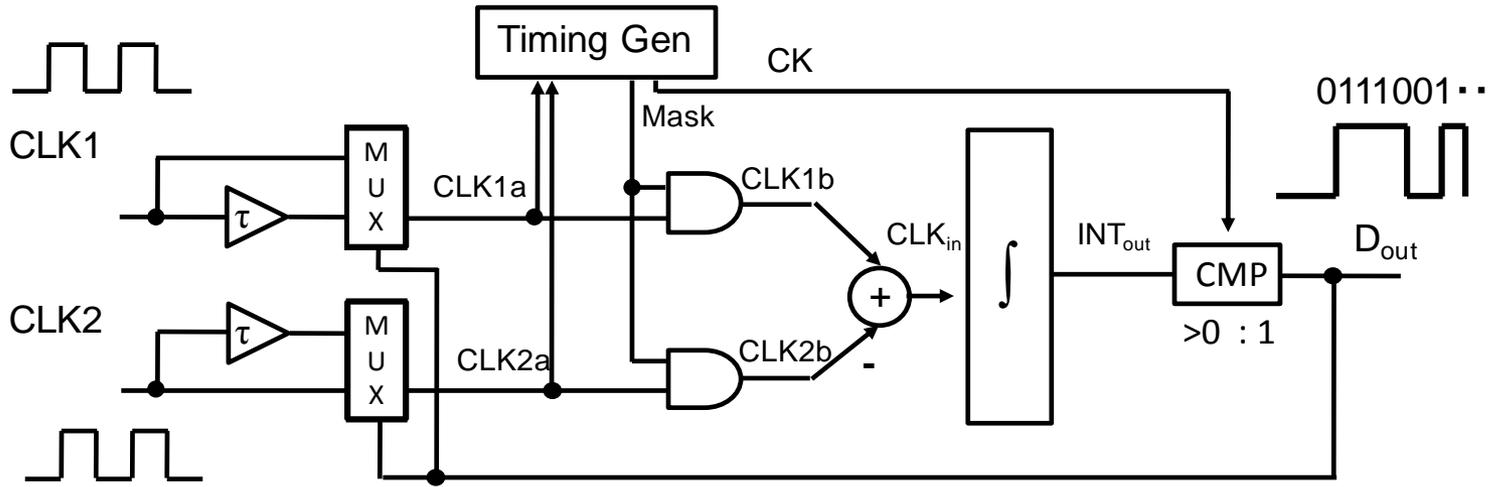
研究目的

$\Delta\Sigma$ 型タイムデジタイザ型回路を回路レベルで検討

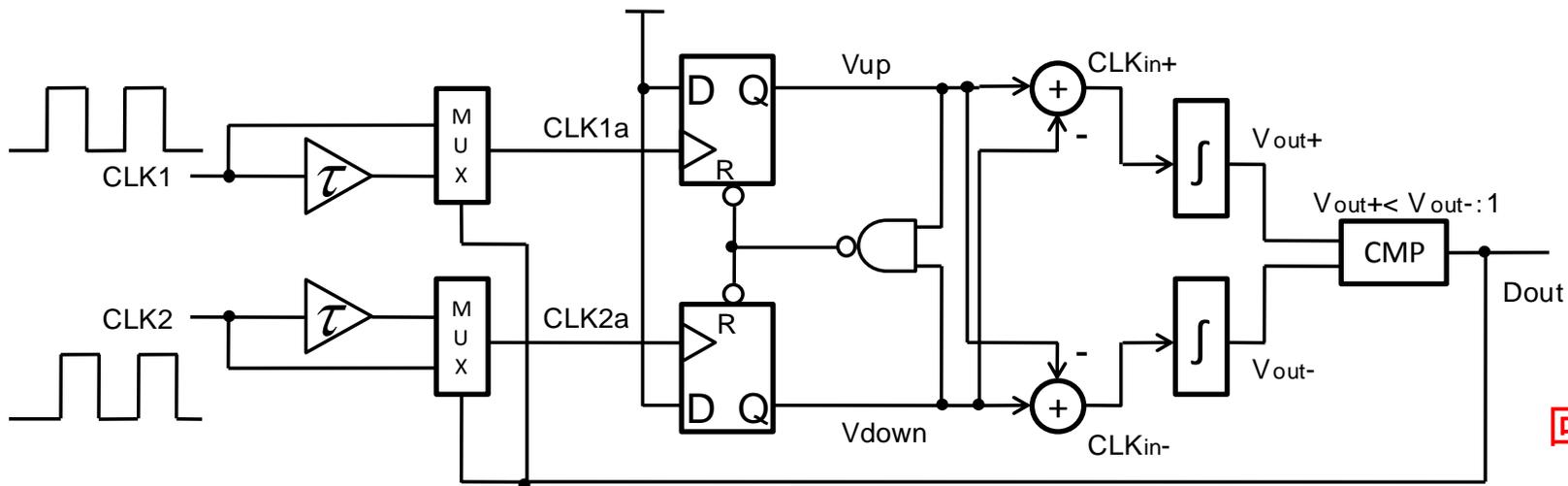


マルチプレクサ、位相比較器、チャージポンプ、コンパレータ
により構成
回路シミュレータspectreで設計・検証

システムレベルから回路レベルへ

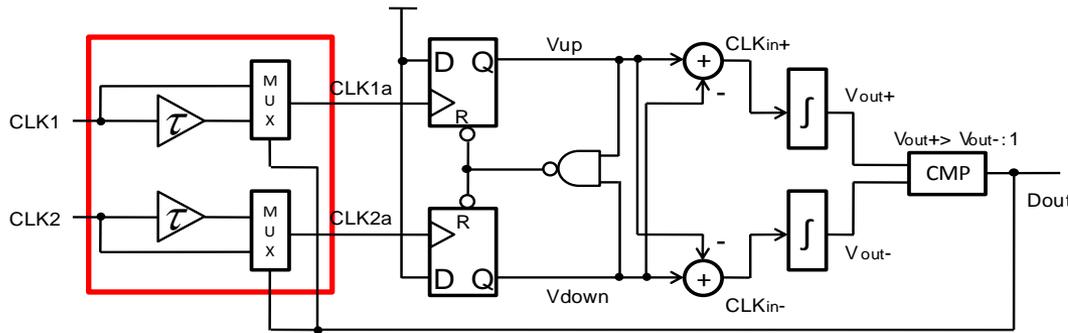


システム設計

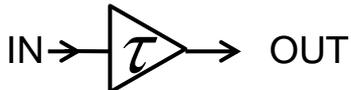


回路設計

クロックの遅延選択回路

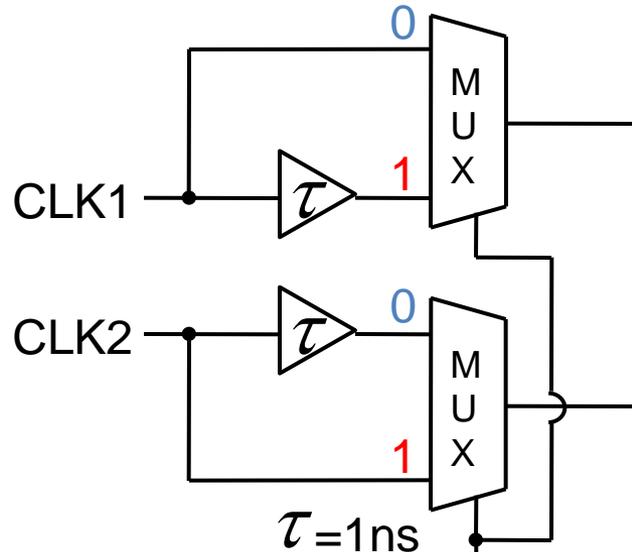


遅延回路



インバータ32個

$\tau = 1\text{ns}$ (typical)

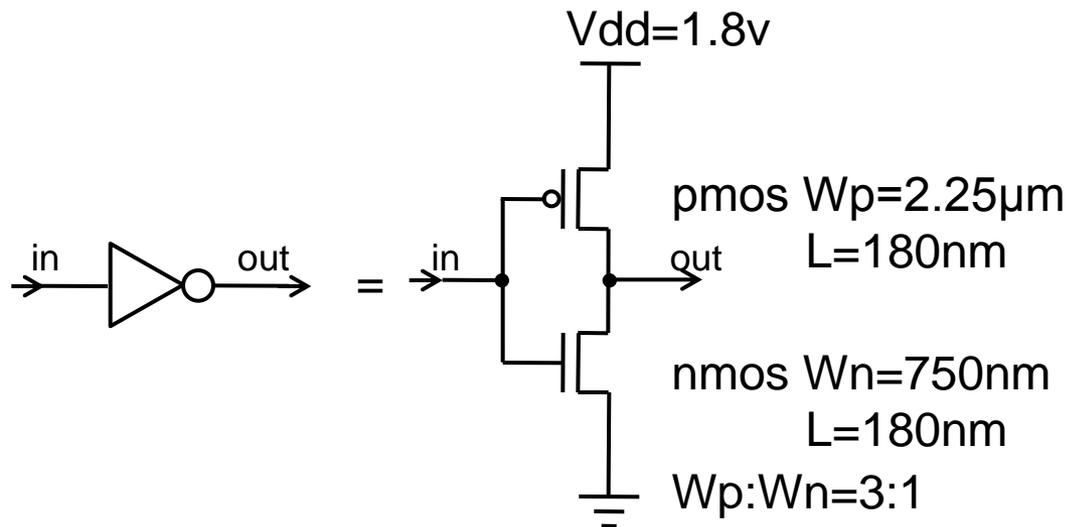
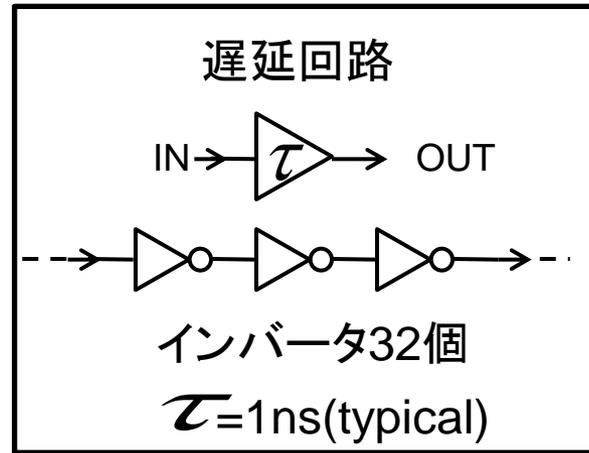


制御信号
0:上の経路
1:下の経路

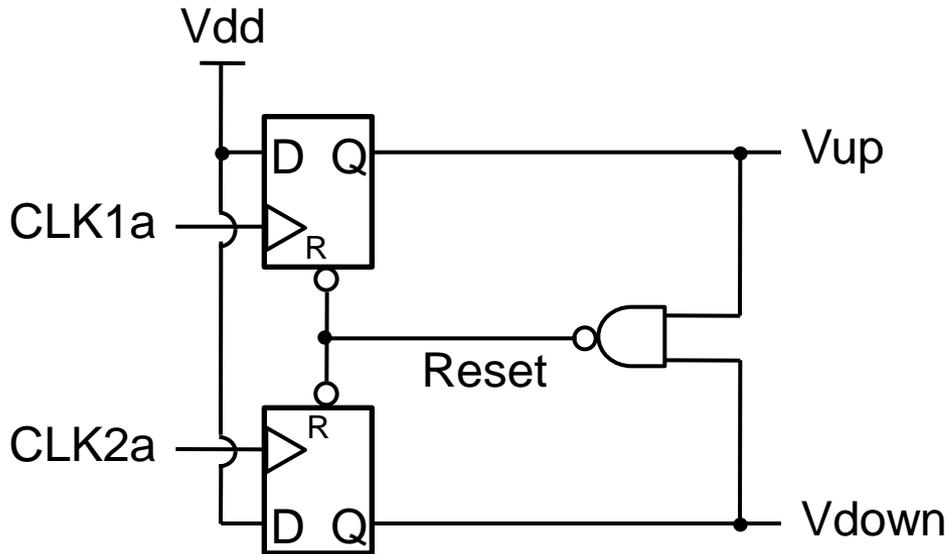
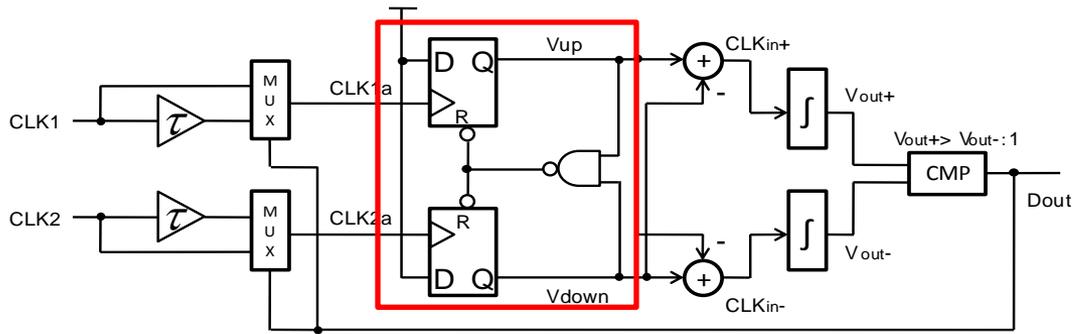
制御信号
初期状態では0

コンパレータからの出力

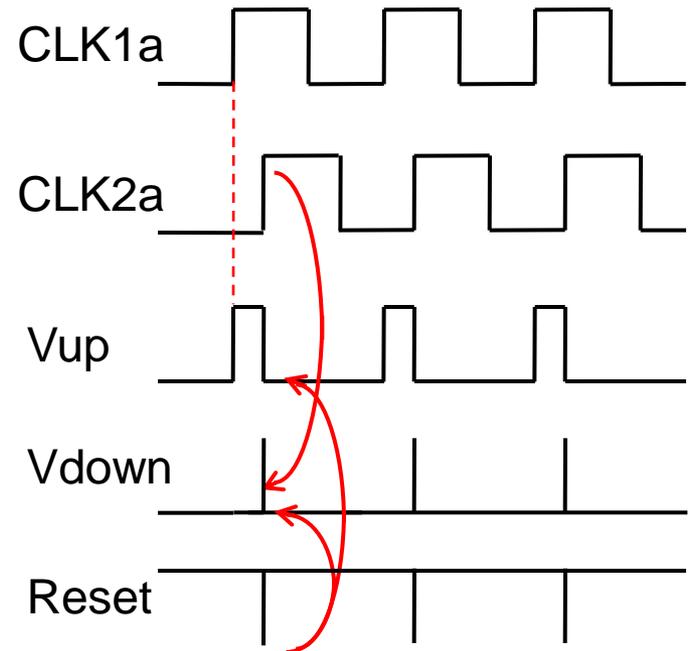
MOSによるインバータの設計



位相比較器



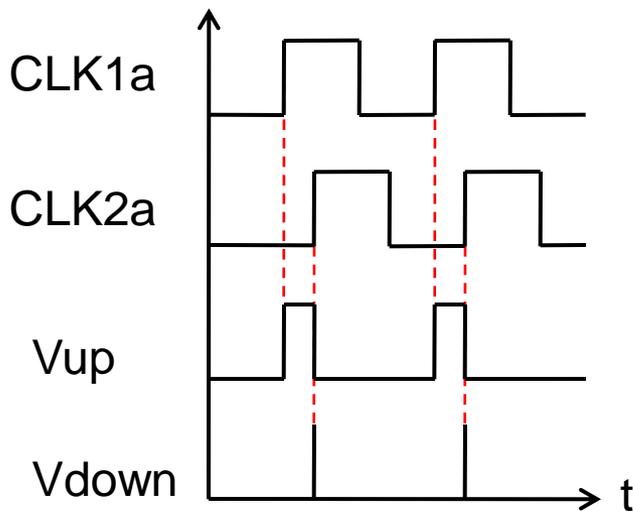
NAND型位相比較器



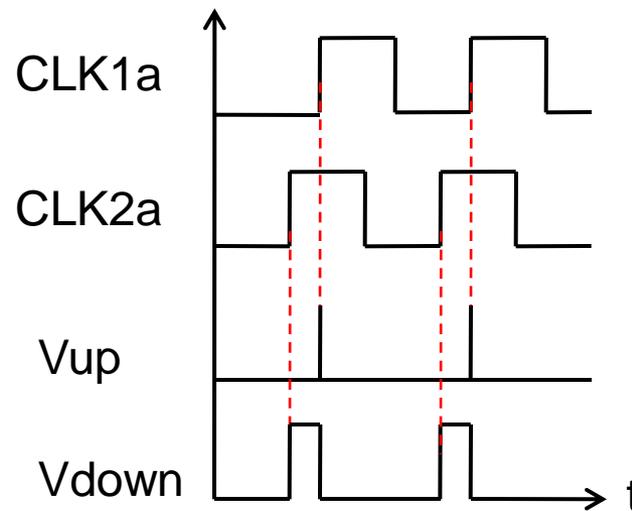
タイミングチャート

立ち上がりのタイミング

CLK1aとCLK2aの立ち上がりエッジのタイミングにより出力が異なる

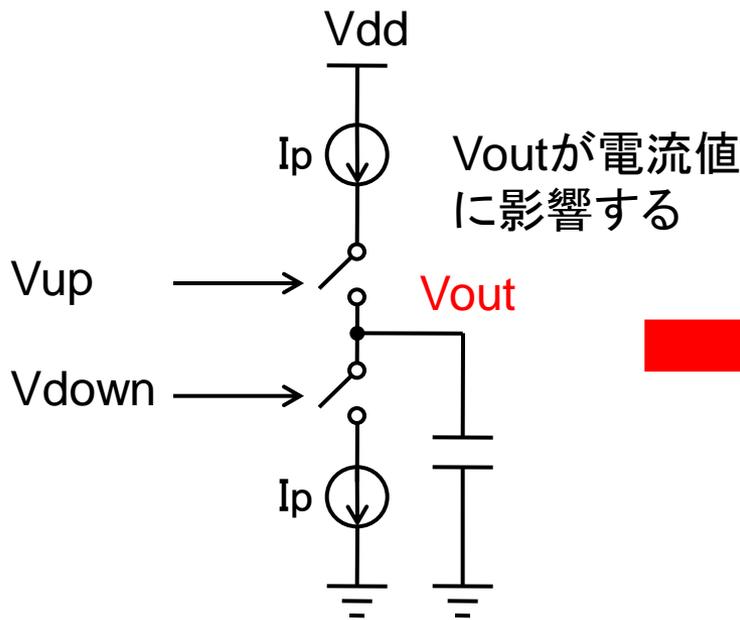
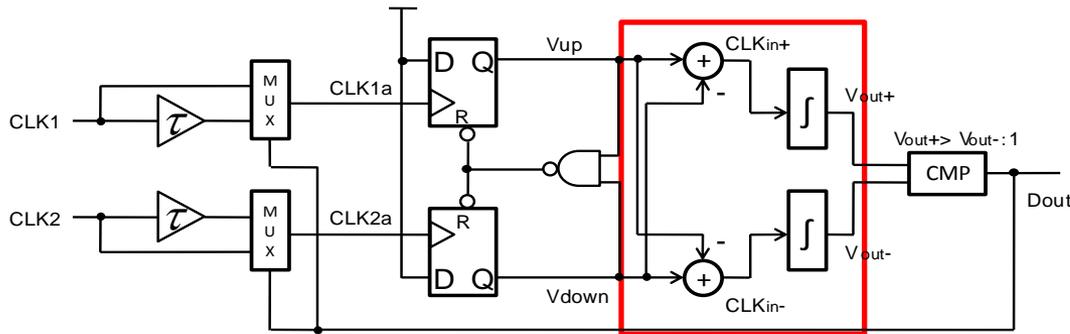


Dataの立ち上がりエッジが
clockのエッジよりも早い場合

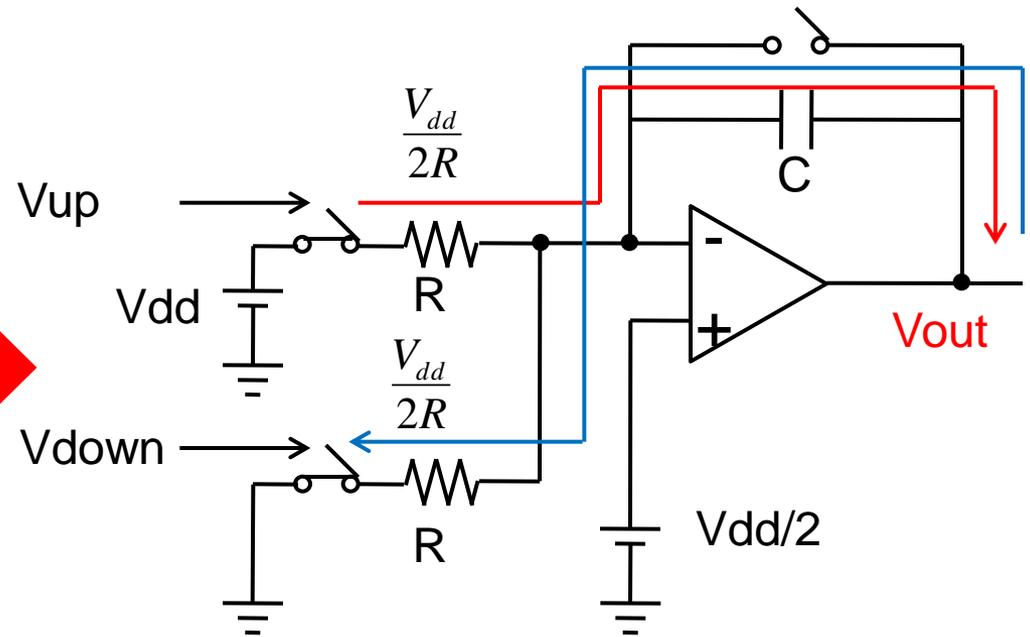


Dataの立ち上がりエッジが
clockのエッジよりも遅い場合

チャージポンプ回路

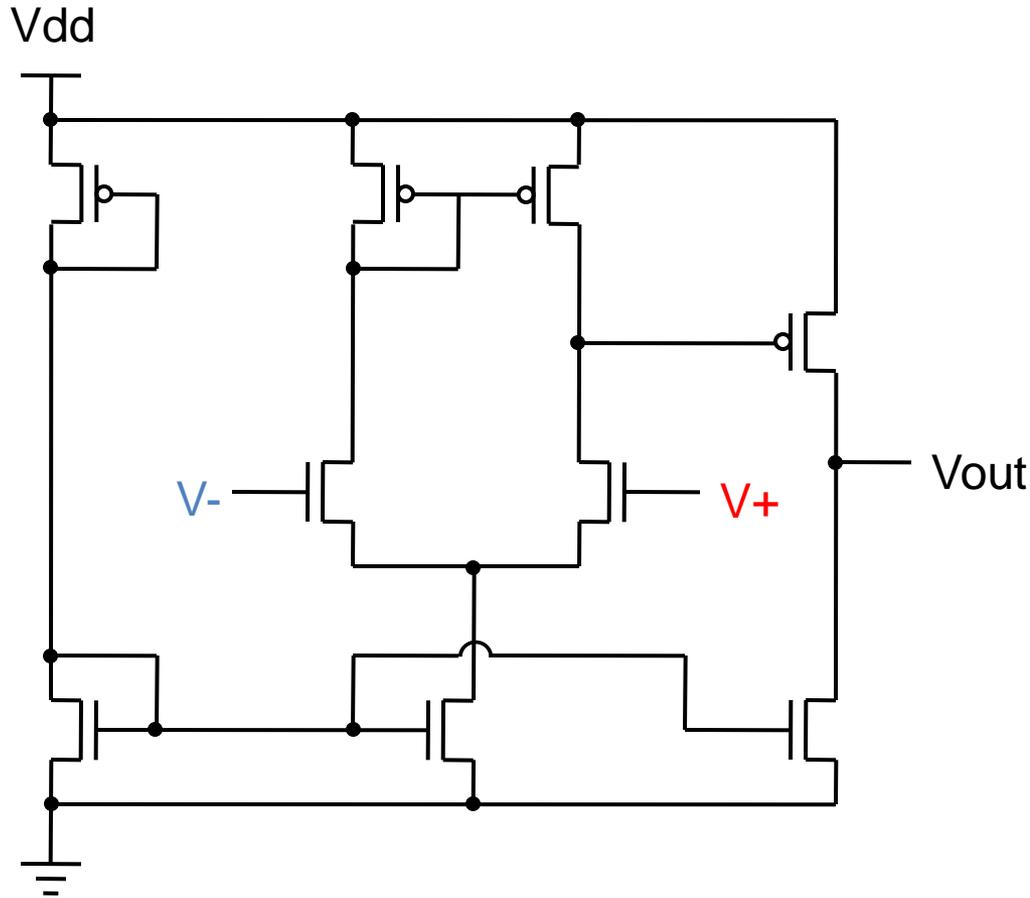


基本型チャージポンプ

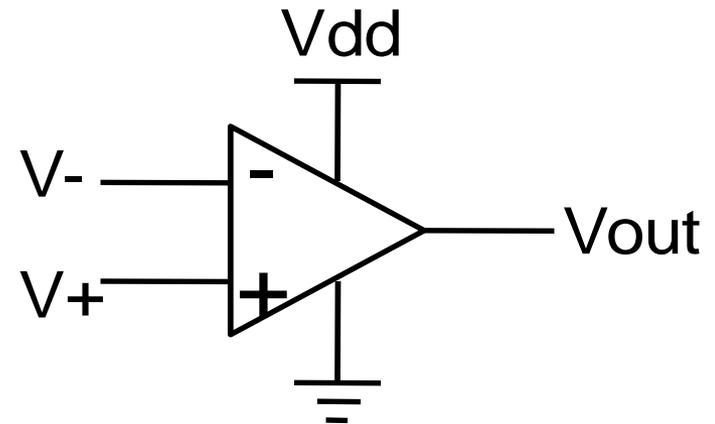


オペアンプ型チャージポンプ

オペアンプの回路設計

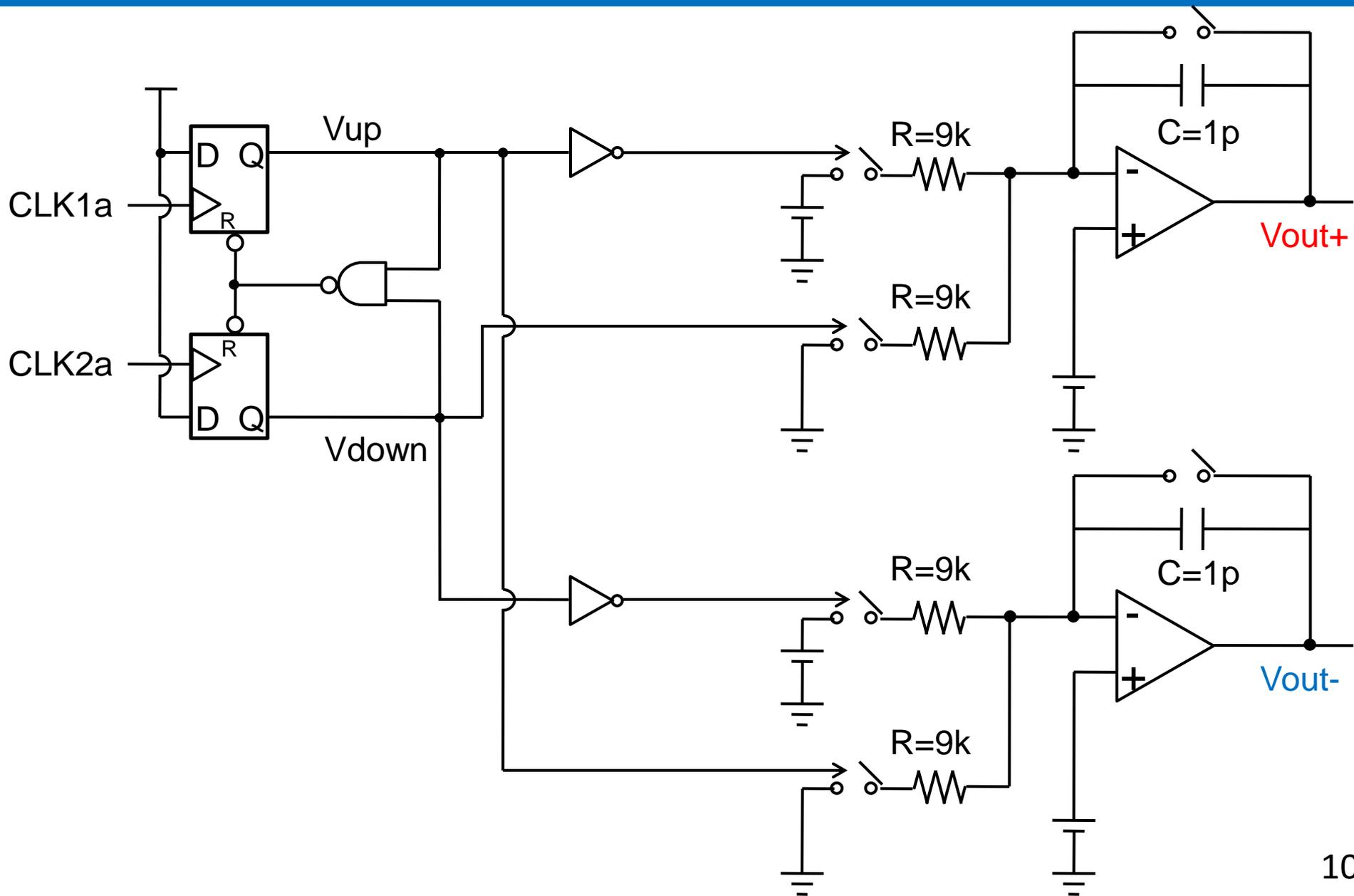


回路図

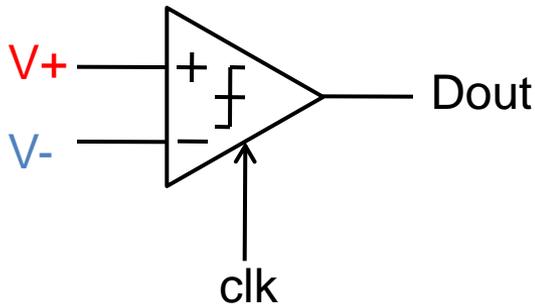
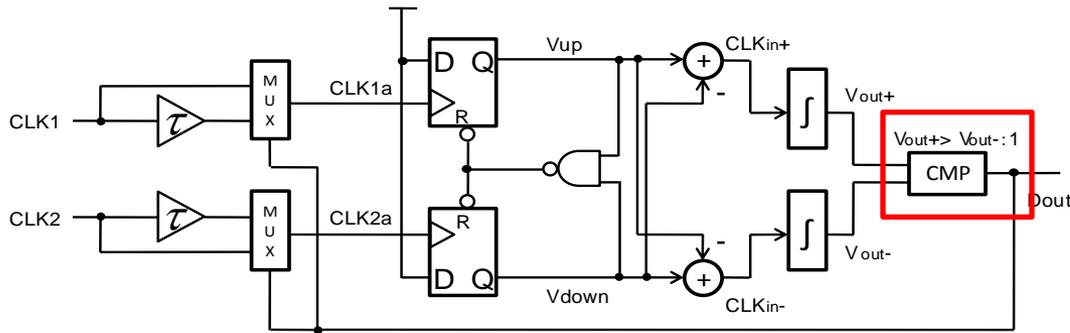


記号

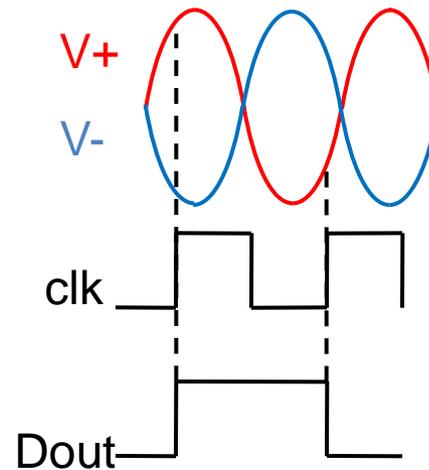
位相比較器とチャージポンプの接続



コンパレータ



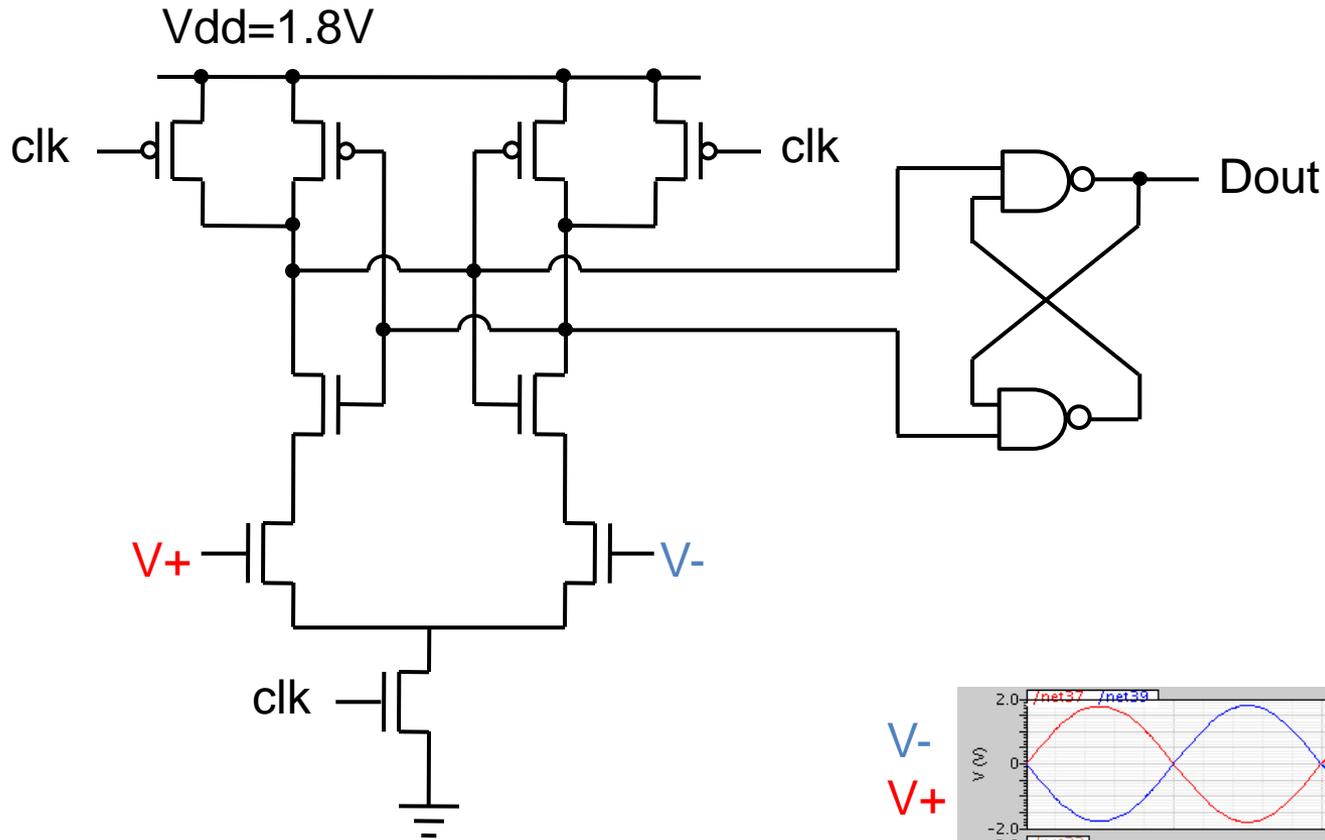
クロック同期型コンパレータ



$V+ > V- \rightarrow \text{Dout}=1$
 $V+ < V- \rightarrow \text{Dout}=0$

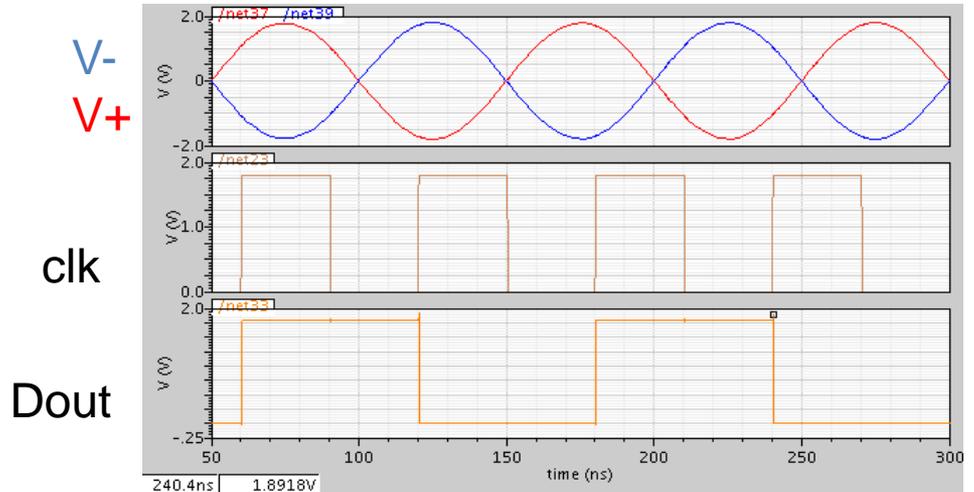
入出力波形

コンパレータの回路設計

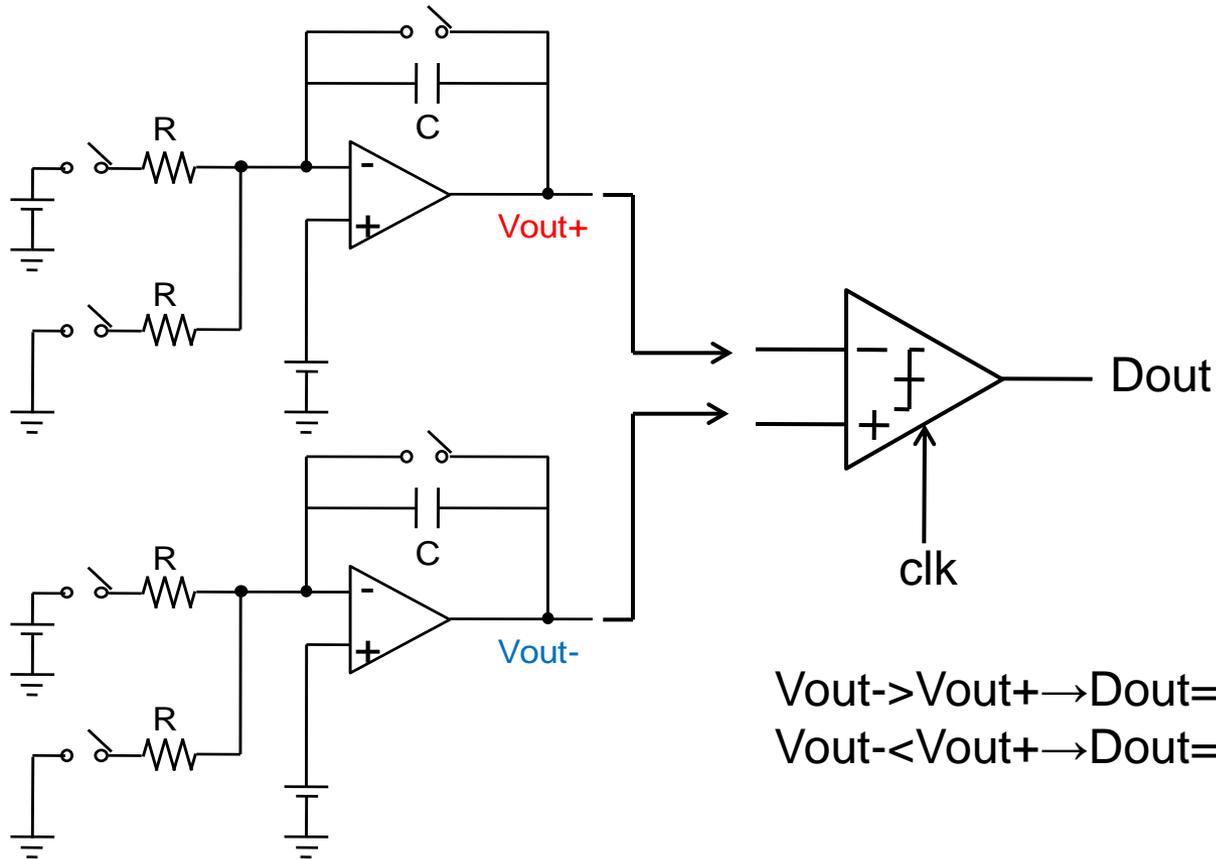
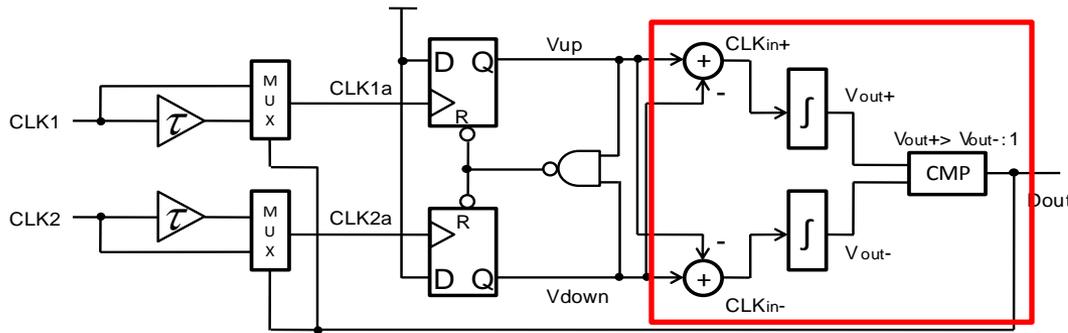


pmos $W_p=6\mu\text{m}$
 $L=180\text{nm}$

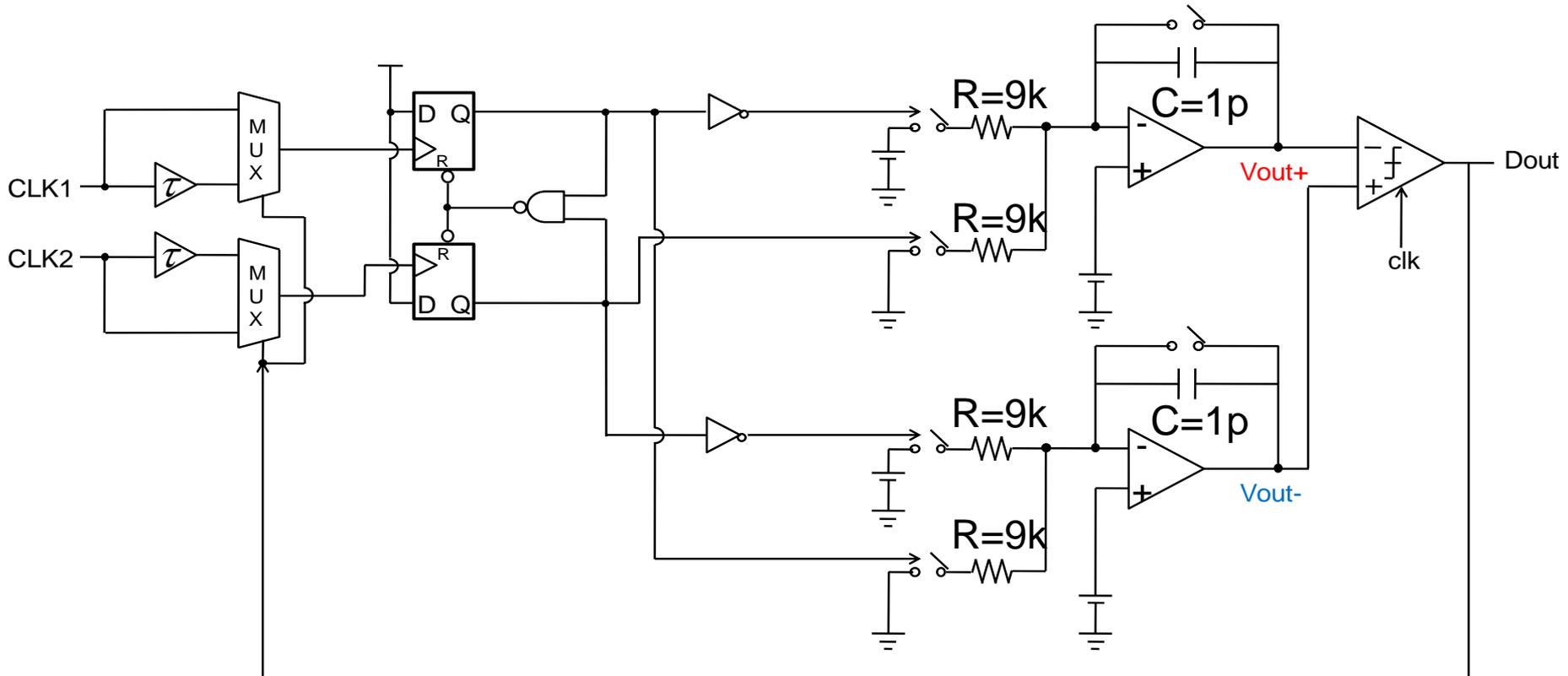
nmos $W_n=2\mu\text{m}$
 $L=180\text{nm}$



チャージポンプとコンパレータの接続



1ビット $\Delta\Sigma$ 型TDC



シミュレーション条件

電源電圧1.8V

CLK1,CLK2

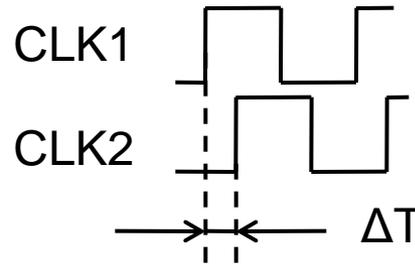
High:1.8V/Low:0V 周波数10MHz,パルス幅50ns

簡単な回路で構成

Vout+, Vout-, Doutの波形

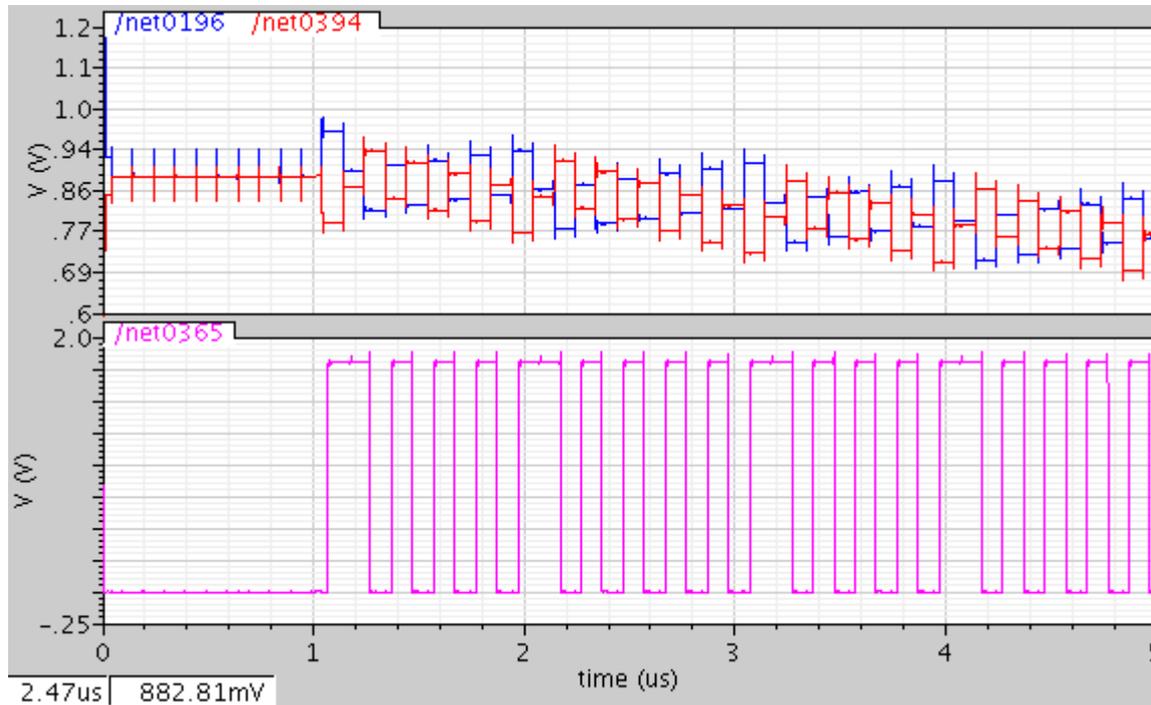
CLK1が先に立ち上がる場合 ($\Delta T=0.1\text{ns}$)

※測定時間4us



Vout+

Vout-

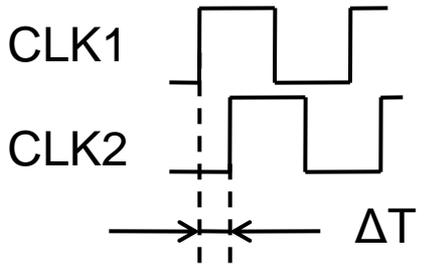


Dout

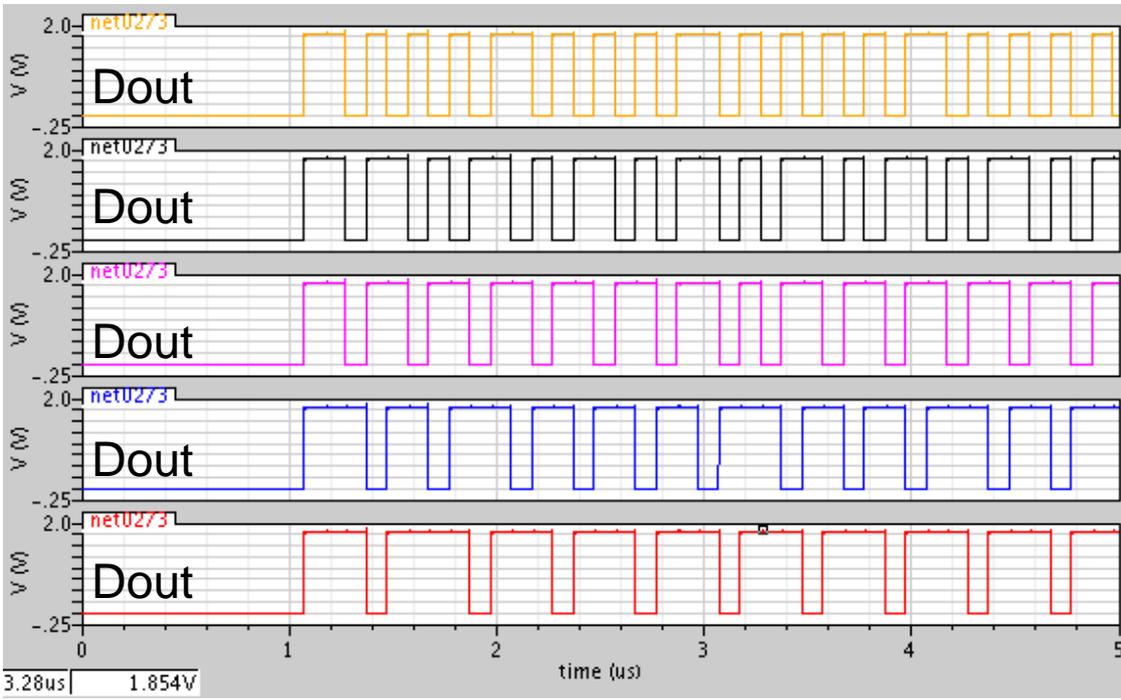
Doutの波形・CLK1先に立ち上がる場合

CLK1が先に立ち上がる場合

※測定時間4us



ΔT
0.5ns
0.4ns
0.3ns
0.2ns
0.1ns



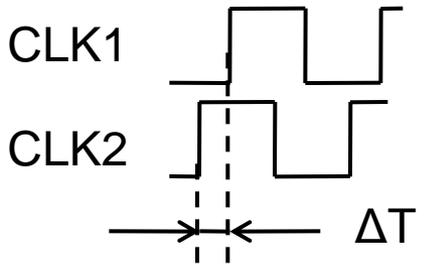
1のパルス数

22
24
26
28
30

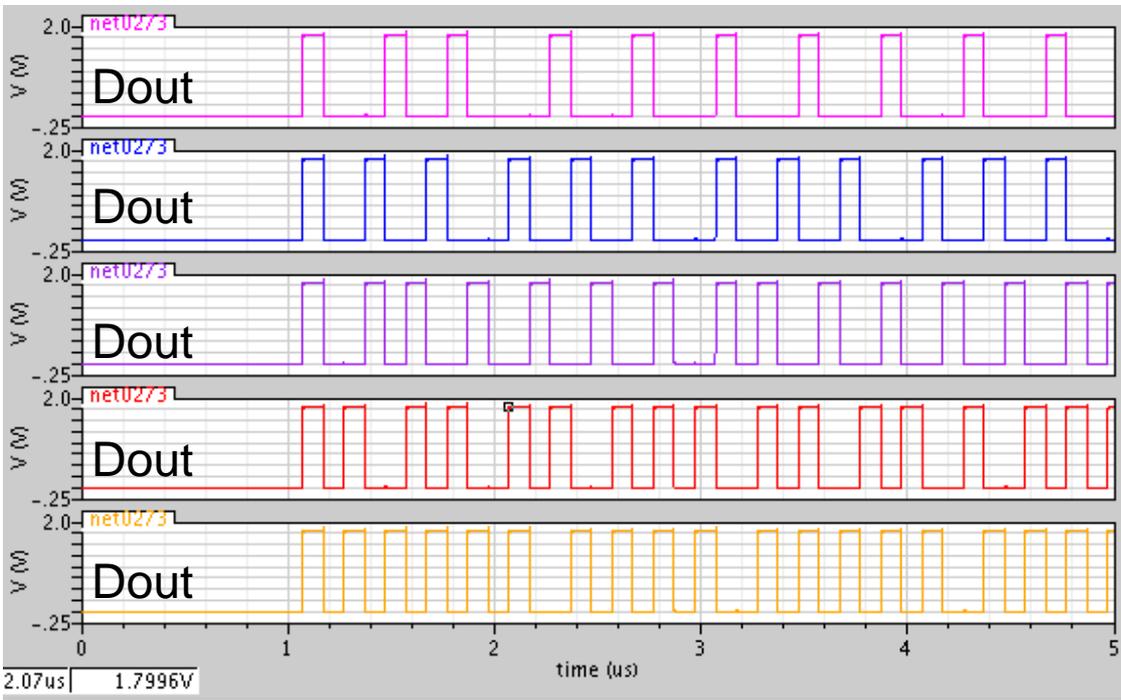
Doutの波形・CLK2先に立ち上がる場合

CLK2が先に立ち上がる場合

※測定時間4us



ΔT
0.5ns
0.4ns
0.3ns
0.2ns
0.1ns



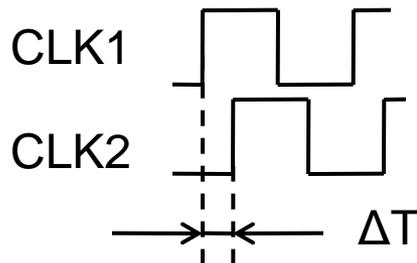
1のパルス数

10
12
14
16
18

Dout出力

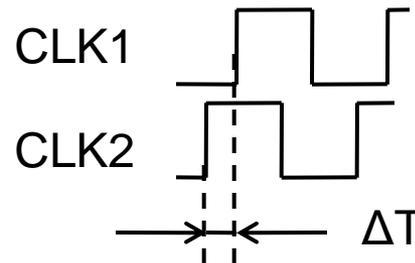
CLK1が先に
立ち上がる

$\Delta T(\text{ns})$	1の数
0.95	39
0.9	38
0.8	36
0.7	34
0.6	32
0.5	30
0.4	28
0.3	26
0.2	24
0.1	22
0	20



CLK2が先に
立ち上がる

$\Delta T(\text{ns})$	1の数
0.95	1
0.9	2
0.8	4
0.7	6
0.6	8
0.5	10
0.4	12
0.3	14
0.2	16
0.1	18
0	20



※測定時間4us

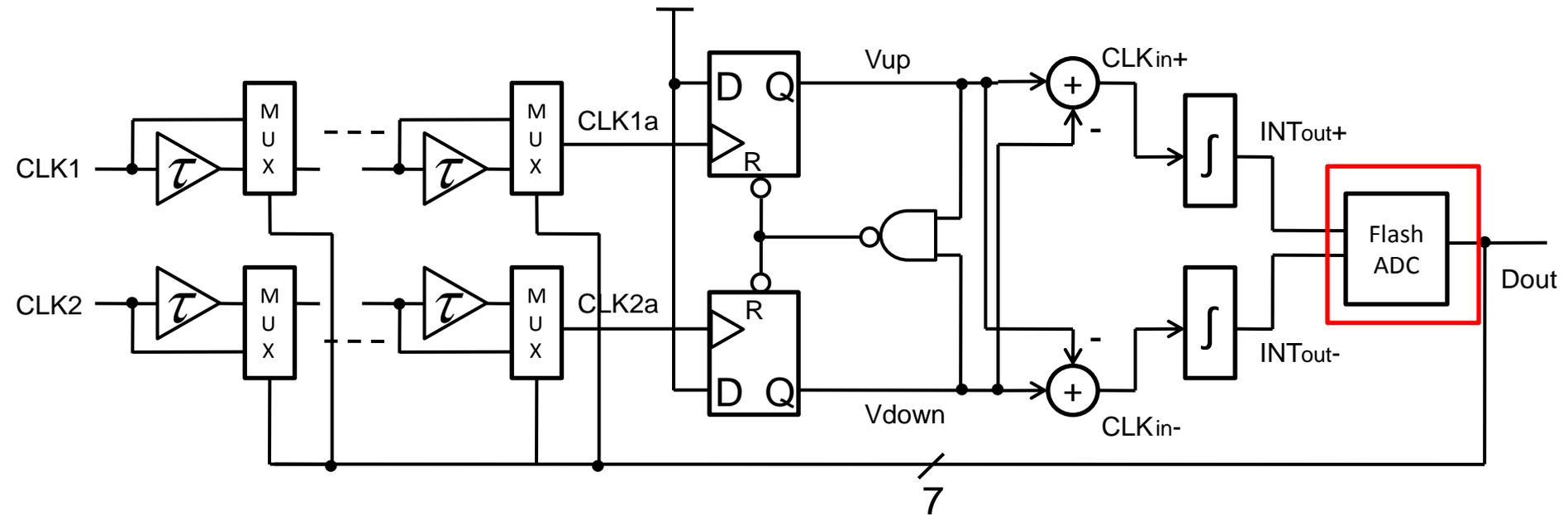
時間差0.1n毎
にパルス数が
2つつ変化



測定時間4usでは
分解能50ps

シミュレーションで確認

マルチビット $\Delta\Sigma$ 型TDC



3ビット $\Delta\Sigma$ 型TDC

3ビット $\Delta\Sigma$ 型TDC

- 3ビットFlash型AD変換器
- $2^3 - 1$ 数の出力、マルチプレクサ、遅延回路

$$\text{遅延 } \tau = \frac{1ns}{2^3 - 1}$$

測定時間4us

1ビット分解能: 50ps

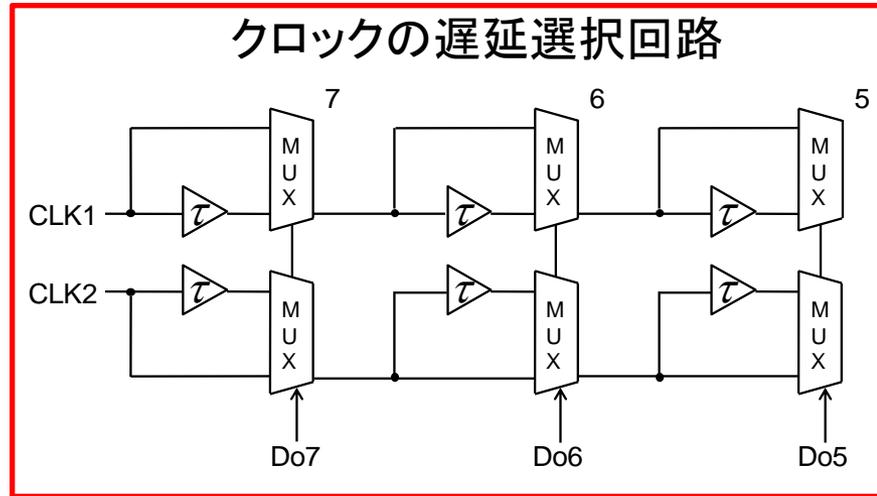
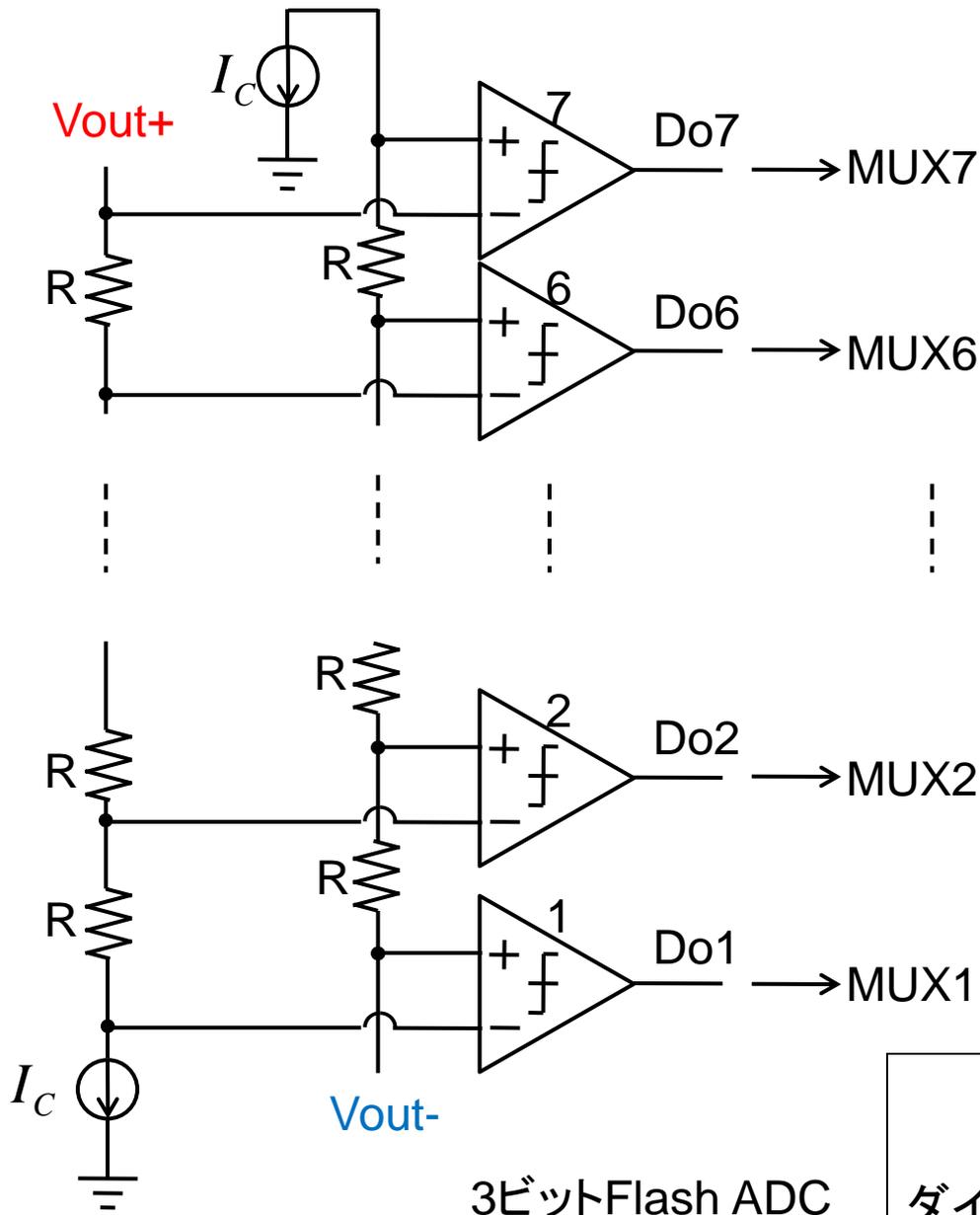
3ビット分解能: $50ps / (2^3 - 1) = 7.14ps$

- 1ビット $\Delta\Sigma$ 型TDC
測定可能な時間差50ps単位



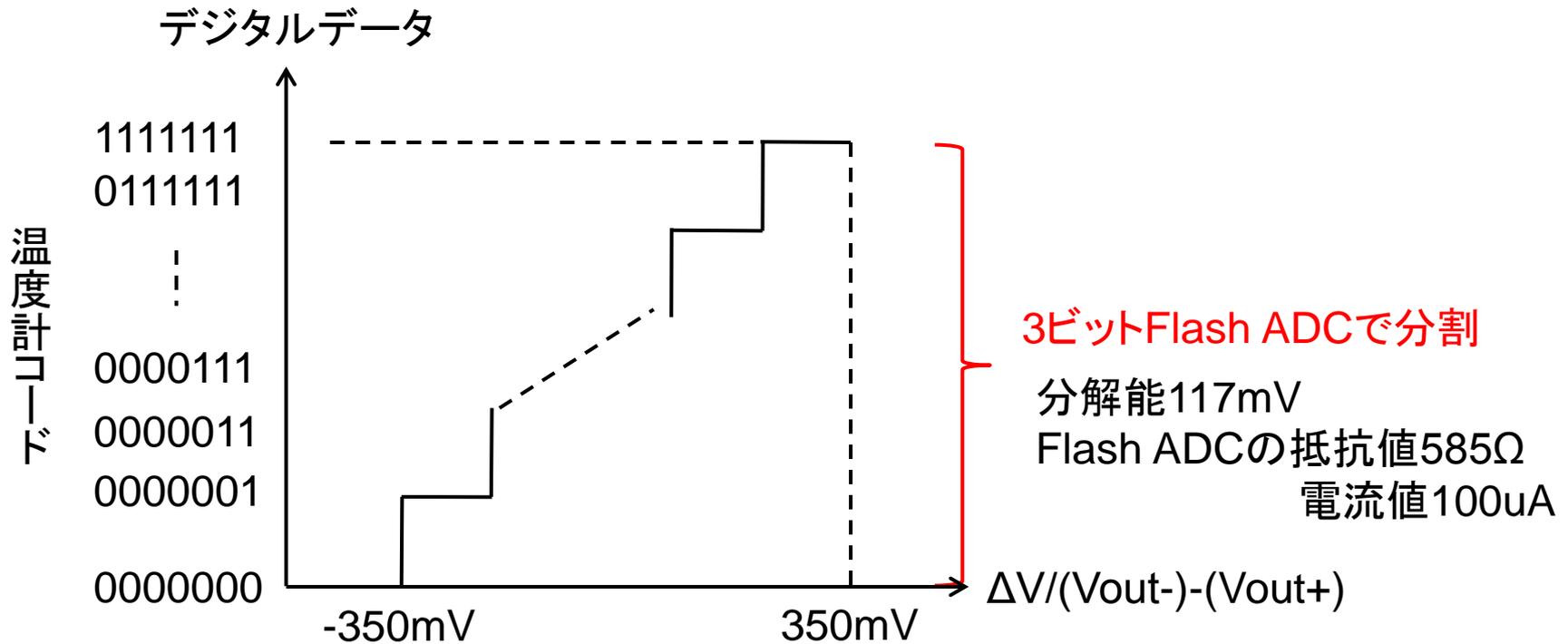
- マルチビット $\Delta\Sigma$ TDC
更に細かく測定可能

3ビットFlash ADC



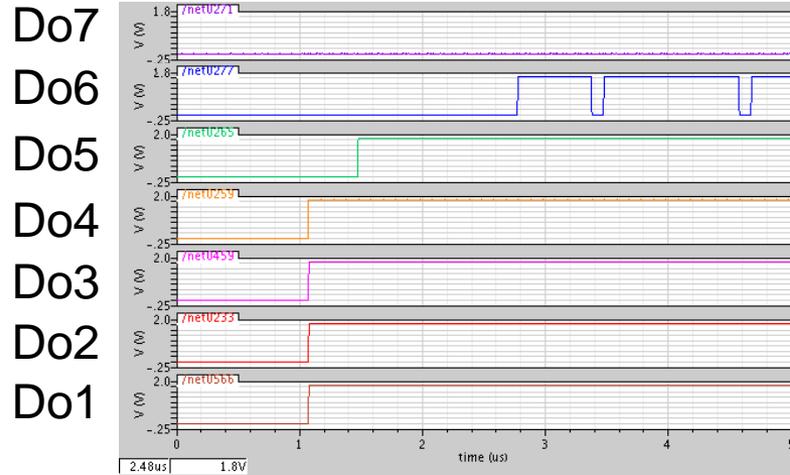
差動構成
+
ダイナミック抵抗ラダー

Flash ADCのダイナミックレンジ



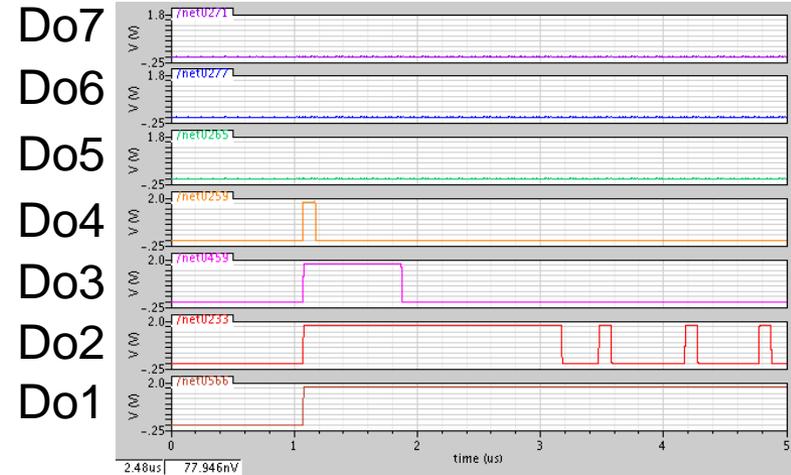
3ビット $\Delta\Sigma$ 型TDCの出力波形

時間差0.6ns(CLK1先)



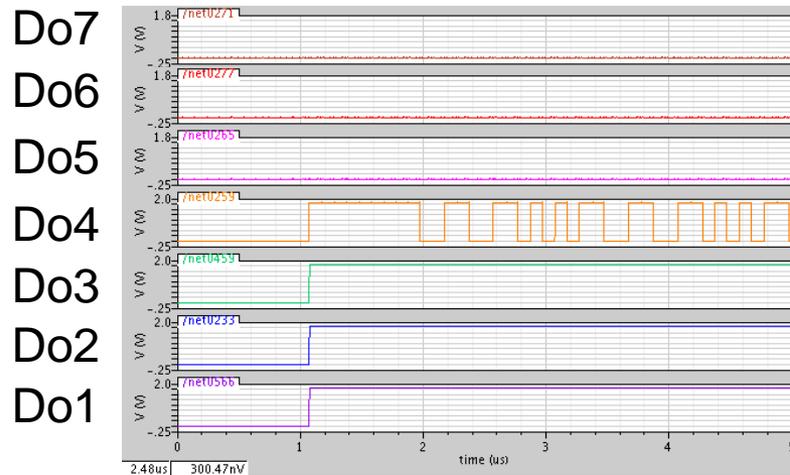
パルス数:210

時間差0.6ns(CLK2先)

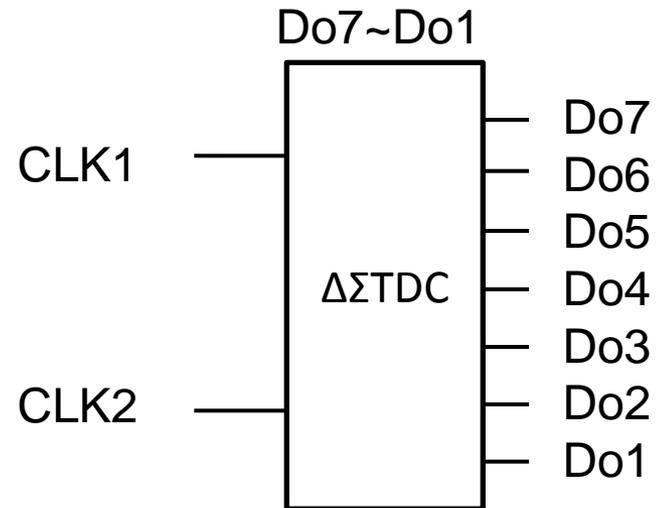


パルス数:62

時間差0



パルス数:142



3ビット $\Delta\Sigma$ 型TDCの分解能

時間差 (CLK2先)

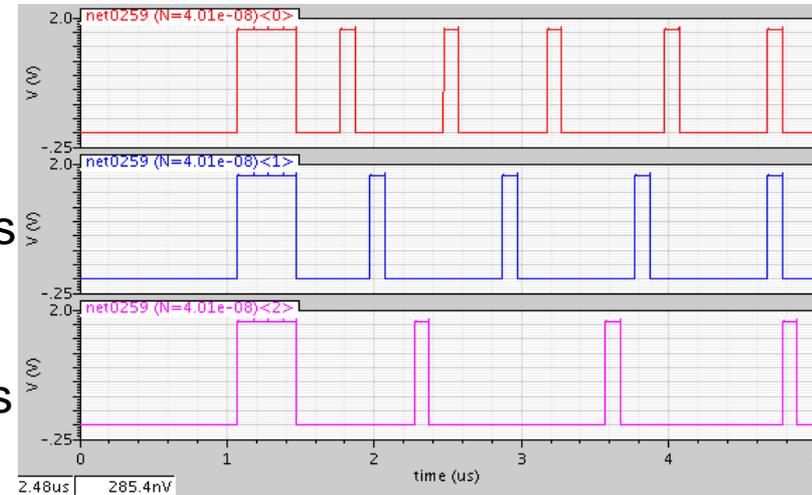
Do4波形

時間差0

100ps

107.14ps

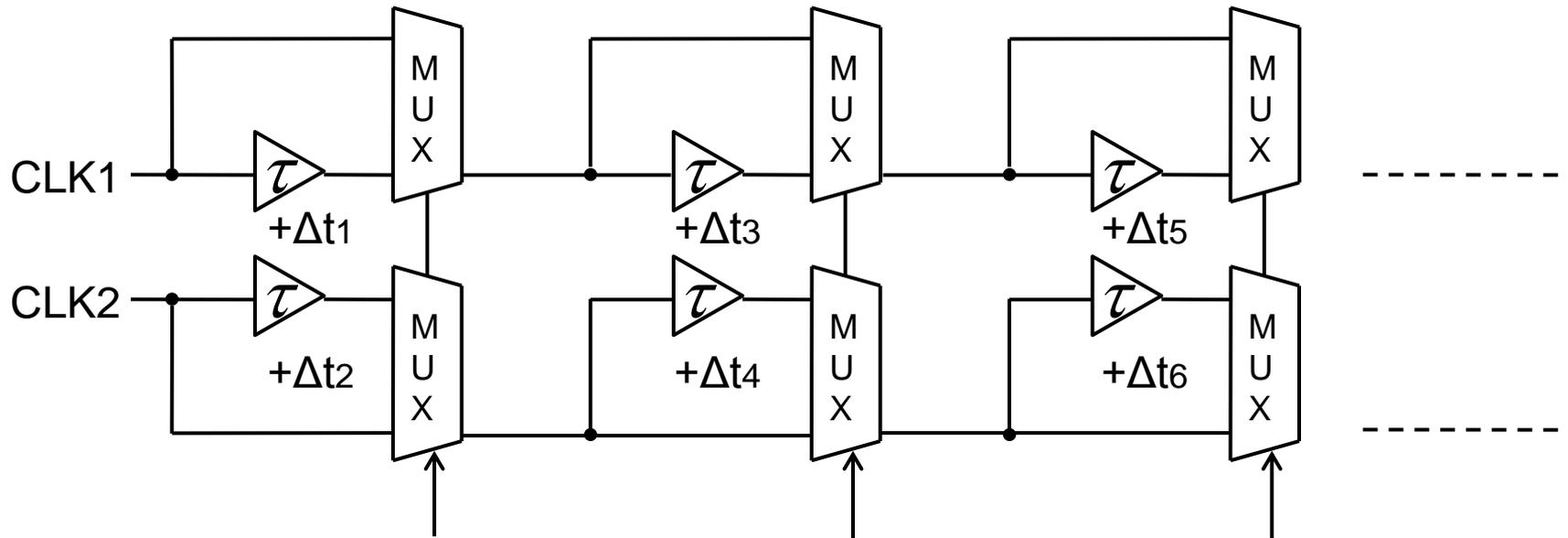
114.28ps



※測定時間4us

分解能7.14psをシミュレーションで確認
(測定時間4us)

遅延素子のばらつき



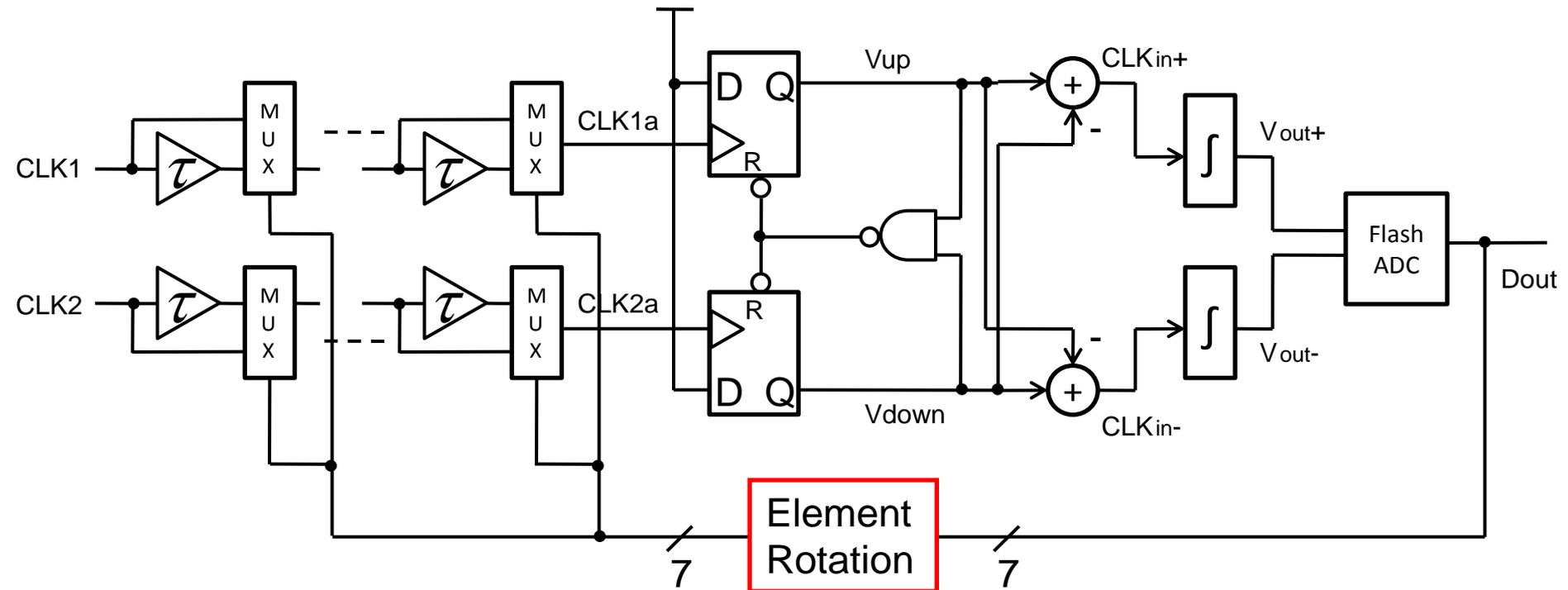
マルチビット $\Delta\Sigma$ 型TDCの遅延素子

実際の回路では遅延素子にばらつきがあり $\Delta\Sigma$ 型TDC出力が非線形性を持つ



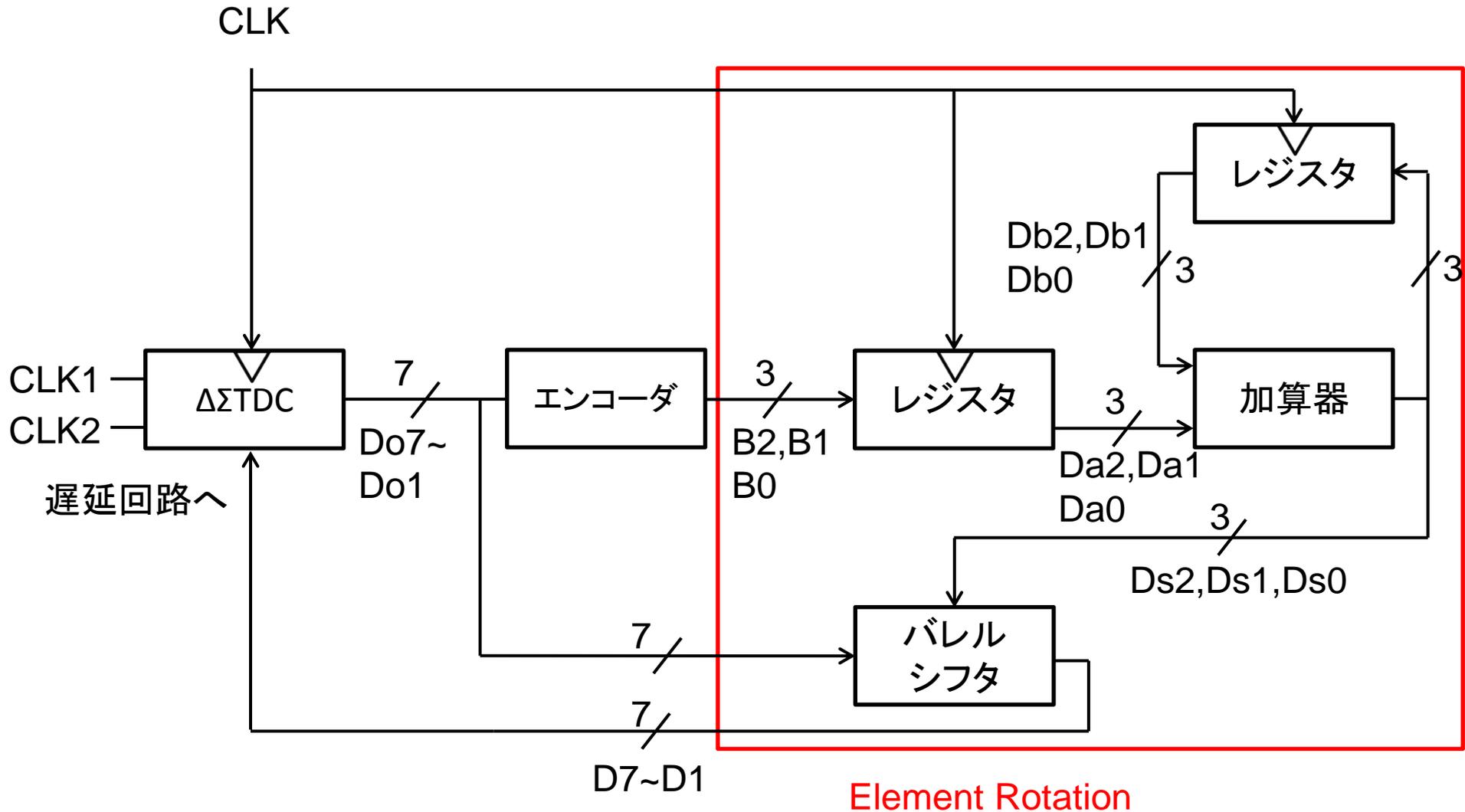
測定誤差の要因

エレメントローテーション回路による改善



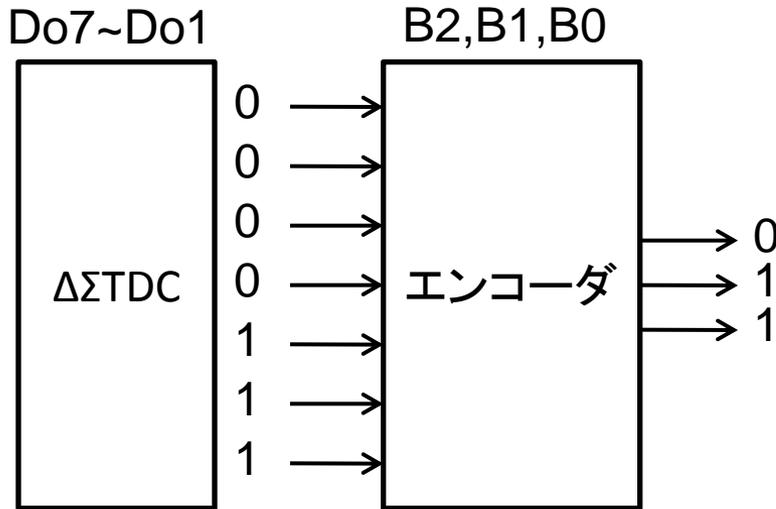
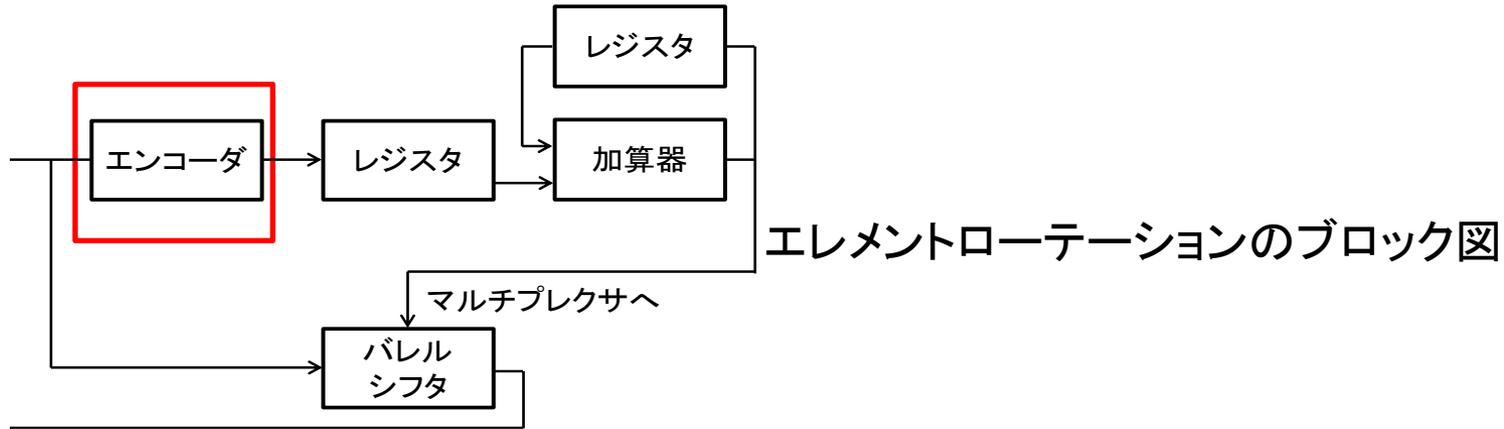
τ のばらつきの影響を低減する

エレメントローテーションのブロック図



エンコーダ、シフトレジスタ、加算器、バレルシフタにより構成

エンコーダ

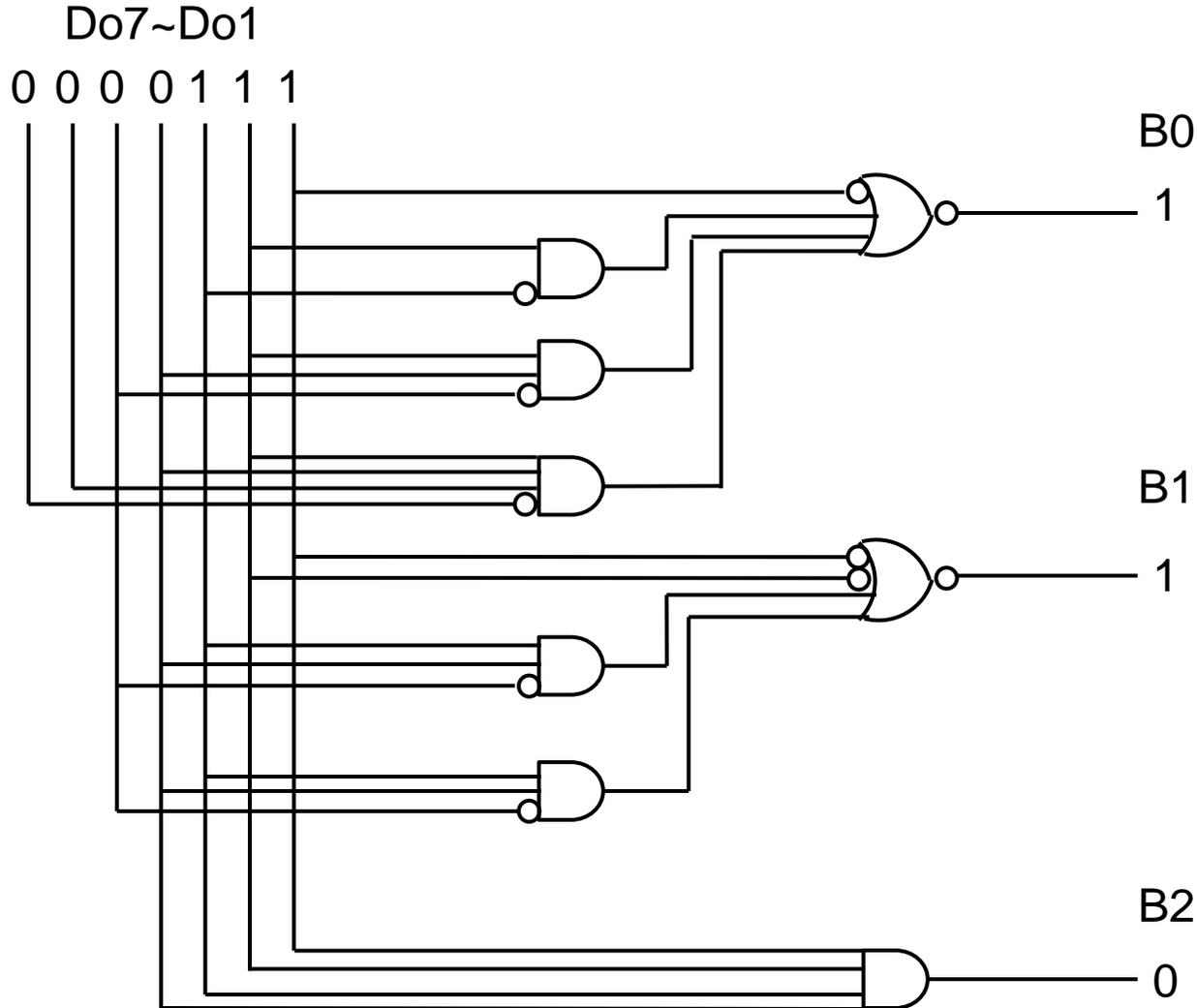


Do7	Do6	Do5	Do4	Do3	Do2	Do1	B2	B1	B0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	1	1	0	1	1
0	0	0	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

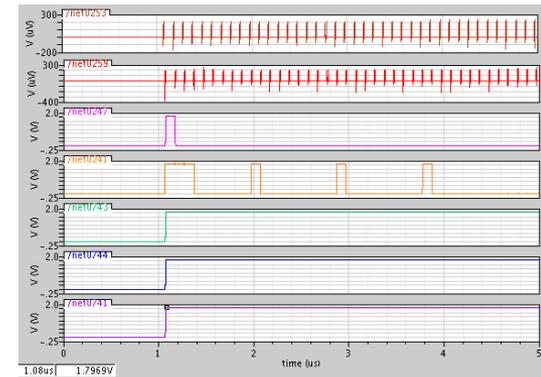
真理値表

温度計コードを3bitデジタル信号に変換

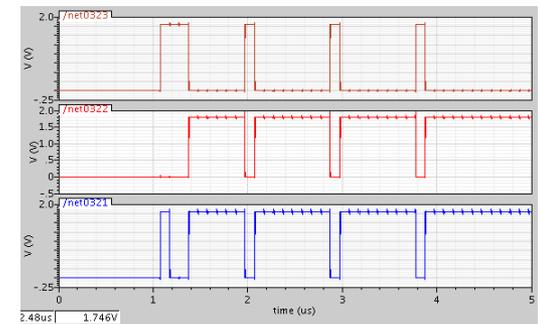
エンコーダの回路構成



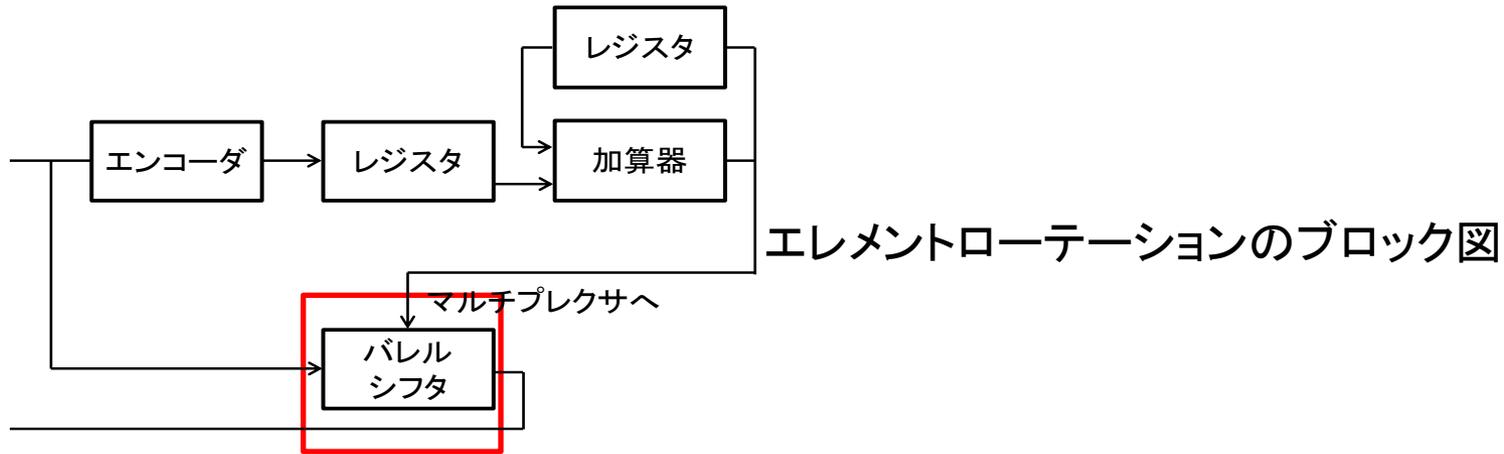
3ビット $\Delta\Sigma$ 型TDC出力



エンコーダ出力



バレルシフタ



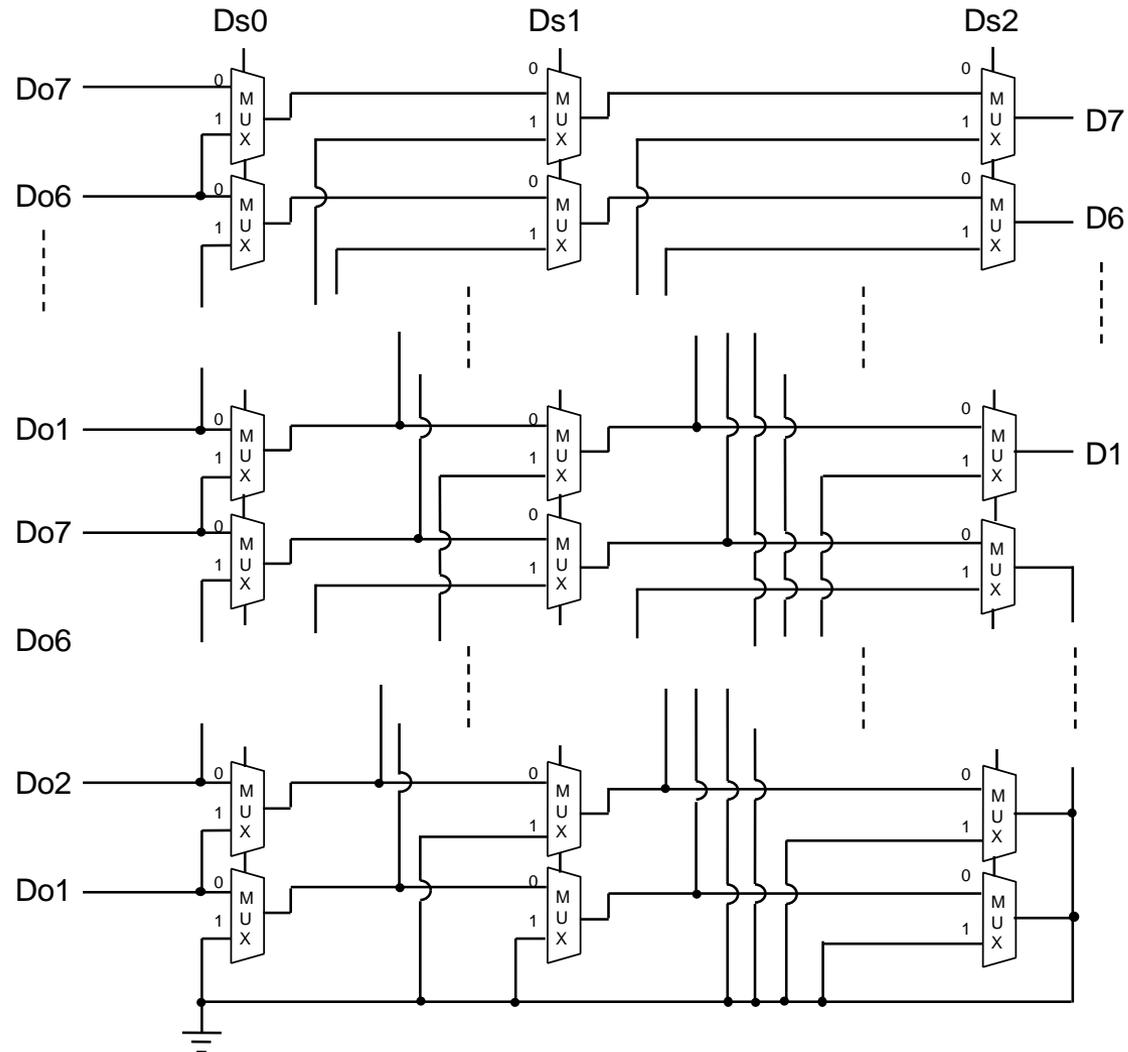
入力信号を任意の数だけシフトする
→右回転シフト回路

1	0	0	0	0	0	0	入力
0	1	0	0	0	0	0	1回シフト
0	0	0	1	0	0	0	3回シフト
0	0	0	0	0	1	0	5回シフト
1	0	0	0	0	0	0	7回シフトで元の位置に戻る

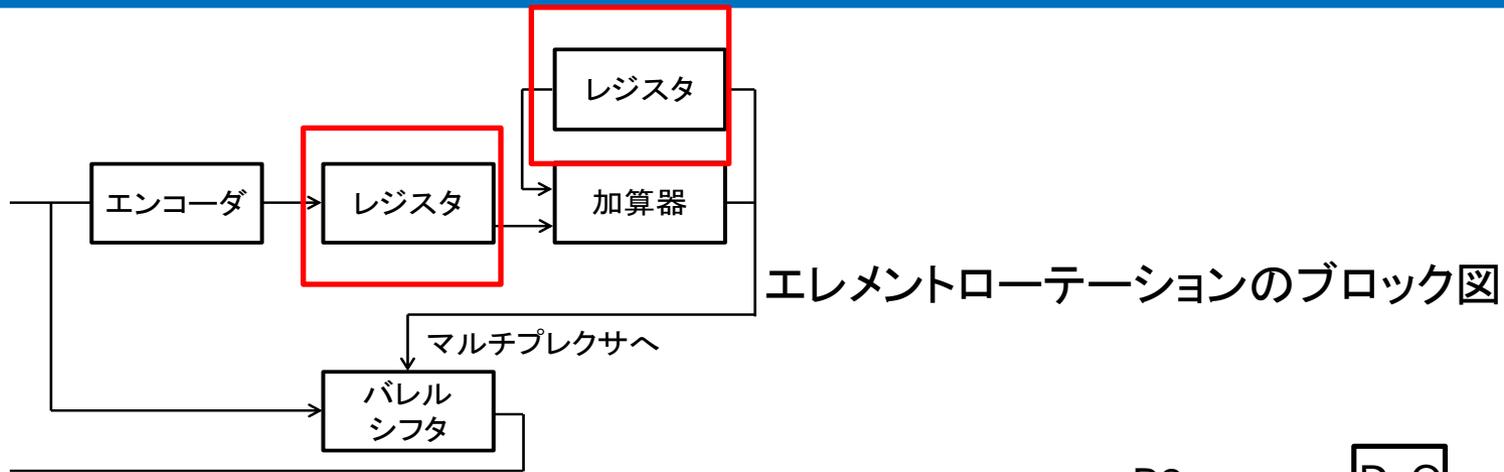
バレルシフタの回路構成

Do7~Do1

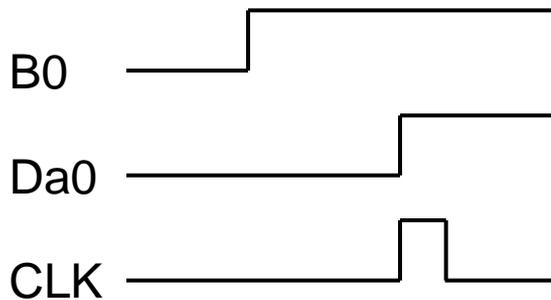
D7~D1



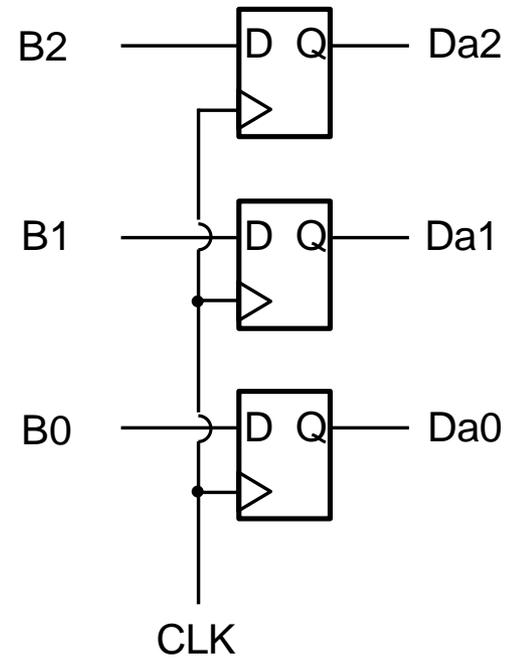
レジスタ



エンコーダおよび加算器の出力を1クロックシフトする

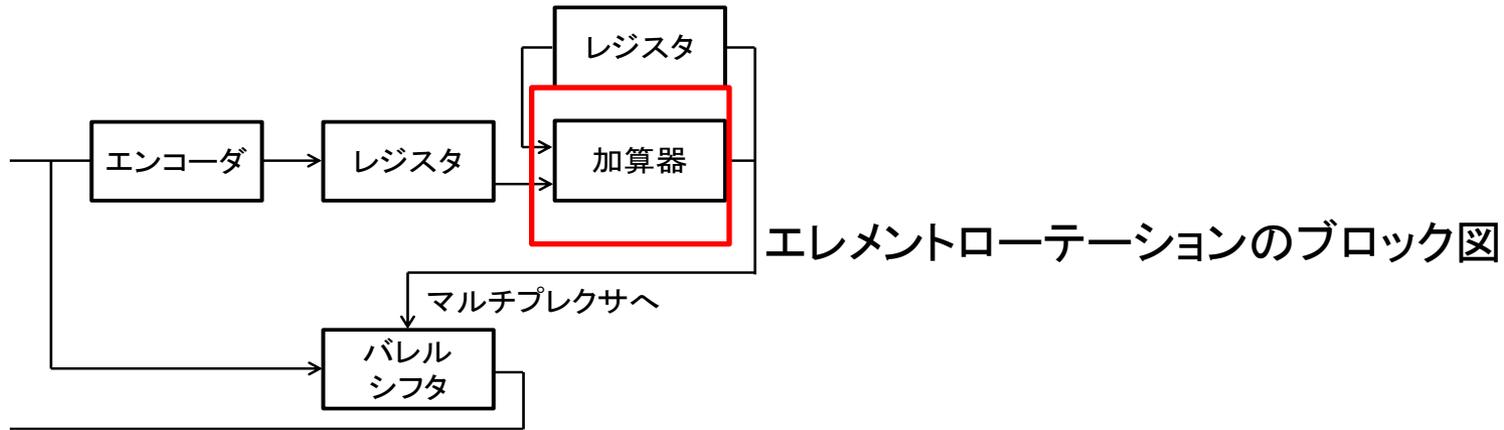


タイミングチャート



回路図

加算器



1クロック前

現在のクロック

Doutの1の数

+
シフト数



シフトする回数

バレルシフタでは7回シフトすると元に戻る

1 0 0 0 0 0 0 入力

0 0 0 0 0 0 1 6回シフト

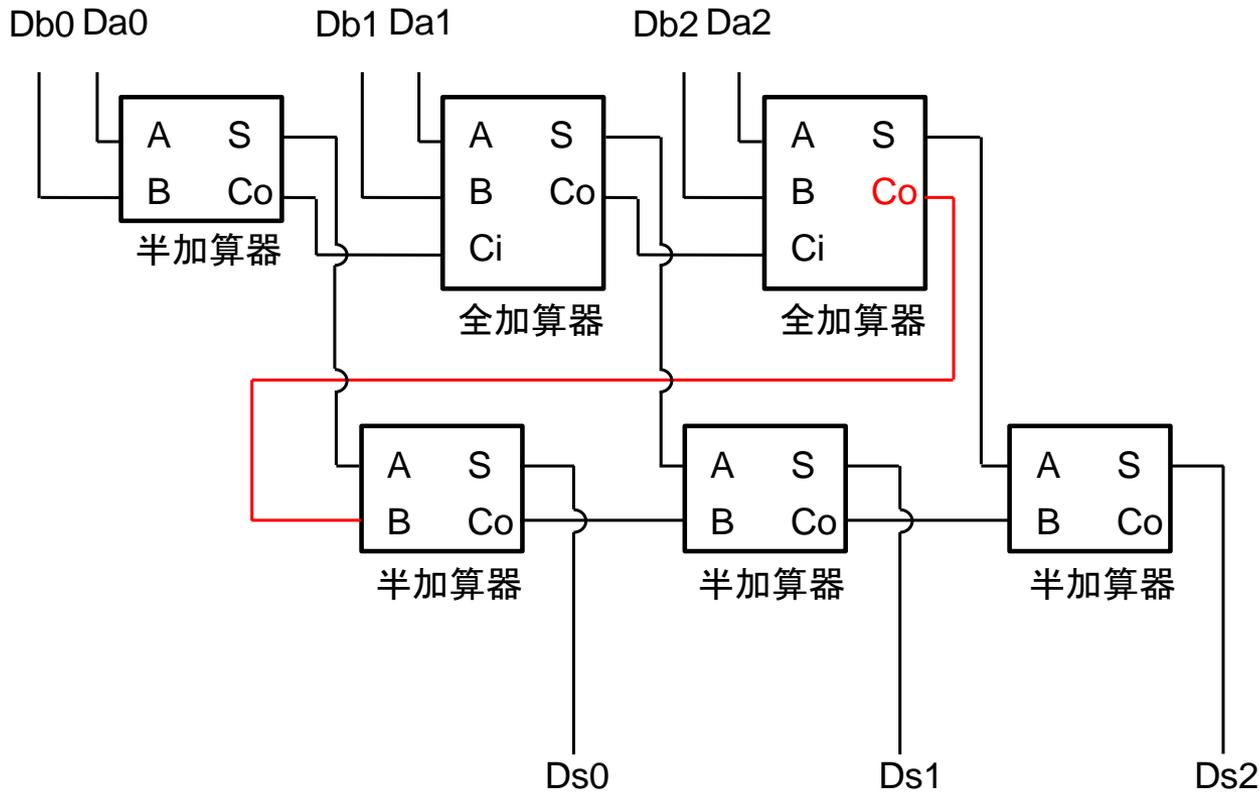
1 0 0 0 0 0 0 7回シフト

2+3=5 → 010+011=101 5回シフト

演算結果が8以上の場合、7で割った余剰(modular7)シフトする

6+5=11 → 110+101=100 4回シフト

加算器の回路構成



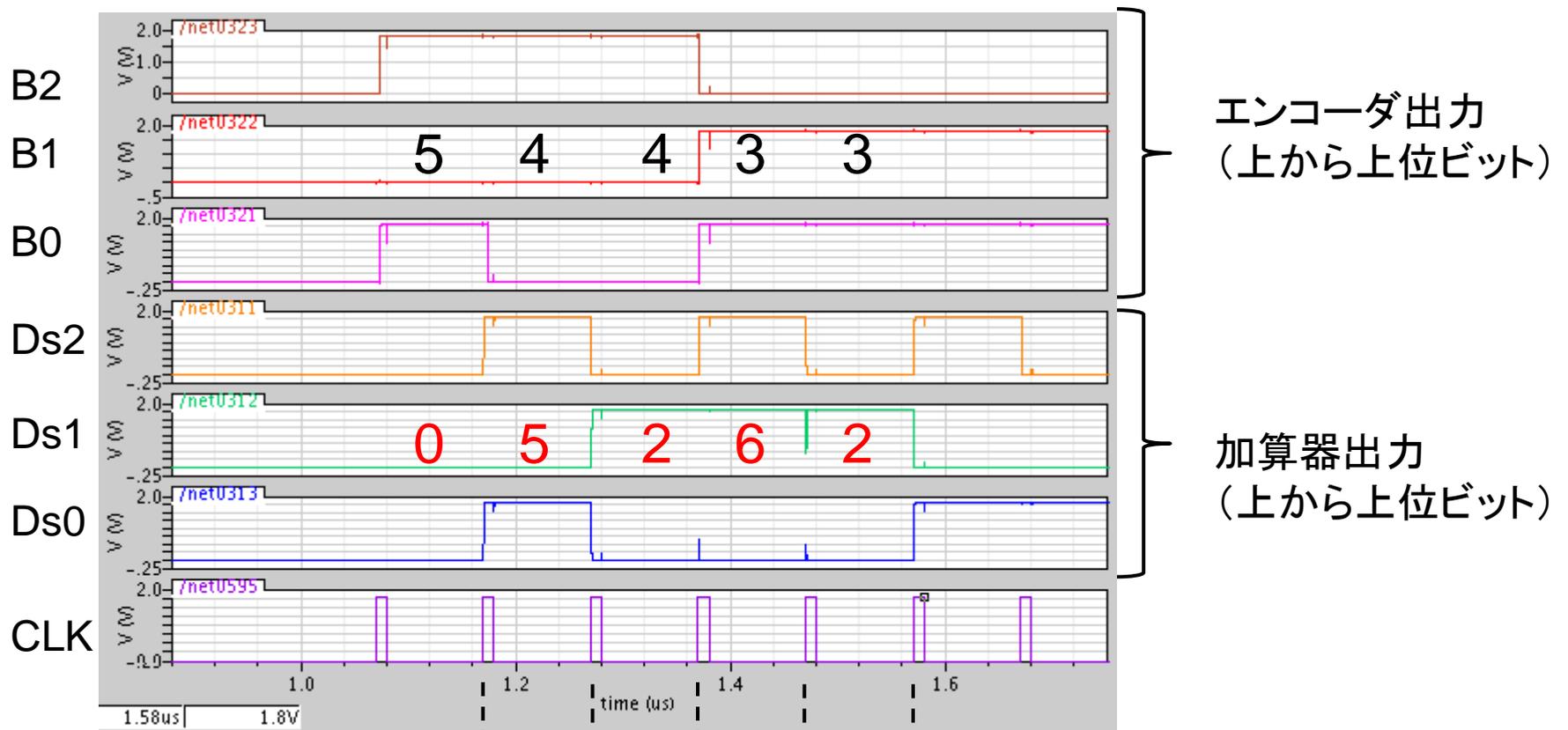
回路図

Ds	Ds0	Ds1	Ds2
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	1
9	0	1	0
10	0	1	1
11	1	0	0
12	1	0	1
13	1	1	0
14	1	1	1

真理値表

加算結果が7を超える場合、最下位ビットに1が加算する。

加算器のシミュレーション波形



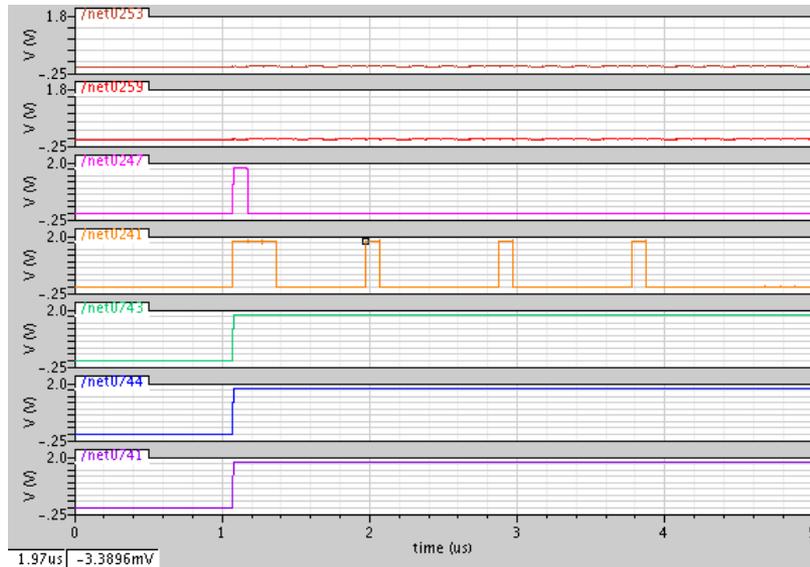
パルス数	5	4	4	3	3
シフト数	+	+	+	+	+
	0	5	2	6	2

Red arrows point from the '+' signs in the second row to the numbers in the third row.

加算器の動作確認

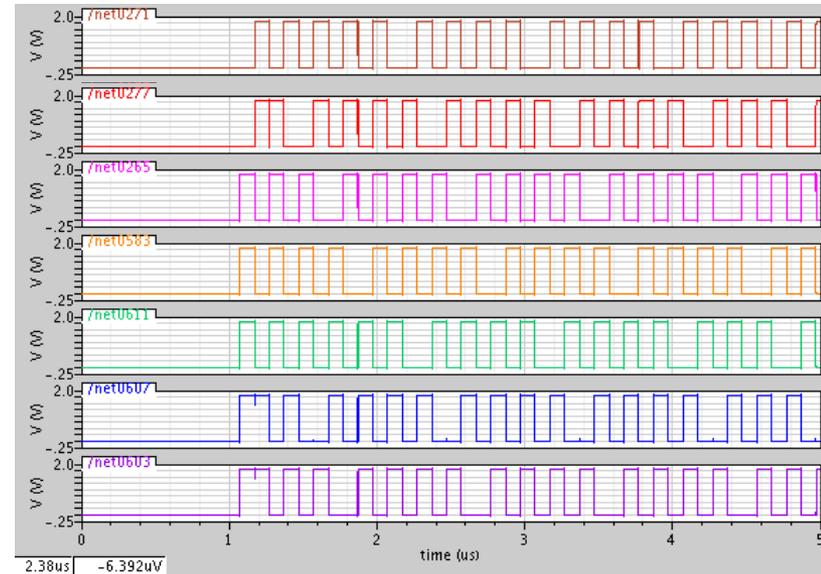
エレメントローテーション前後の波形

Do7
Do6
Do5
Do4
Do3
Do2
Do1

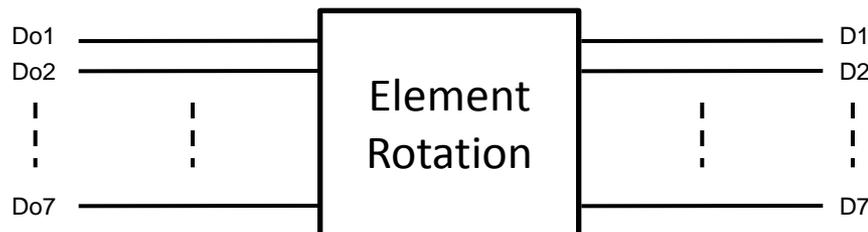


3ビット $\Delta\Sigma$ 型TDC出力
(温度計コード)

D7
D6
D5
D4
D3
D2
D1



エレメントローテーション後の波形

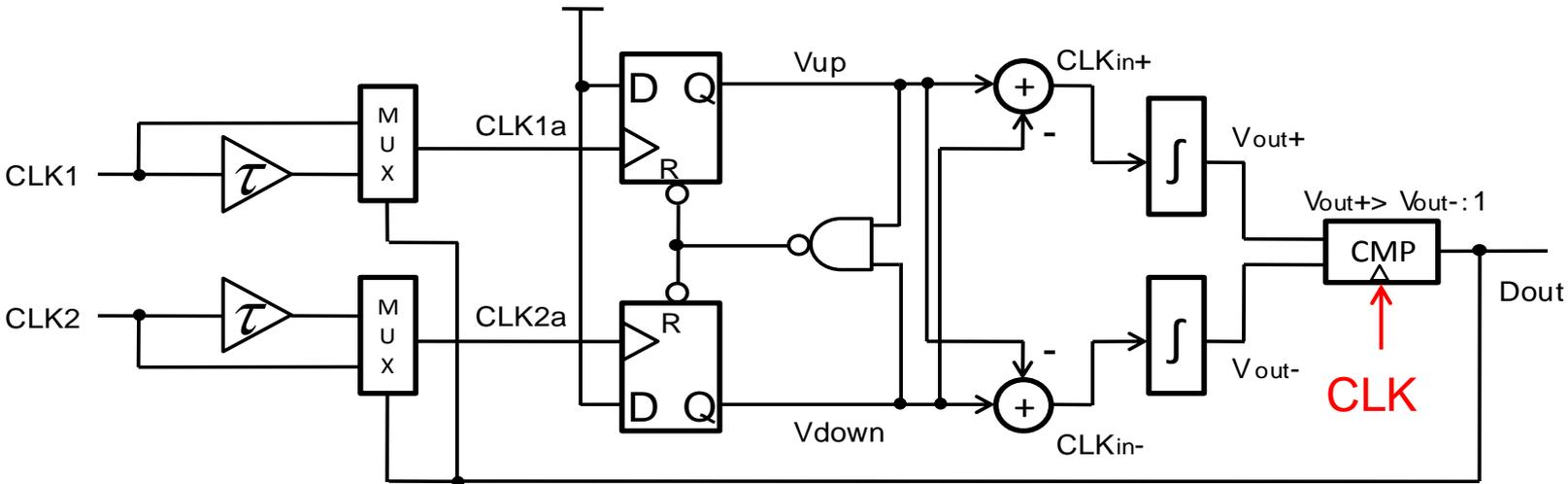


結論

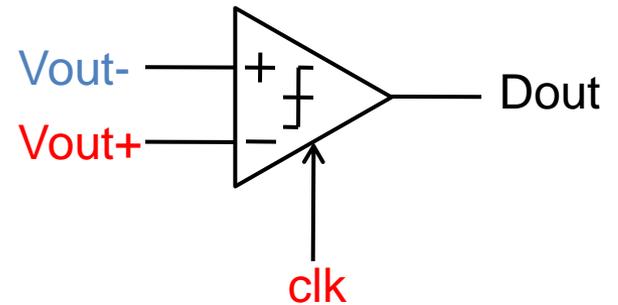
$\Delta\Sigma$ 型TDCの回路設計とシミュレーション解析

- $\Delta\Sigma$ 型TDCではCLK1,CLK2の時間差に比例した数のパルスが出力
- マルチビット $\Delta\Sigma$ 型TDCだと1bitよりも高分解能
分解能(測定時間4us)
1ビット:50ps 3ビット:7.14ps
- マルチビット $\Delta\Sigma$ 型TDCの出力にエレメントローテーション回路を用いることで出力をシフト可能
- 高分解能時間差測定用回路を簡単な回路で設計可能
→BIST,BOSTで実現可能

補足



CLK1,CLK2とコンパレータのCLKは非同期



- コンパレータのクロックでDoutを確定した後、イネーブル信号で次のCLK1a,CLK2aをマルチプレクサから出力する制御回路が必要