

# パイプライン AD 変換器の自己校正法

Self-Calibration Algorithm for Pipelined ADC

群馬大学 工学研究科<sup>1,2,3,5,6</sup>, 半導体理工学研究センター<sup>4</sup> ○丹陽平<sup>1</sup>, 劉羽<sup>2</sup>, 小林春夫<sup>3</sup>, 小林修<sup>4</sup>, 松浦達治<sup>5</sup>, 新津葵一<sup>6</sup>

Gunma university<sup>1,2,3,5,6</sup>, STARC<sup>4</sup>,

○Yohei Tan<sup>1</sup>, Yu Liu<sup>2</sup>, Haruo Kobayashi<sup>3</sup>, Osamu Kobayashi<sup>4</sup>, Tatsuji Matsuura<sup>5</sup>, Kichi Niitsu<sup>6</sup>

近年トランジスタの微細化により低電源電圧、トランジスタ利得低下、素子ばらつき増大のためアナログ回路の性能確保が難しくなっている。その中で小面積化、高速化を実現するために小型化したデジタル回路を用いてアナログ回路の特性の誤差やバラつきを補償するデジタル自己校正技術が注目されており、特にパイプライン ADC で後段ステージを利用したデジタル自己校正が[1]に提案されている。本研究ではサイクリック AD 変換器の動作をデジタル自己校正技術に応用したフォアグラウンド自己校正法を提案する(右図)。各ステージを並列にサイクリック動作させ、出力電圧と参照電圧を比較することで誤差を最小にする補正係数を求める。以下同様の動作をサイクリックループ回数を1つずつ増やしていき、正確な補正係数を導出できる。従来手法より高精度自己校正が実現できる。

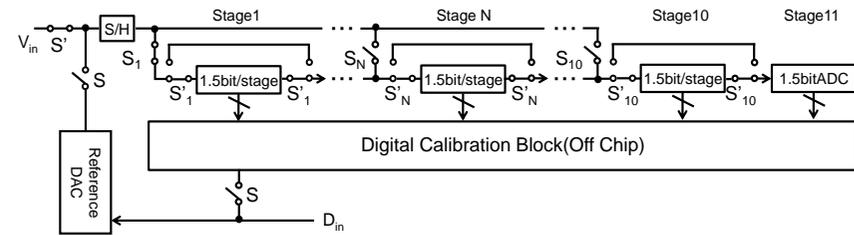


図1 提案する自己校正 10bit パイプライン AD 変換器

MATLAB シミュレーションで提案自己校正 10bit パイプライン ADC システムの構築を行い、有効性の確認を行った。実際の回路設計と同様に低消費電力かつ性能を保つために初段ステージを高精度、後段ステージに進むにつれて低精度になってしまうものとしてリーズナブルな条件でシミュレーション検証を行った。シミュレーションにより導出された補正係数を比較すると提案手法の方が理想値に近いことがわかった。さらに補正係数を適用することで DNL を±1LSB 以内に収めることができ、ENOB に関しては従来手法と比較して 1 ビットの改善が認められた。

[1] A. Verma, B. Razavi, "A 10b 500MS/s 55mW CMOS ADC", Tech Digest of ISSCC, Session4 4.6., San Francisco (Feb. 2009).