

第28回シリコンアナログRF研究会(2012/03/16)

パイプラインAD変換器の自己校正法

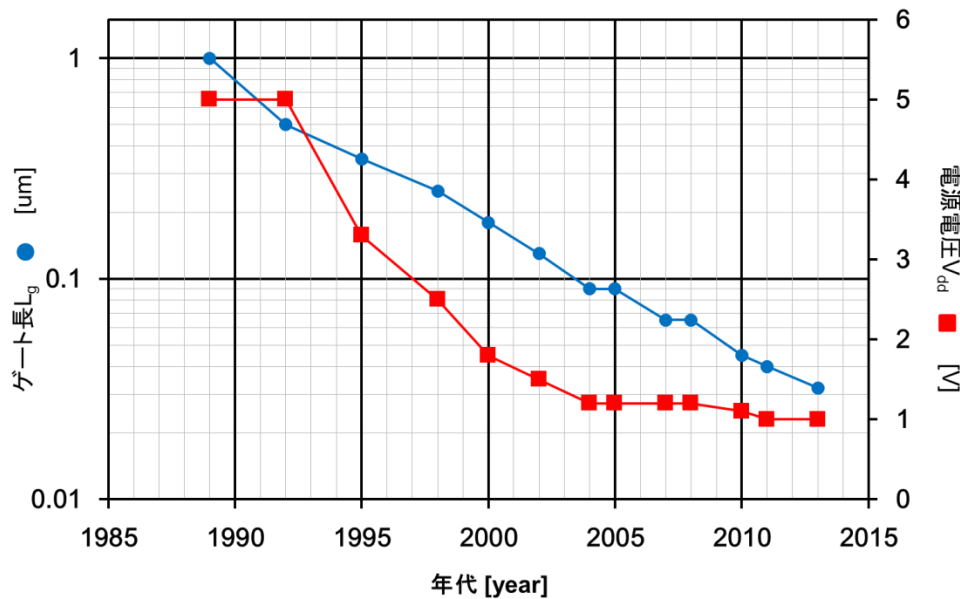
○丹陽平 劉羽 小林春夫(群馬大学)
小林修(STARC) 松浦達治 新津葵一(群馬大学)

アウトライン

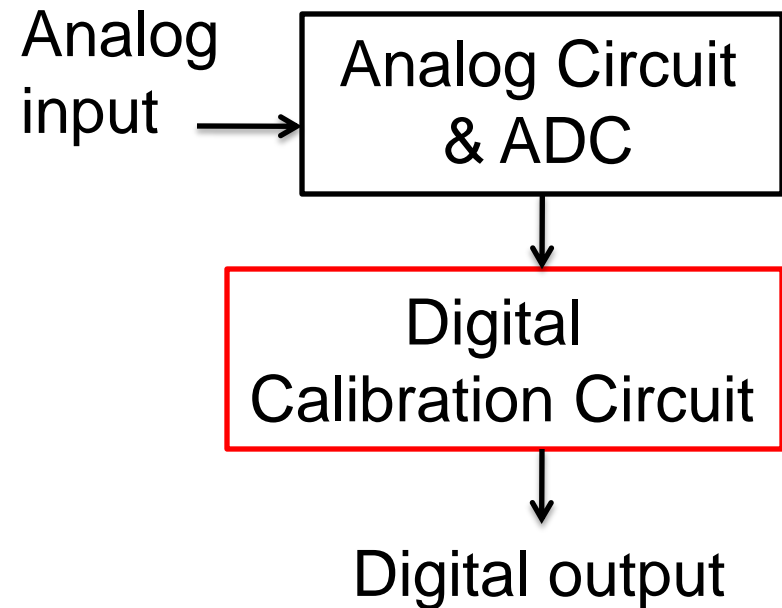
- 研究背景と目的
- 従来手法とその課題点
- パイプラインAD変換器におけるサイクリック動作を
応用したフォアグラウンド自己校正法
- まとめと今後の課題

- 研究背景と目的
- 従来手法とその課題点
- パイプラインAD変換器におけるサイクリック動作を
応用したフォアグラウンド自己校正法
- まとめと今後の課題

CMOSプロセスの微細化



デジタルアシスト技術



- デジタル回路 : 微細化の恩恵 (低消費電力化、高速化)
- アナログ回路 : 性能の厳しい制約 (低電源電圧)
- デジタルアシスト技術 : アナログ回路の要求性能の緩和

パイプラインAD変換器

- 高分解能・中高速AD変換器
- 微細化(=低電源電圧化)によりアナログ回路の性能が限界
- デジタルアシスト技術の応用:
→ デジタル自己校正技術

フォアグラウンド自己校正技術

- 校正の収束時間が短い
- 正確に誤差を測定できない
- 誤差測定ステージの追加

研究目的

デジタル自己校正技術の課題の明確化と対策技術の提案



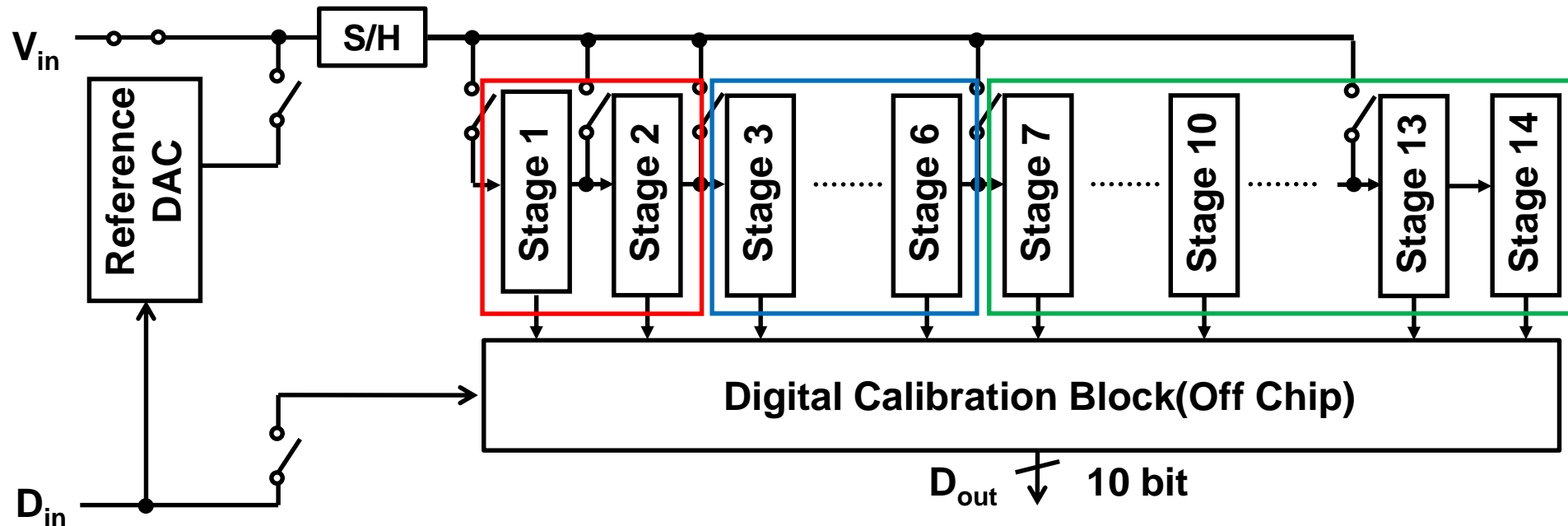
パイプラインAD変換器におけるサイクリック動作を応用した
フォアグラウンド自己校正法

アウトライン

- 研究背景と目的
- 従来手法とその課題点
- パイプラインAD変換器におけるサイクリック動作を
応用したフォアグラウンド自己校正法
- まとめと今後の課題

•[Ashutosh Verma, Behzad Razavi, ISSCC 09]

- ✓ 90nmCMOSプロセス: 低消費電力化、高速化
- ✓ 性能: 10ビット、500MS/s、55mW

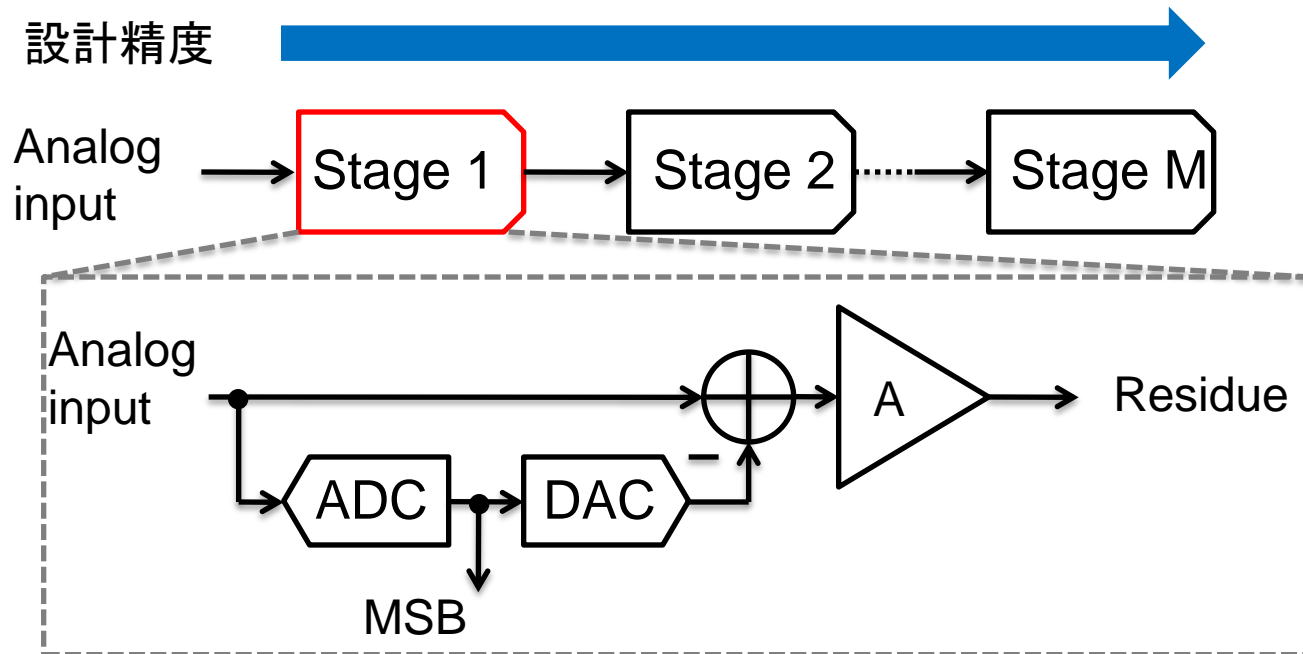


✓ フォアグラウンド自己校正法: 後段ステージを利用

- ① Stage 1~2 : アンプの有限ゲイン誤差、非線形性、容量ミスマッチ
 - ② Stage 3~6 : アンプの有限ゲイン誤差、容量ミスマッチ
 - ③ Stage 7~13: アンプの有限ゲイン誤差
- を補正

•パイプラインAD変換器の回路設計

- ✓ 低消費電力動作を行うため初段を最高精度、最後段は最低精度



•従来フォアグラウンド自己校正法:後段ステージを利用した誤差測定

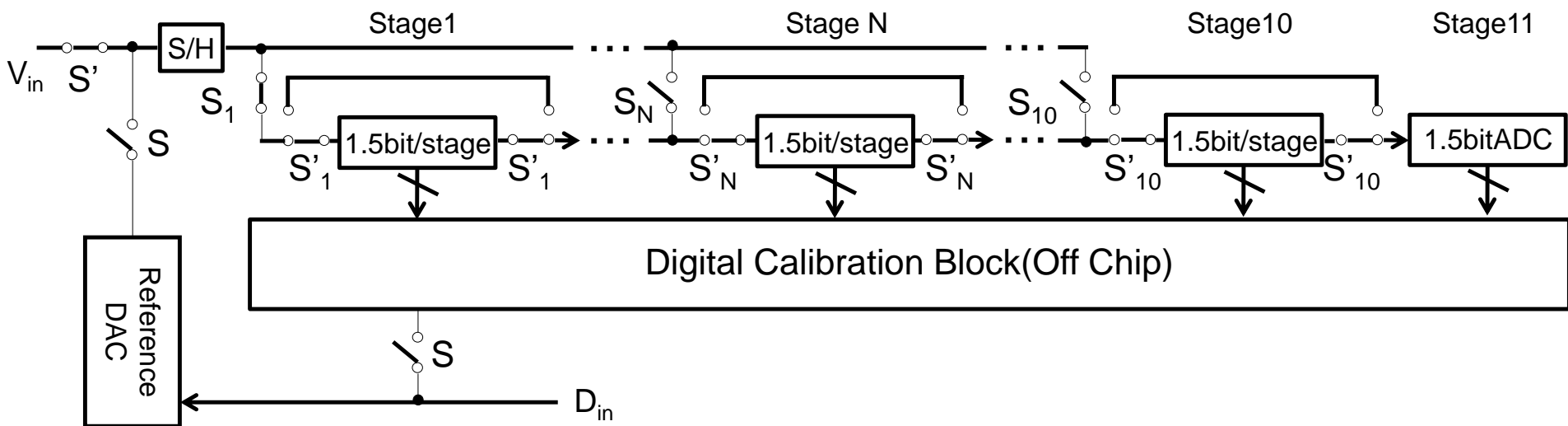
- ✓ 誤差を正確に測定することができない
- ✓ 誤差測定ステージ追加による面積増加、消費電力増加

- フォアグラウンド自己校正法における高精度誤差測定
 - ✓ サイクリック動作の応用
- フォアグラウンド自己校正法の補正可能項目
 - ✓ アンプの有限ゲイン誤差
 - ✓ 乗算型DACの容量ミスマッチ
- 目標値: 10ビットのパイプラインAD変換器

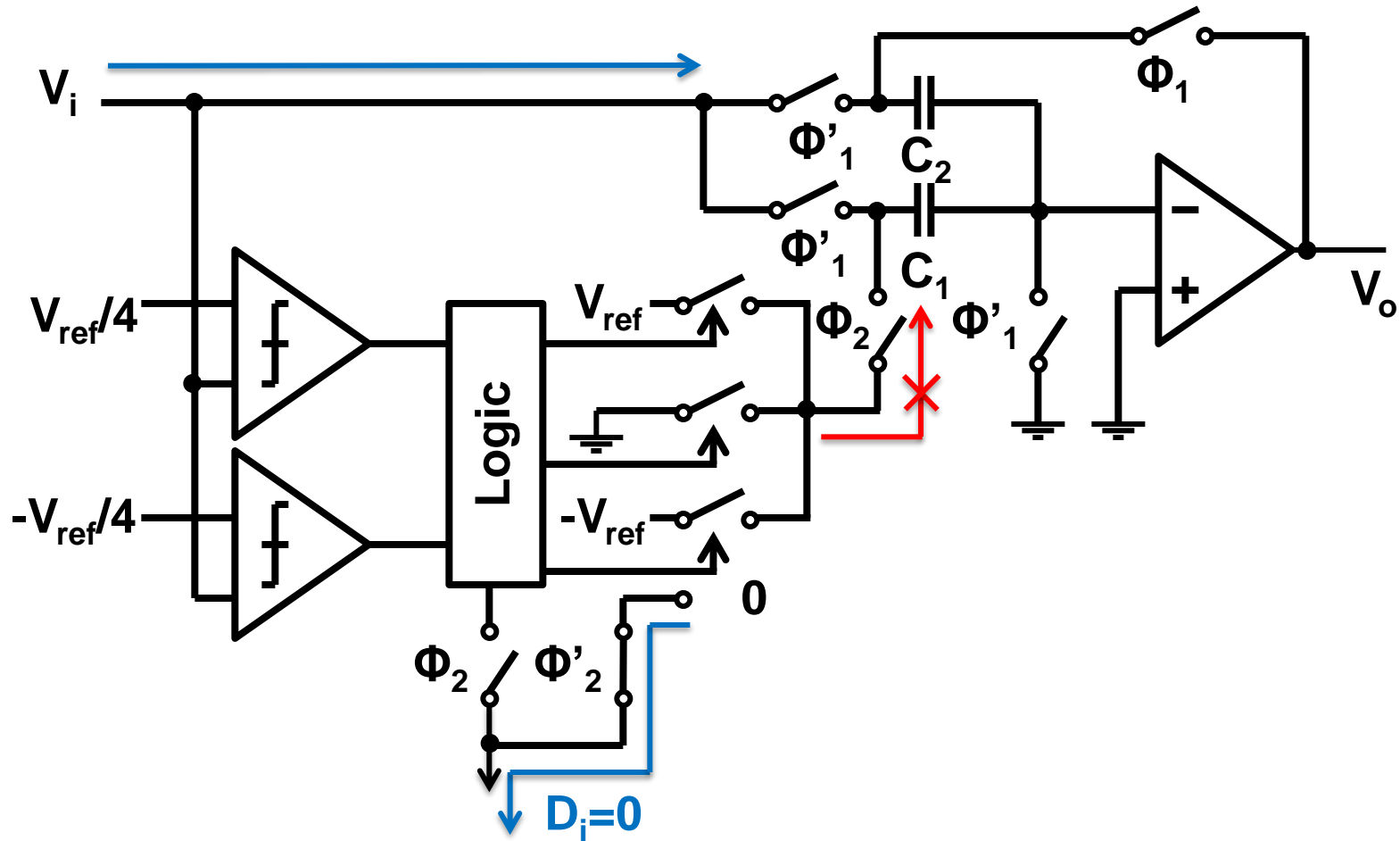
アウトライン

- 研究背景と目的
- 従来手法とその課題点
- **パイプラインAD変換器におけるサイクリック動作を
応用したフォアグラウンド自己校正法**
- まとめと今後の課題

提案する10ビットパイプラインAD変換器の全体構成 11/26

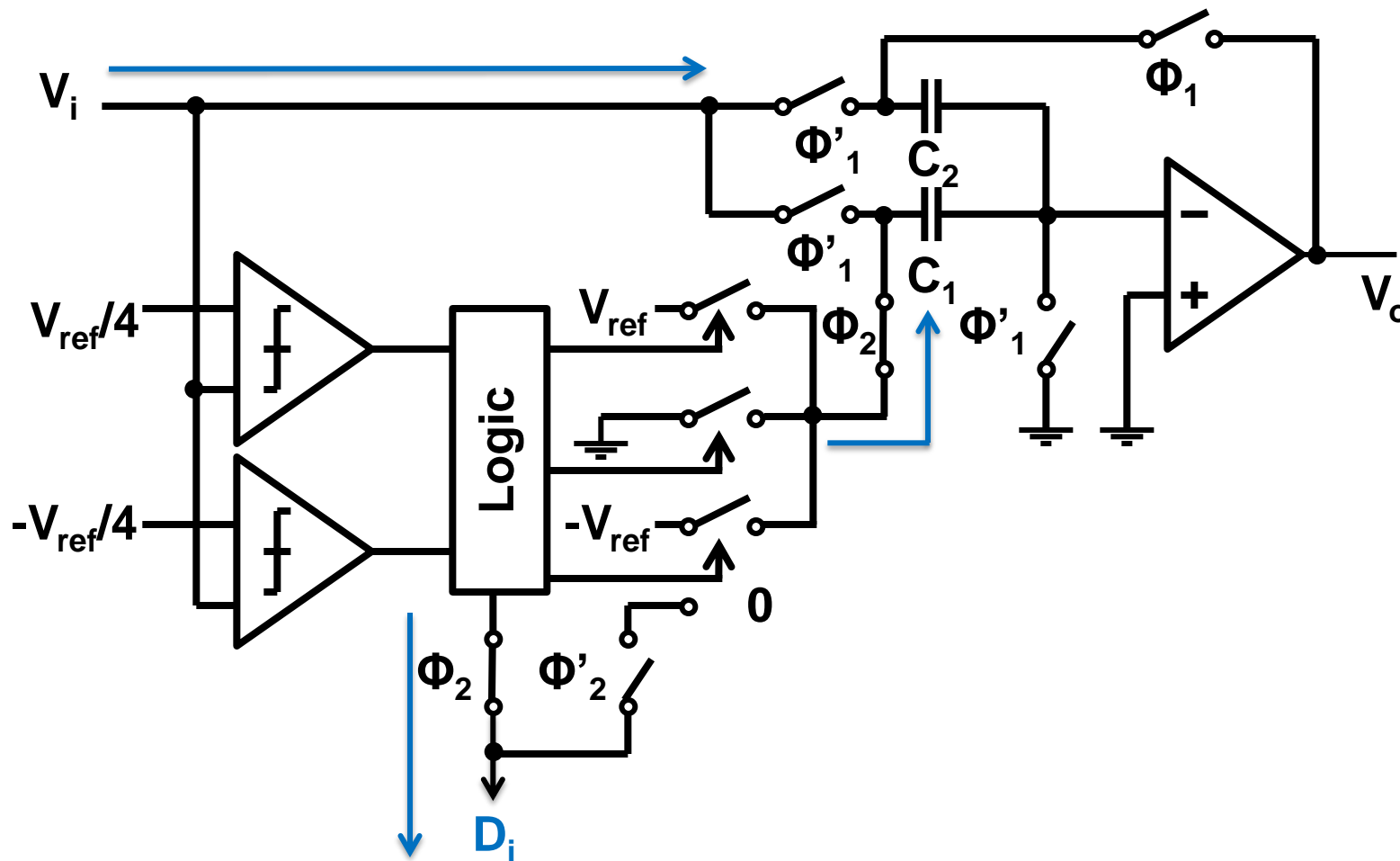


	従来手法	提案手法
全体構成	$1.5b/Stage \times 13 + 1bitADC$	$1.5b/Stage \times 10 + 1.5bitADC$
分解能(ビット)	10	10
1.5b/Stageの構成	2倍増幅モード、通常モード	2倍増幅モード、通常モード
補正可能項目	3	2
誤差測定方法	直列後段ステージ方式	並列サイクリック方式



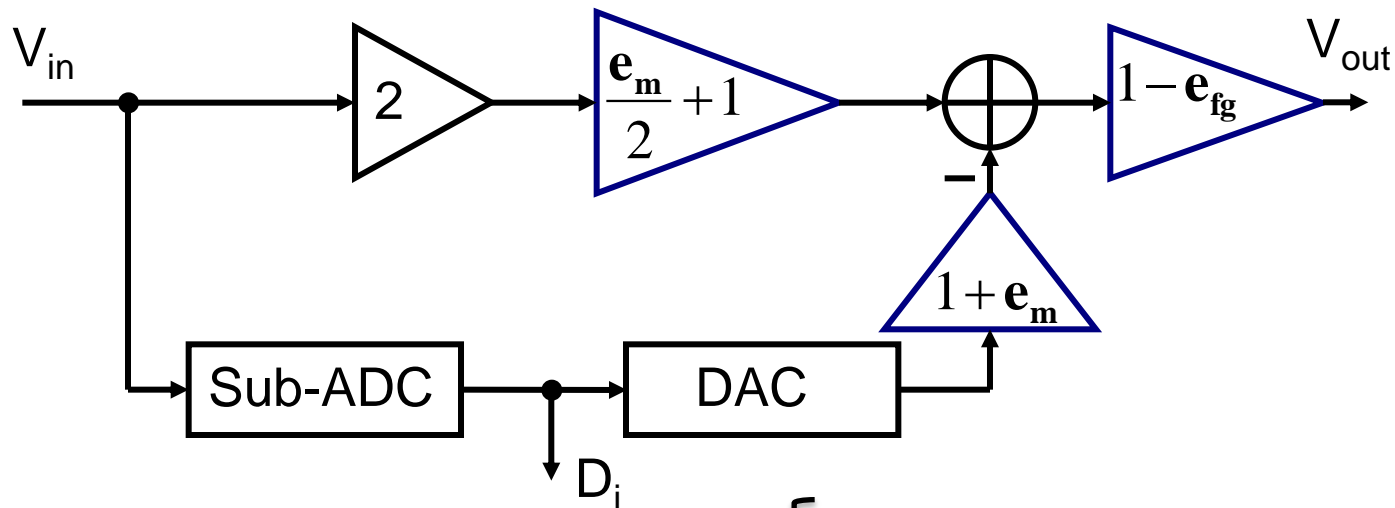
- 2倍増幅モード: 有限ゲイン誤差の推定

- ✓ 乗算型DACは入力を2倍増幅するのみ (サブADCの出力 $D_i=0$)
- ✓ “有限ゲイン誤差”を補正するときリファレンスDACから $\pm V_{ref}/4$, 0 を入力する



- 通常モード: 容量ミスマッチの推定
- ✓ 通常の乗算型DACの動作 (サンプリング、DA変換、2倍増幅)
- ✓ “容量ミスマッチ”を補正するときリファレンスDACから $V_{ref}/2$ を入力する

- ✓ 1.5b/Stageの誤差 (有限ゲイン誤差と容量ミスマッチ)



(理想) $V_{out} = 2V_{in} - D_i \cdot V_{ref}$ $D_i = \begin{cases} 1 & (V_{in} \geq V_{ref}/4) \\ 0 & (-V_{ref}/4 \leq V_{in} < V_{ref}/4) \\ -1 & (V_{in} < -V_{ref}/4) \end{cases}$

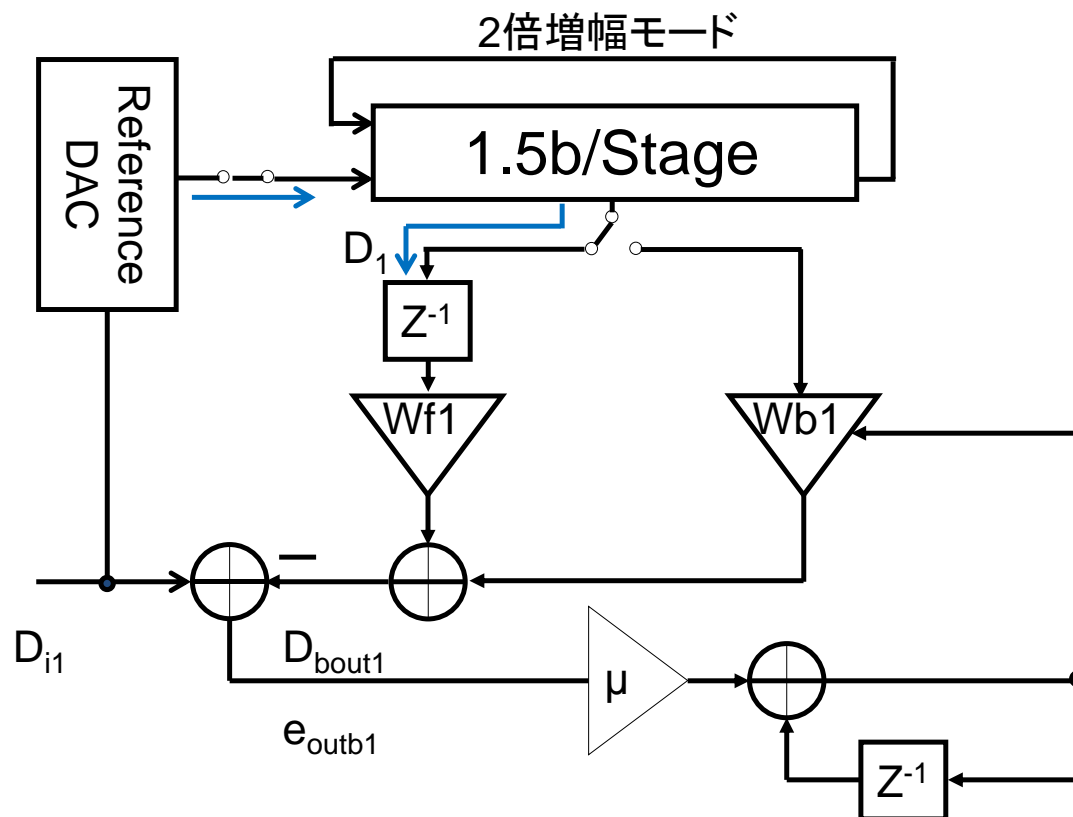
(実際) $V_{out} = (1 - e_{fg}) \{ (2 + e_m)V_{in} - (1 + e_m)D_i \cdot V_{ref} \}$

有限ゲイン誤差: $e_{fg} = 1/A\beta$

容量ミスマッチ: $e_m = (C_1 - C_2)/C_2$

※ $\beta = (C_2/C_1 + C_2 + C_i)$, C_i は寄生容量

2倍増幅モード:有限ゲイン誤差の推定



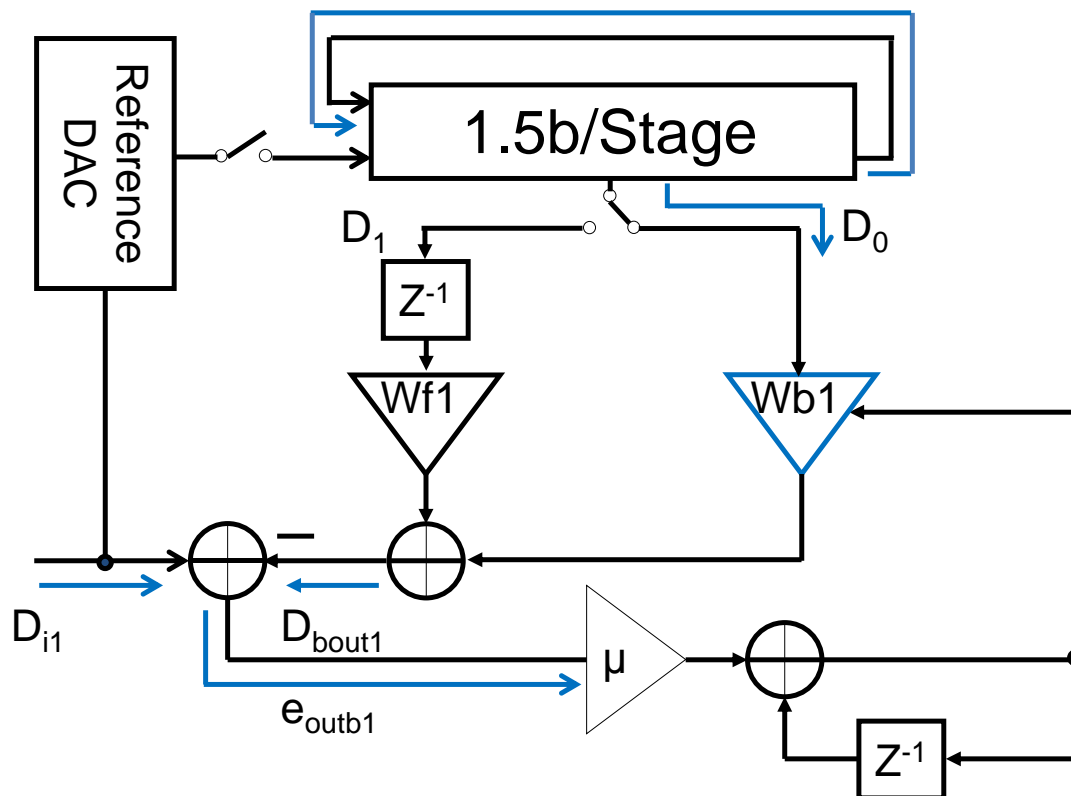
$$\begin{aligned} Wb1(k+1) &= Wb1(k) + \mu(e_{outb1}) = Wb1(k) + \mu(D_{i1} - D_{b1out}) \\ &= Wb1(k) + \mu\{D_{i1} - Wb1(k)(1 - e_{fg})(1 + e_m/2)2V_i\} \end{aligned}$$

$Wb1 = 1/2(1 - e_{fg})(1 + e_m/2)$ に収束

補正係数 $Wb1$ は 1.5ビット精度を持つ

※ k : 繰り返し回数
 μ : LMSステップゲイン

2倍増幅モード:有限ゲイン誤差の推定



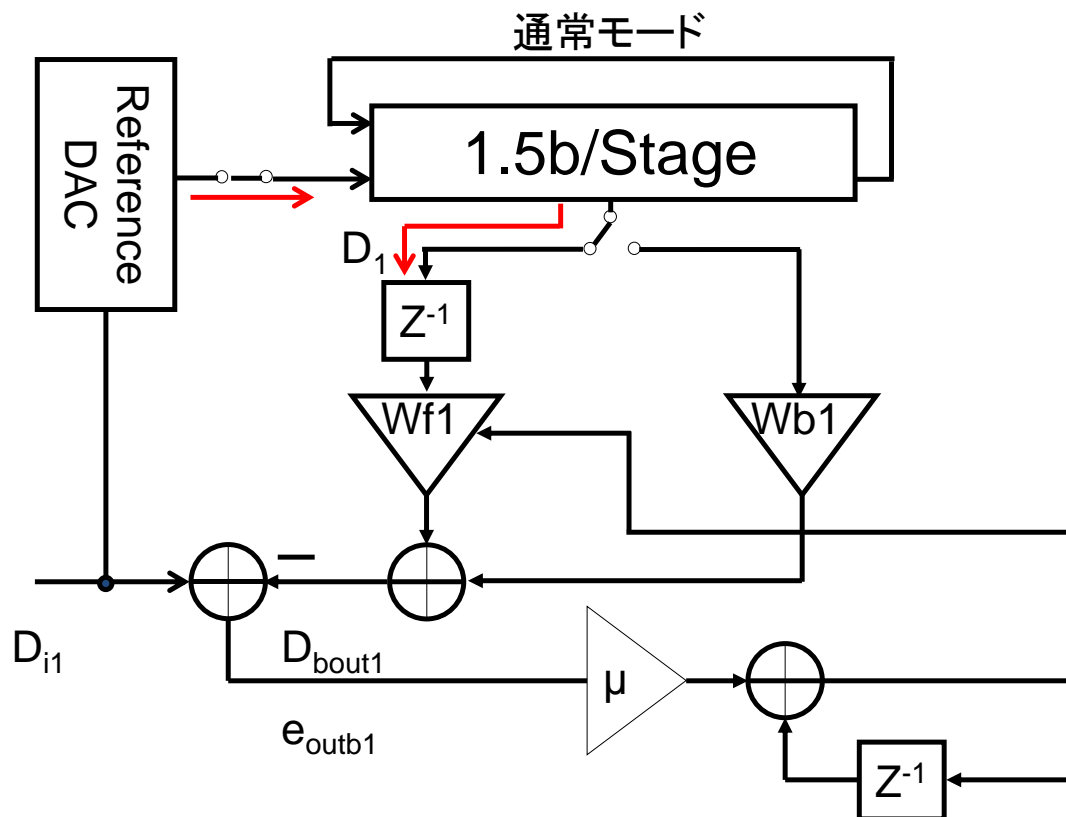
$$\begin{aligned} Wb1(k+1) &= Wb1(k) + \mu(e_{outb1}) = Wb1(k) + \mu(D_{i1} - D_{bout1}) \\ &= Wb1(k) + \mu\{D_{i1} - Wb1(k)(1 - e_{fg})(1 + e_m/2)2V_i\} \end{aligned}$$

$Wb1 = 1/2(1 - e_{fg})(1 + e_m/2)$ に収束

補正係数 $Wb1$ は 1.5ビット精度を持つ

※ k : 繰り返し回数
 μ : LMSステップゲイン

通常モード:容量ミスマッチの推定

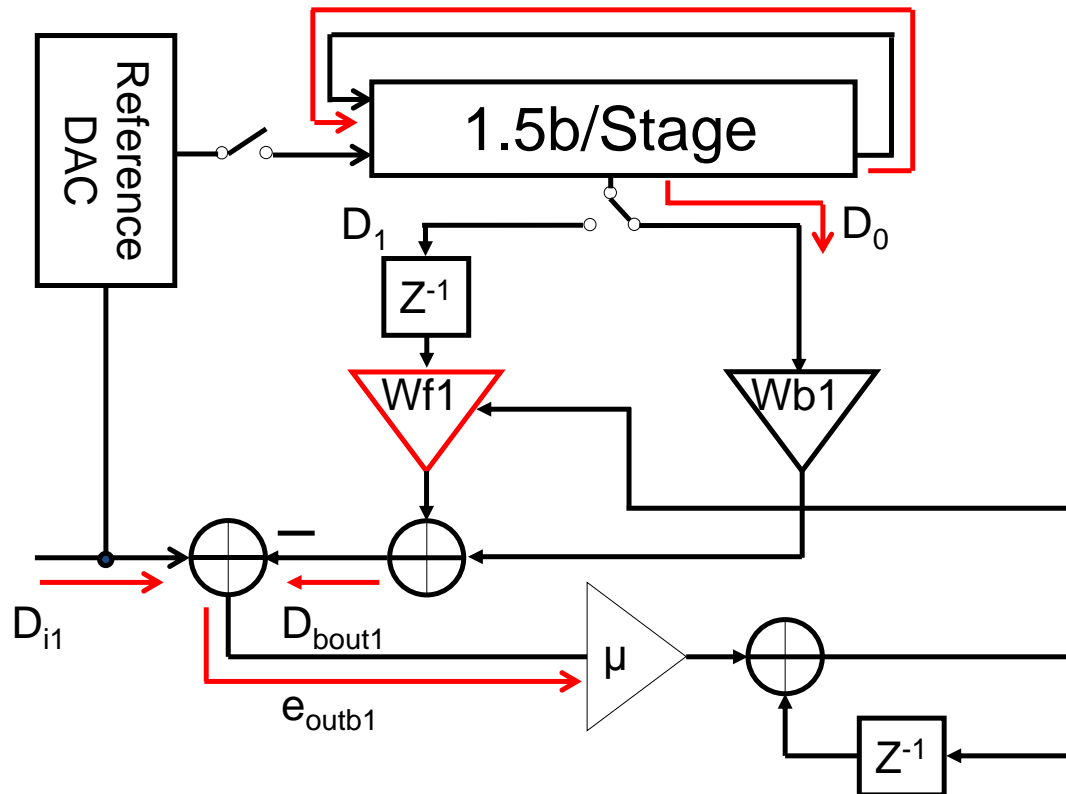


$$\begin{aligned}
 Wf1(k+1) &= Wf1(k) + \mu(e_{outb1}) = Wf1(k) + \mu(D_{i1} - D_{bout1}) \\
 &= Wf1(k) + \mu[D_{i1} - [Wf1(k) + Wb1\{(1 - e_{fg})(1 + e_m/2)2V_i - (1 + e_m)D_1V_{ref}\}]]
 \end{aligned}$$

$Wf1 = (1 + e_m)/2(1 + e_m/2)$ に収束

補正係数 $Wf1$ は 1.5ビット精度を持つ

通常モード:容量ミスマッチの推定

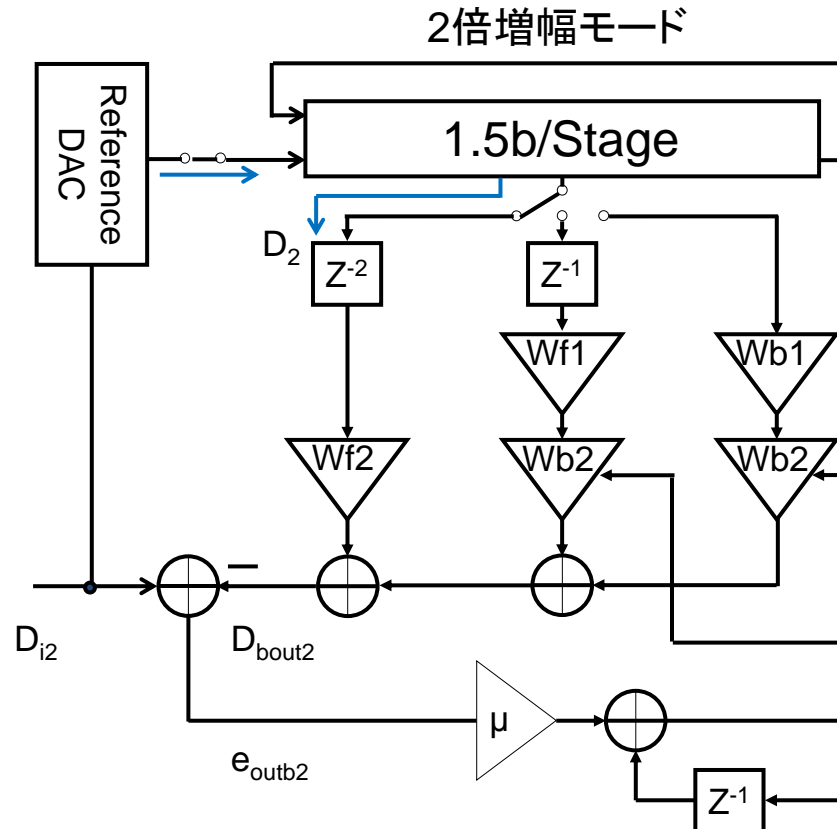


$$\begin{aligned}
 Wf1(k+1) &= Wf1(k) + \mu(e_{outb1}) = Wf1(k) + \mu(D_{i1} - D_{b1}) \\
 &= Wf1(k) + \mu[D_{i1} - [Wf1(k) + Wb1\{(1 - e_{fg})(1 + e_m/2)2V_i - (1 + e_m)D_1V_{ref}\}]]
 \end{aligned}$$

$Wf1 = (1 + e_m)/2(1 + e_m/2)$ に収束

補正係数 $Wf1$ は 1.5ビット精度を持つ

2倍増幅モード:有限ゲイン誤差の推定

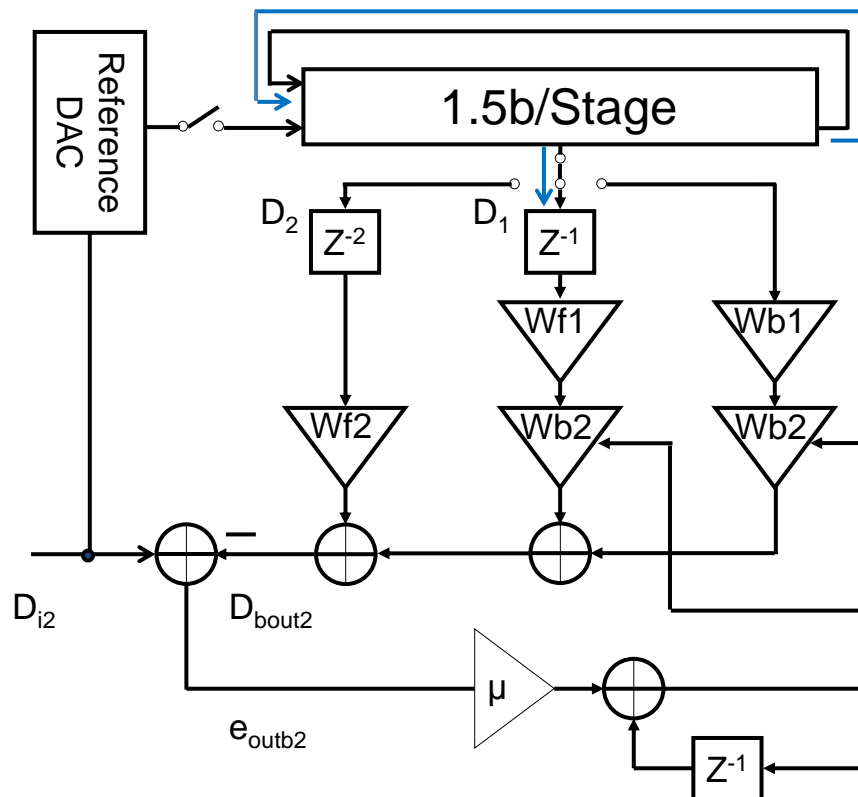


$$\begin{aligned}
 Wb2(k+1) &= Wb2(k) + \mu(e_{out2}) = Wb2(k) + \mu(D_{i2} - D_{bout2}) \\
 &= Wb2(k) + \mu[D_{i2} - \{Wb2(k)Wf1D_1 + Wb2(k)Wb1V_{o2}\}]
 \end{aligned}$$

Wb2 = 1/2(1 - e_{fg})(1 + e_m/2) に収束

補正係数Wb2は3ビット精度を持つ

2倍増幅モード:有限ゲイン誤差の推定

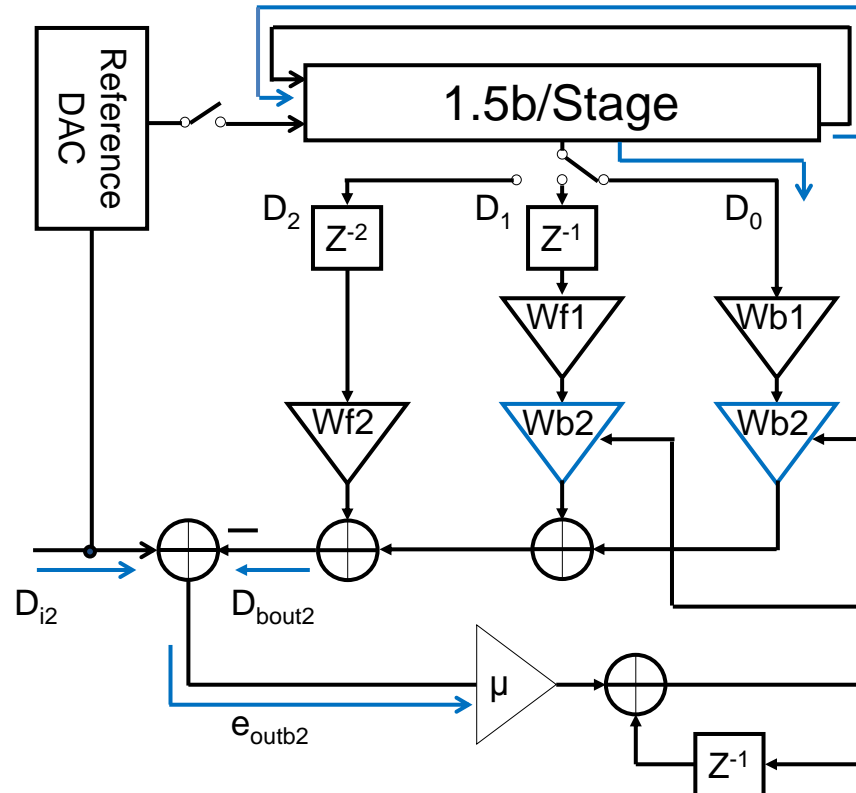


$$\begin{aligned}
 Wb2(k+1) &= Wb2(k) + \mu(e_{out2}) = Wb2(k) + \mu(D_{i2} - D_{bout2}) \\
 &= Wb2(k) + \mu[D_{i2} - \{Wb2(k)Wf1D_1 + Wb2(k)Wb1V_{o2}\}]
 \end{aligned}$$

$Wb2 = 1/2(1 - e_{fg})(1 + e_m/2)$ に収束

補正係数 $Wb2$ は 3ビット精度を持つ

2倍増幅モード:有限ゲイン誤差の推定

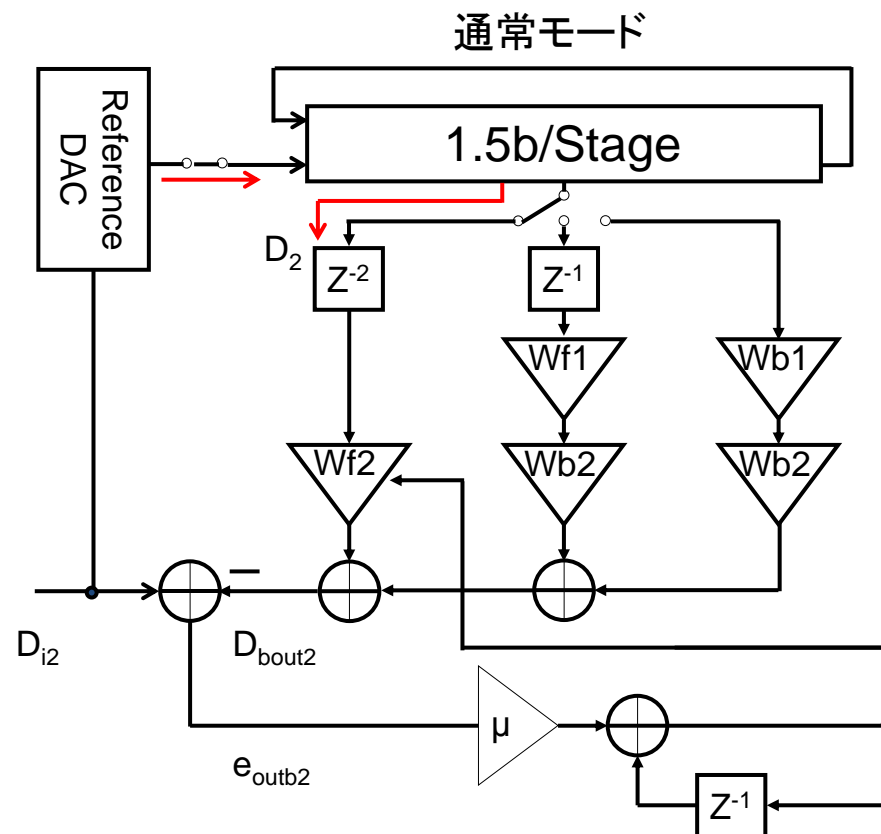


$$\begin{aligned} Wb2(k+1) &= Wb2(k) + \mu(e_{out2}) = Wb2(k) + \mu(D_{i2} - D_{bout2}) \\ &= Wb2(k) + \mu[D_{i2} - \{Wb2(k)Wf1D_1 + Wb2(k)Wb1V_{o2}\}] \end{aligned}$$

$Wb2 = 1/2(1 - e_{fg})(1 + e_m/2)$ に収束

補正係数 $Wb2$ は 3ビット精度を持つ

通常モード:容量ミスマッチの推定

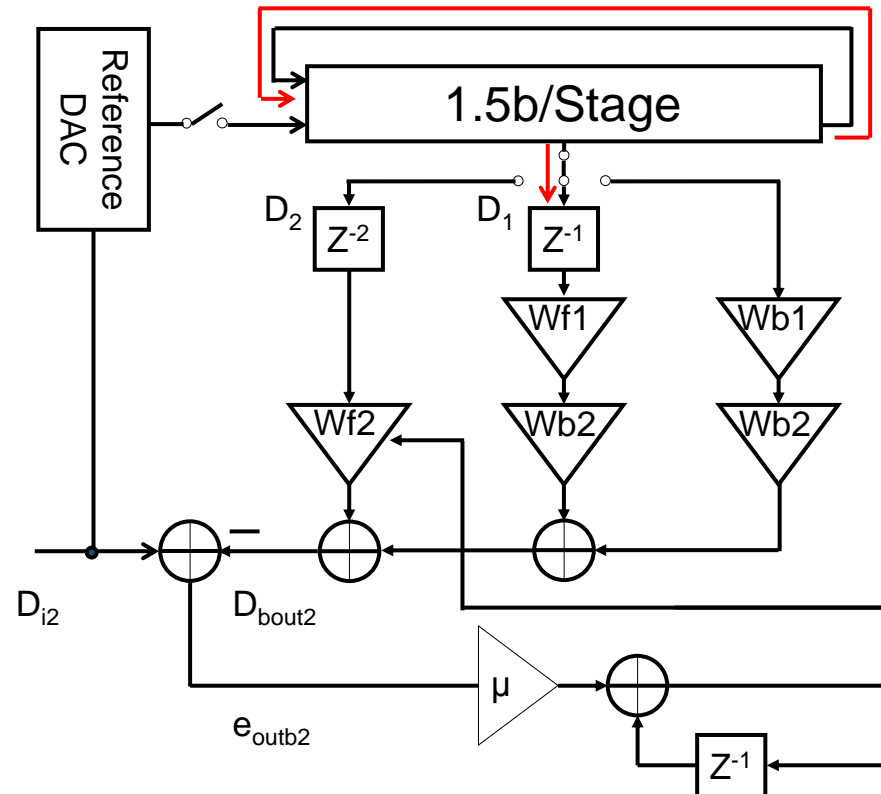


$$\begin{aligned}
 Wf2(k+1) &= Wf2(k) + \mu(e_{outb2}) = Wf2(k) + \mu(D_{i2} - D_{bout2}) \\
 &= Wf2(k) + \mu[D_{i2} - \{Wf2(k)D_2 + Wf2(k)Wb2Wf1D_1 + Wb2Wb1V_{o2}\}]
 \end{aligned}$$

$Wf2 = (1 + e_m) / 2(1 + e_m / 2)$ に収束

補正係数 $Wf2$ は 3ビット精度を持つ

通常モード:容量ミスマッチの推定

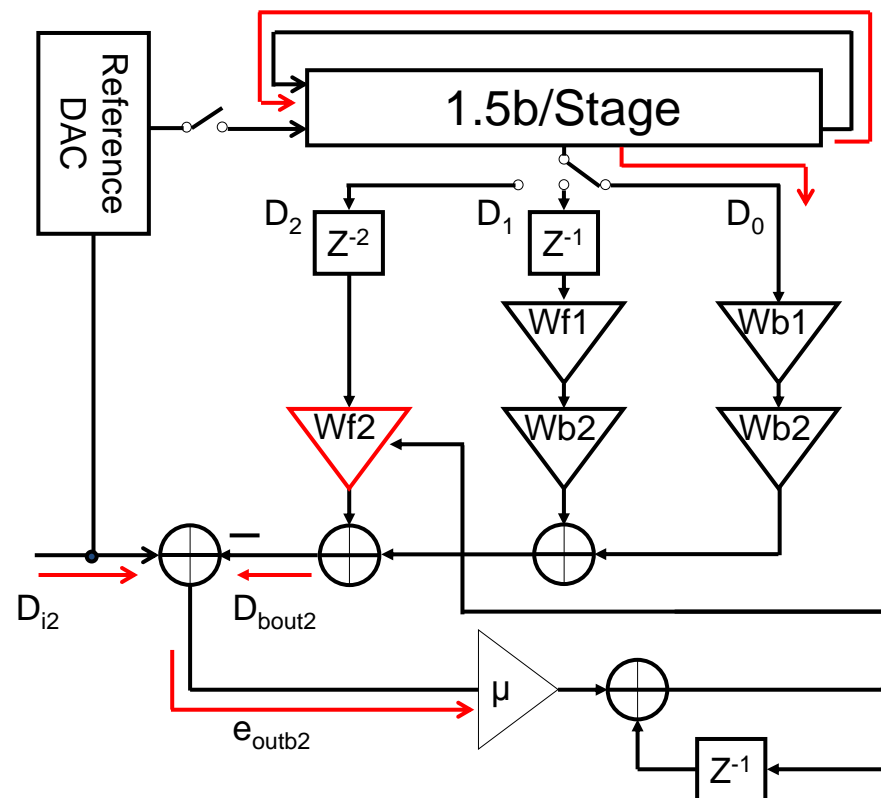


$$\begin{aligned} Wf2(k+1) &= Wf2(k) + \mu(e_{out2}) = Wf2(k) + \mu(D_{i2} - D_{bout2}) \\ &= Wf2(k) + \mu[D_{i2} - \{Wf2(k)D_2 + Wf2(k)Wb2Wf1D_1 + Wb2Wb1V_{o2}\}] \end{aligned}$$

$Wf2 = (1 + e_m)/2(1 + e_m/2)$ に収束

補正係数 $Wf2$ は 3ビット精度を持つ

通常モード:容量ミスマッチの推定



$$\begin{aligned}
 Wf2(k+1) &= Wf2(k) + \mu(e_{out2}) = Wf2(k) + \mu(D_{i2} - D_{bout2}) \\
 &= Wf2(k) + \mu[D_{i2} - \{Wf2(k)D_2 + Wf2(k)Wb2Wf1D_1 + Wb2Wb1V_{o2}\}]
 \end{aligned}$$

$Wf2 = (1 + e_m) / 2(1 + e_m/2)$ に収束

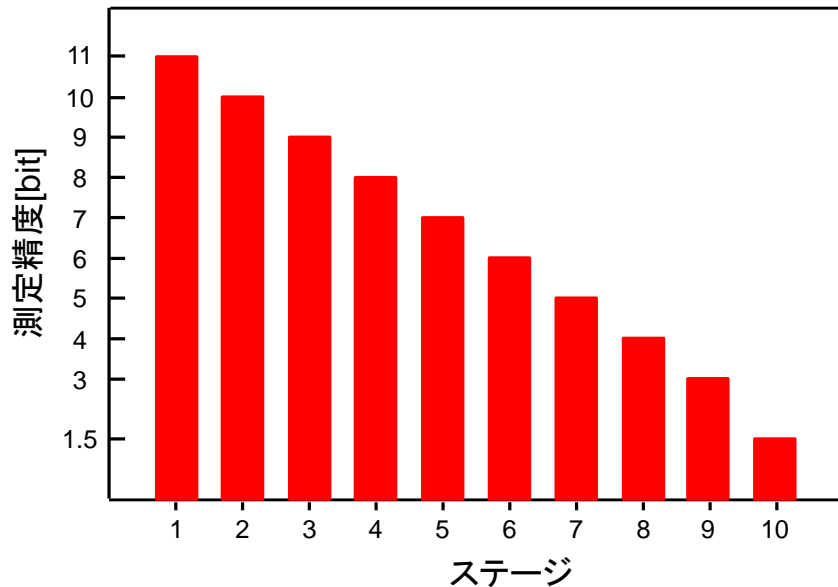
補正係数 $Wf2$ は 3ビット精度を持つ

- ✓ パイプラインAD変換器の構成は1.5bit/Stage × 10 + 1.5bitADC
 - ✓ 有限ゲイン誤差、容量ミスマッチを考慮
 - ✓ Stage1を最高精度、後段に進むにつれて低精度になるように設定
 - ✓ 提案手法のサイクリックループ回数は全て10回に設定
 - ✓ LMSループのステップゲイン: $\mu=1/128$
- ✓ 各ステージに与えた有限ゲイン誤差、容量ミスマッチ

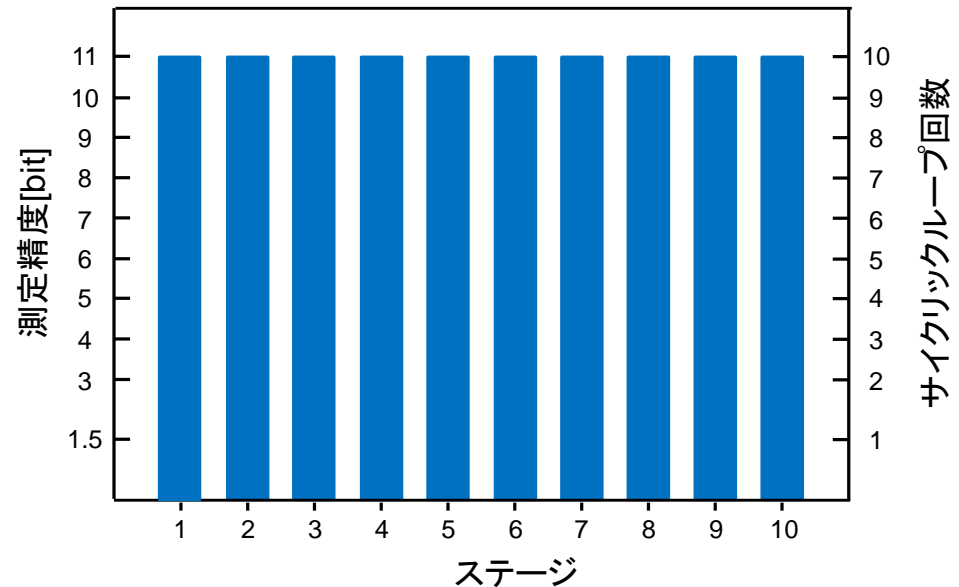
Stage	オープンループゲインA[dB]	帰還係数 β	容量のばらつき(%)
1	34	0.33	3
2	33	0.33	4
3	32	0.33	5
4	31	0.33	6
5	30	0.33	7
6	29	0.33	8
7	28	0.33	0
8	27	0.33	0
9	26	0.33	0
10	25	0.33	0

- ✓ パイプラインAD変換器の構成は1.5bit/Stage × 10 + 1.5bitADC
- ✓ 有限ゲイン誤差、容量ミスマッチを考慮
- ✓ Stage1を最高精度、後段に進むにつれて低精度になるように設定
- ✓ 提案手法のサイクリックループ回数は全て10回に設定
- ✓ LMSループのステップゲイン: $\mu=1/128$

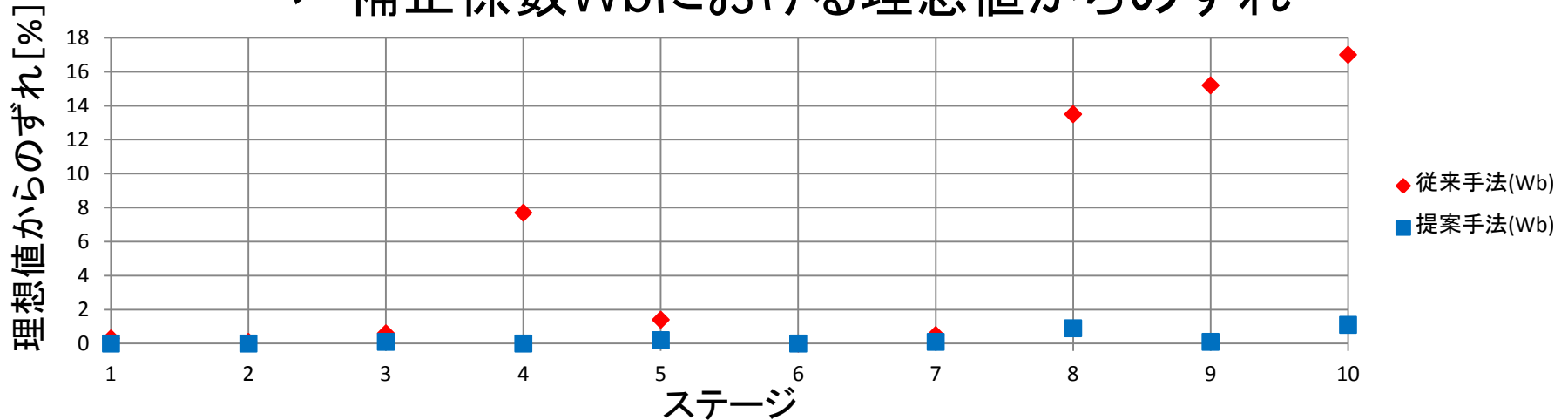
✓ 従来手法の測定精度



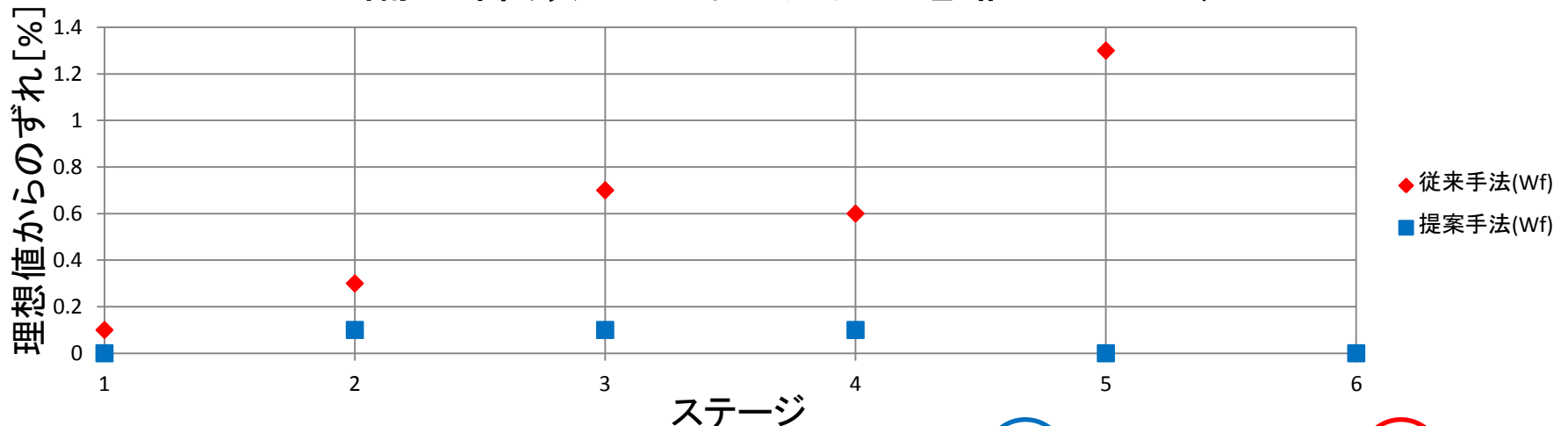
✓ 提案手法の測定精度



✓ 補正係数Wbにおける理想値からのずれ



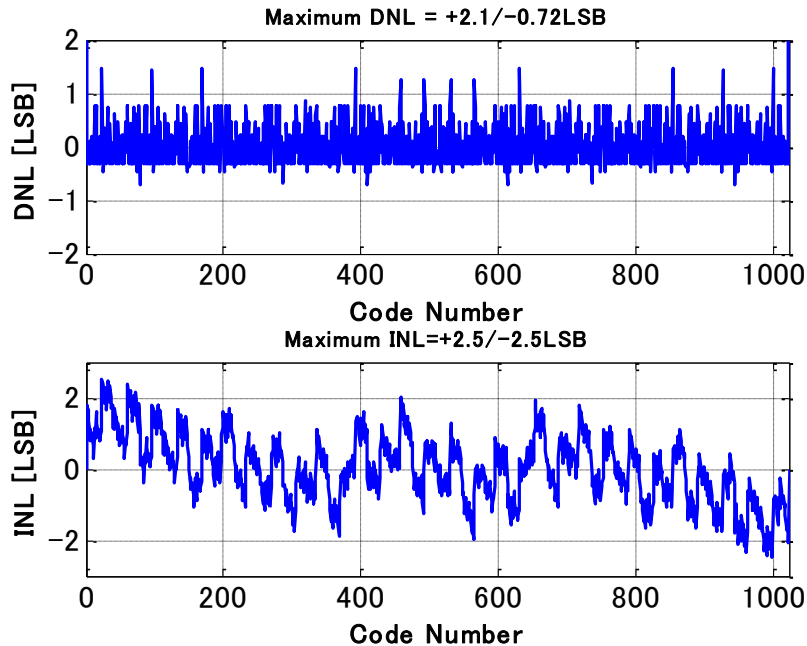
✓ 補正係数Wfにおける理想値からのずれ



理想値(Wb, Wf)に近い順 : 提案手法 😊 従来手法 ☹️

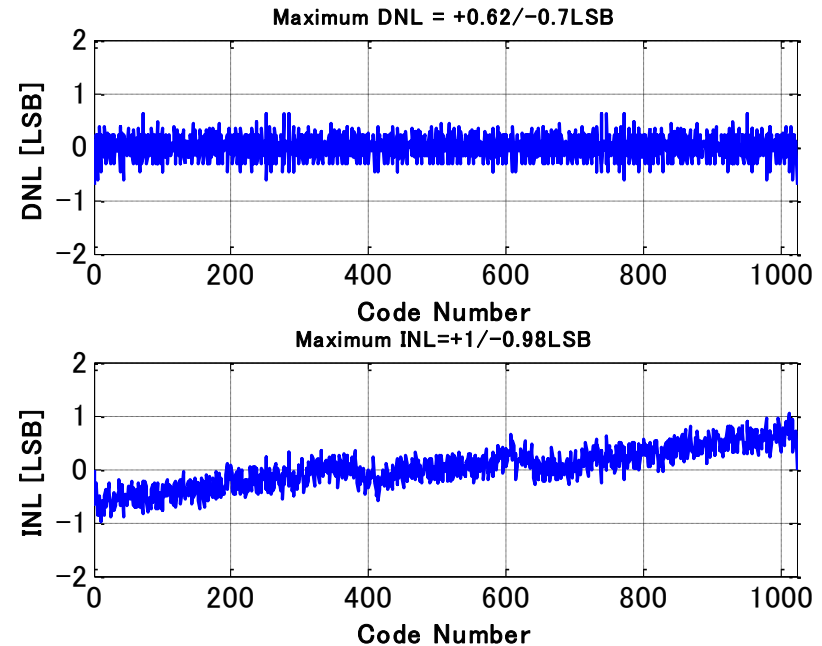
※理想値からのずれ[%] = $\left| \frac{\text{理想値} - \text{補正係数}}{\text{理想値}} \right| \times 100$

✓ 従来手法



MAX DNL: +2.1/-0.72
MAX INL : +2.5/-2.5

✓ 提案手法

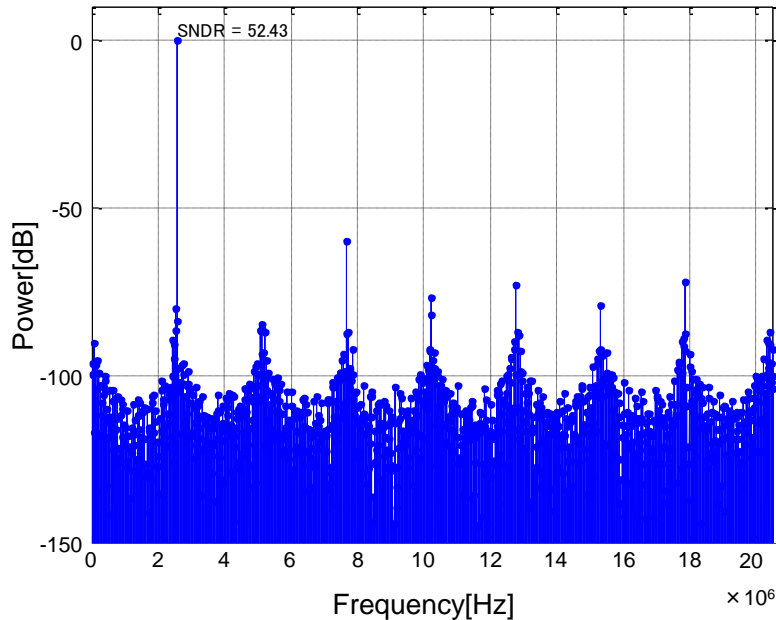


MAX DNL: +0.73/-0.63
MAX INL : +1/-0.98

DNL、INL : 提案手法 😊 従来手法 ☹️

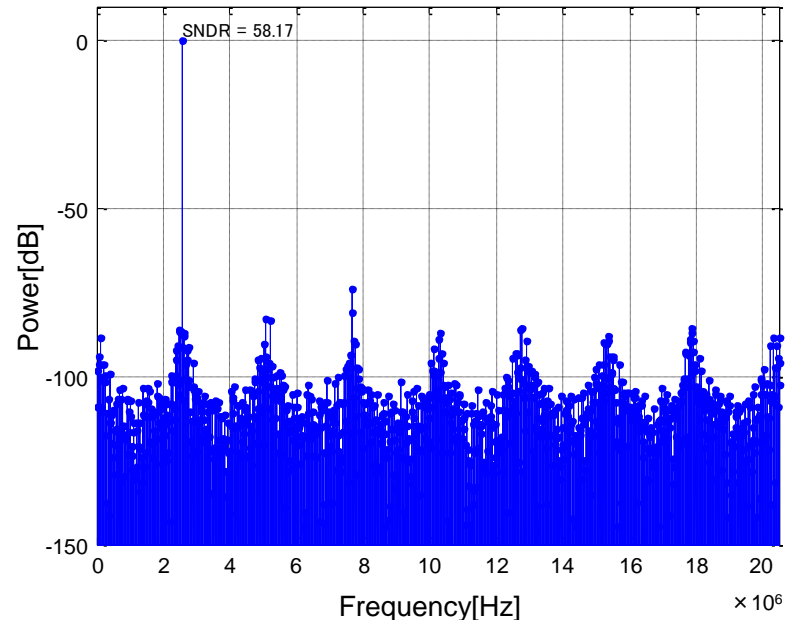
※DNL(微分非直線性誤差),INL(積分非直線性誤差)

✓ 従来手法



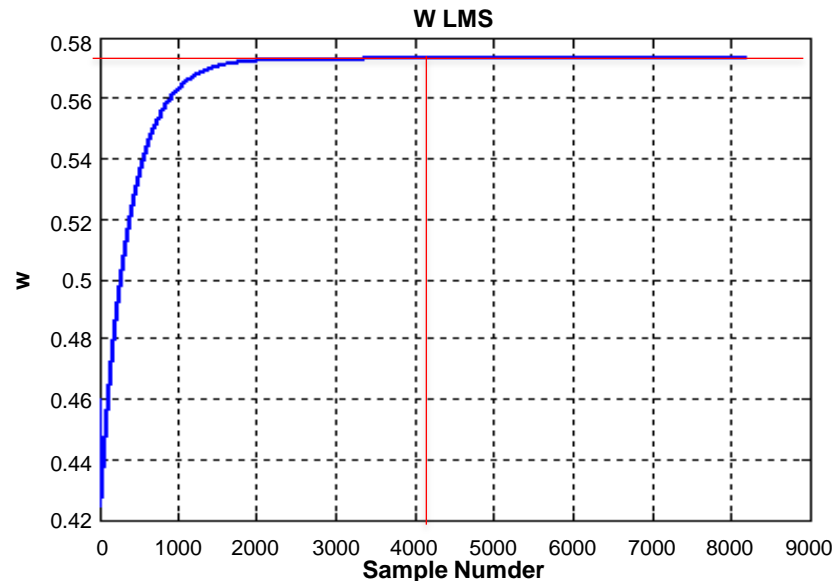
SNR : 53.4dB
THD : -59.2dB
SNDR : 52.4dB
ENOB : 8.4bit

✓ 提案手法

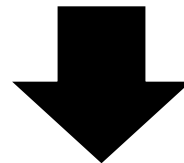


SNR : 58.3dB
THD : -72.9dB
SNDR : 58.2dB
ENOB : 9.4bit

ENOB(有効分解能): 提案手法 😊 従来手法 😞











- ✓ 4100サンプル点で1つの補正係数が収束
- ✓ サンプルレート500MS/sの場合: 約8.2 μ s
- ✓ 11ビット精度の補正係数を導出するためには係数20個必要



全体の補正係数を収束するために必要な時間: 0.16ms

※従来手法の全体の補正係数を収束するために必要な時間: 0.13ms

- パイプラインAD変換器におけるフォアグラウンド自己校正法
 - ✓ サイクリック動作を応用した高精度誤差測定
- サイクリック動作を応用したフォアグラウンド自己校正法
 - ✓ 有限ゲイン誤差、容量ミスマッチを補正可能
 - ✓ 有効分解能9.4ビットの精度を得る

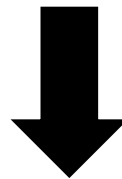
	従来手法	提案手法
補正係数の正確さ		
収束時間	0.13ms 	0.16ms 
線形性	MAX DNL:+2.1/-0.72 MAX INL :+2.5/-2.5 	MAX DNL:+0.73/-0.63 MAX INL :+1/-0.98 
有効分解能	8.4ビット 	9.4ビット 

アウトライン

- 研究背景と目的
- 従来手法とその課題点
- パイプラインAD変換器におけるサイクリック動作を
応用したフォアグラウンド自己校正法
- **まとめと今後の課題**

パイプラインAD変換器におけるサイクリック動作を応用した
フォアグラウンド自己校正法の提案

Matlabシミュレーションによる有効性の確認



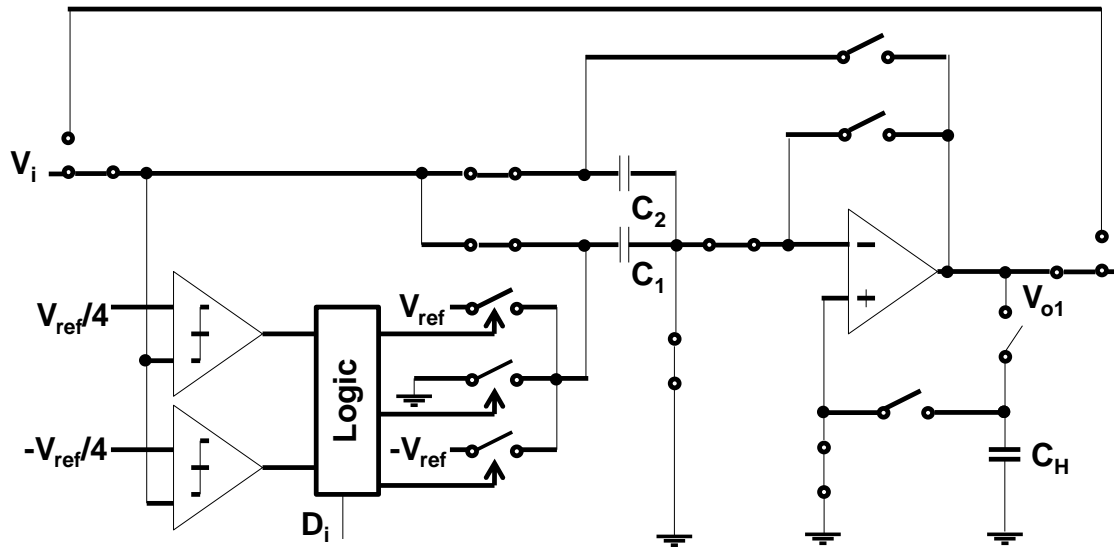
今後の課題

- ① 回路レベルでの検証(詳細な設計、見積もり)
- ② FPGA、ソフトウェアによる自己校正回路の構成
- ③ 実機による提案手法の有効性の確認

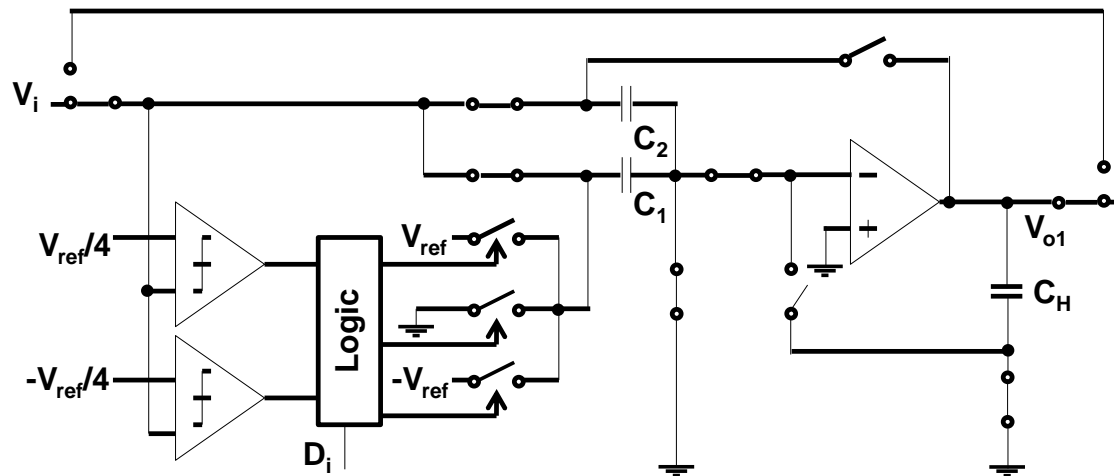
補足資料

サイクリック動作を行う1.5b/Stage

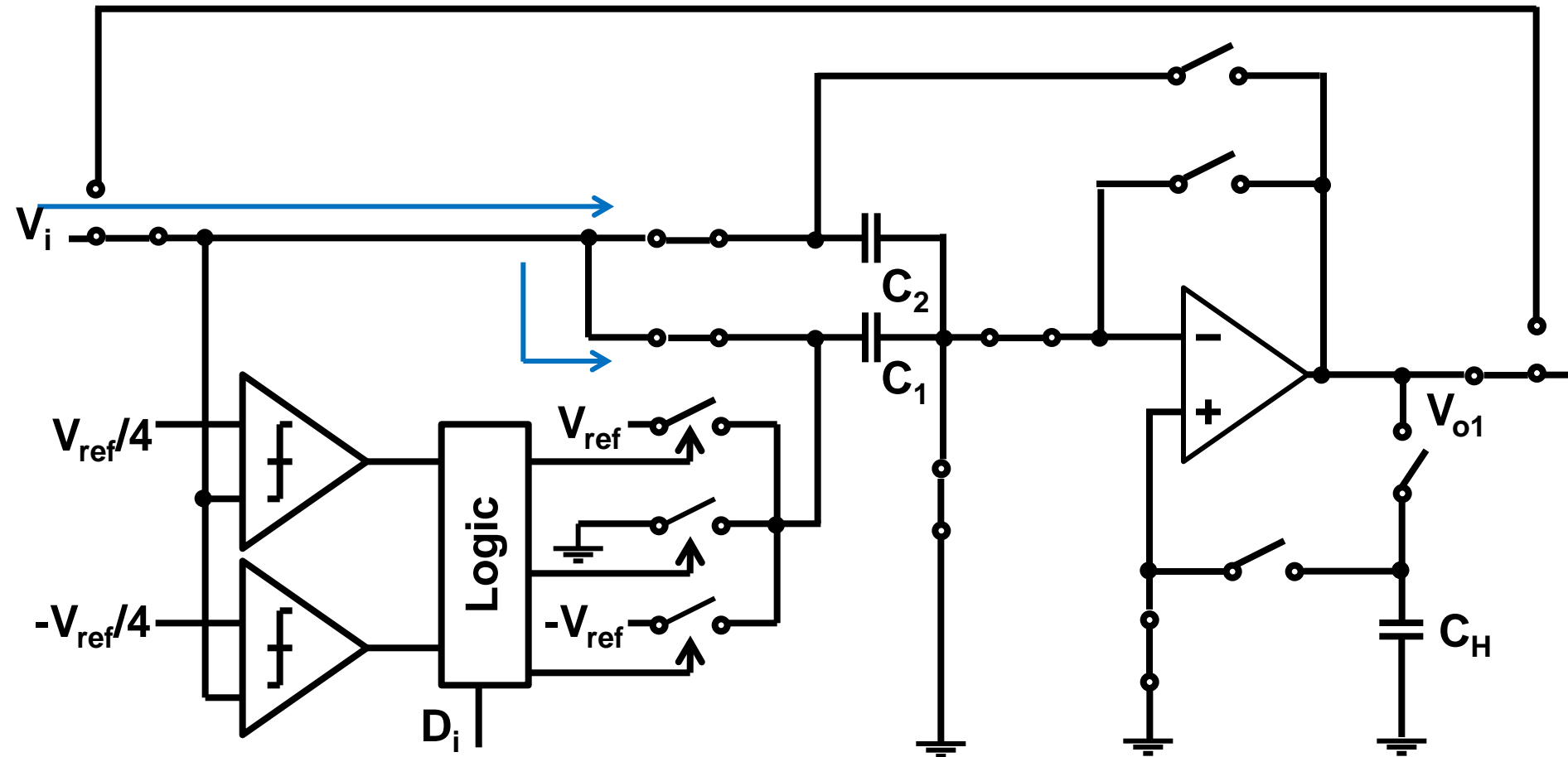
案1: Voltage Follower構成



案2: OPampを反転増幅モード(+入力をGnd固定)

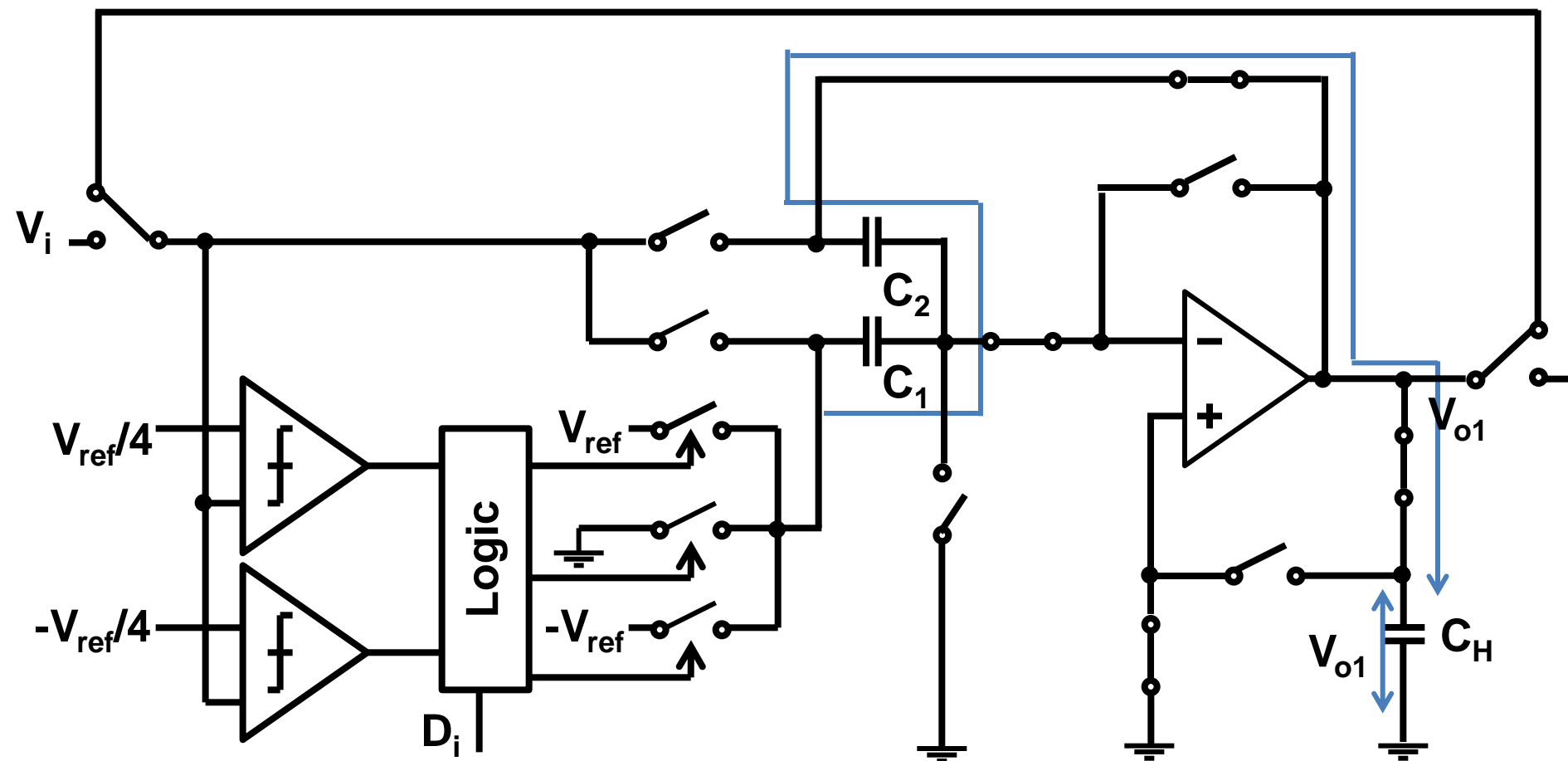


案1 1.5b/Stageの動作: サンプリングフェーズ



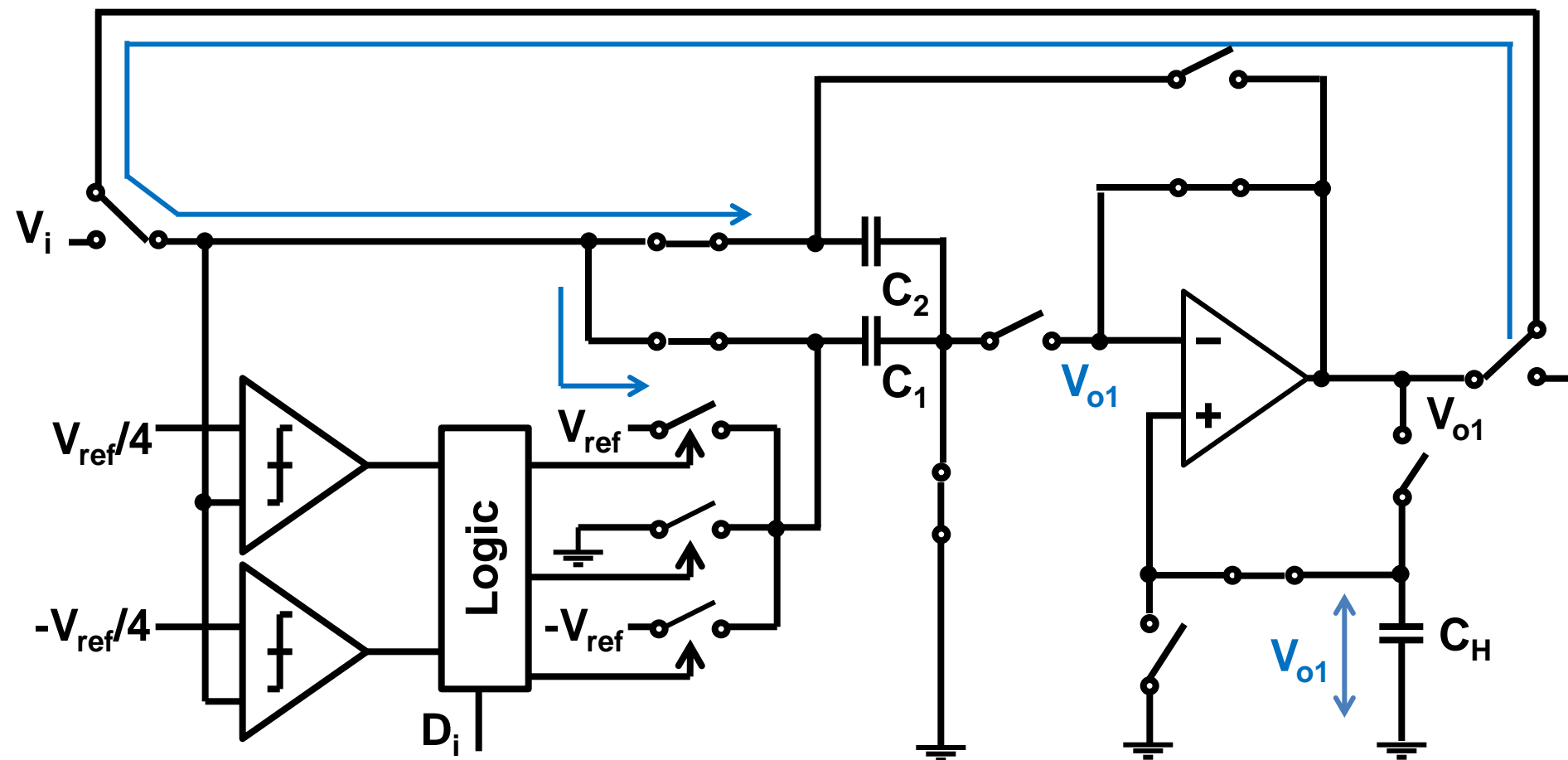
- リファレンスDACから参照電圧 V_i を入力する
- C_1 と C_2 に電圧 V_i をサンプリングする

案1 1.5b/Stageの動作: 増幅フェーズ



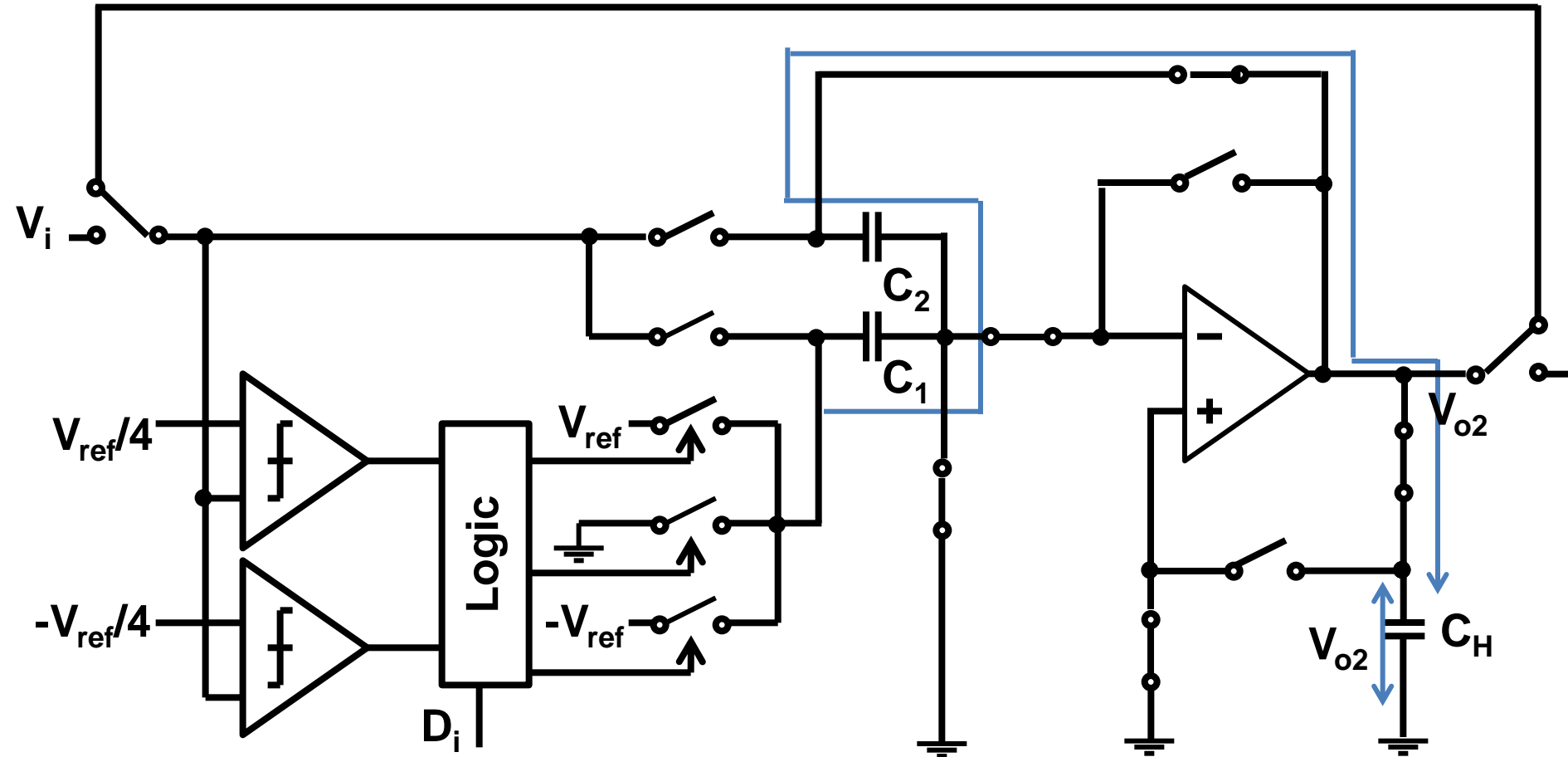
- スイッチを切り替えて C_1 と C_2 にたまった電荷を移動させ、増幅させる。
- キャパシタ C_H に電圧 V_{o1} をチャージさせる。

案1 1.5b/Stageの動作: サンプリングフェーズ (サイクリックループ1回)



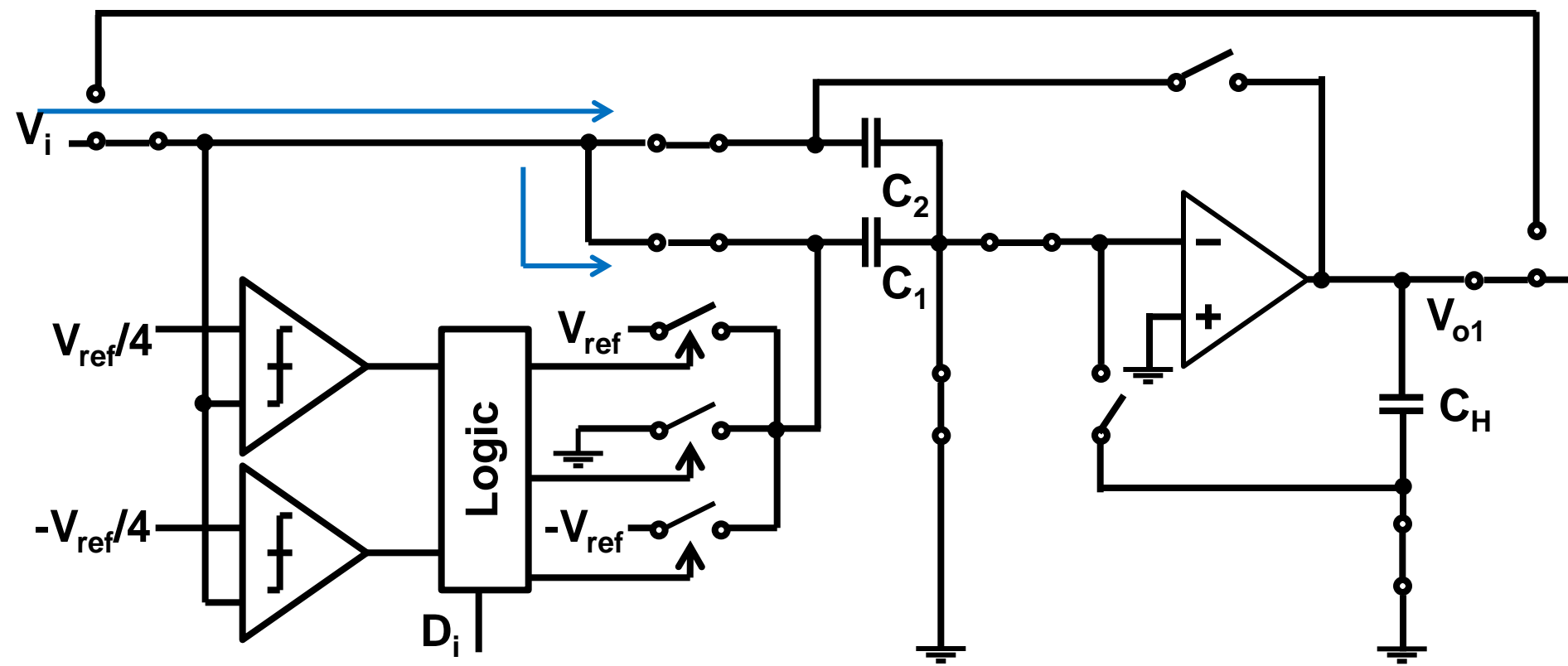
- スイッチを切り替えてボルテージフォロワ構成にする。
- 仮想短絡によりアンプの反転入力端子の電圧が V_{o1} になる。
- C_1 と C_2 に電圧 V_{o1} が印加される。

案1 1.5b/Stageの動作: 増幅フェーズ (サイクリックループ1回)



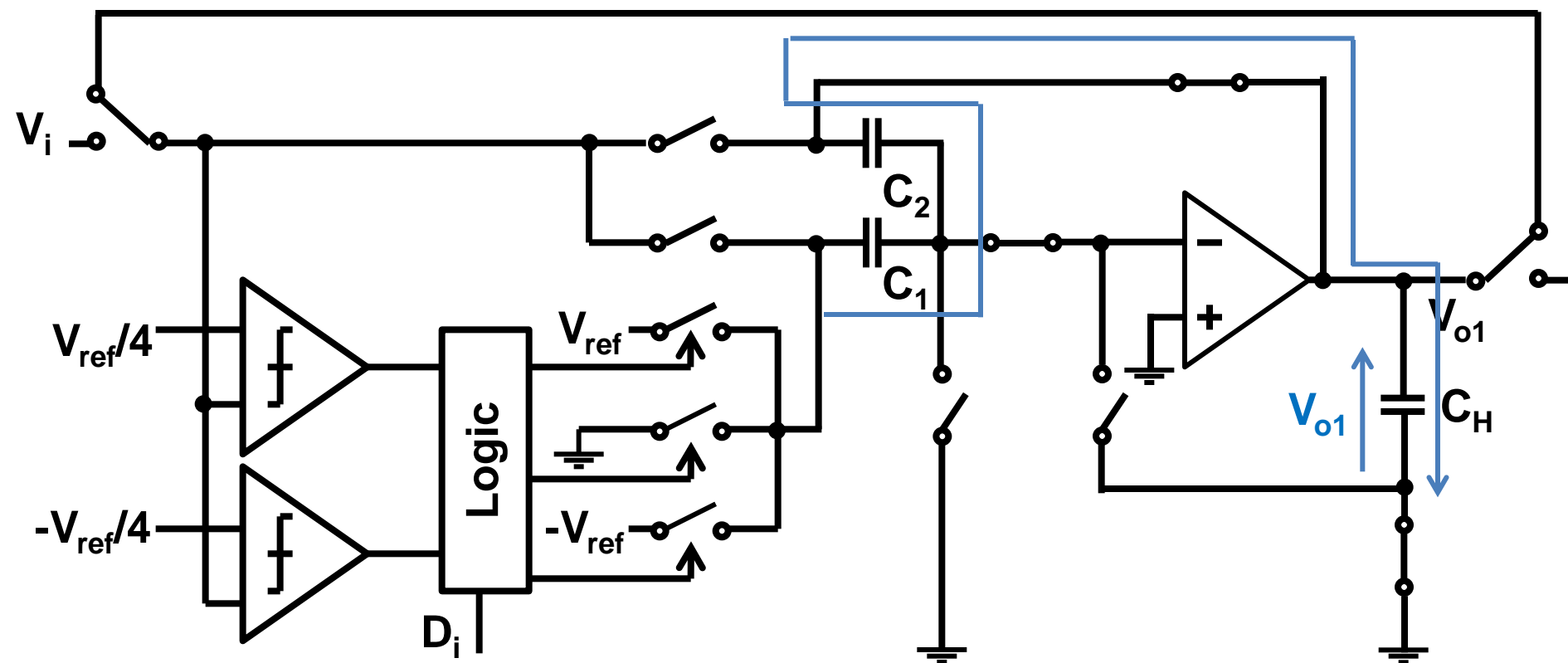
- C_1 と C_2 にたまった電荷を移動させ、増幅させる。
- キャパシタ C_H に電圧 V_{o2} をチャージさせる。
- 以下同様の動作を行うことでサイクリック動作することができる

案2 1.5b/Stageの動作: サンプリグフェーズ



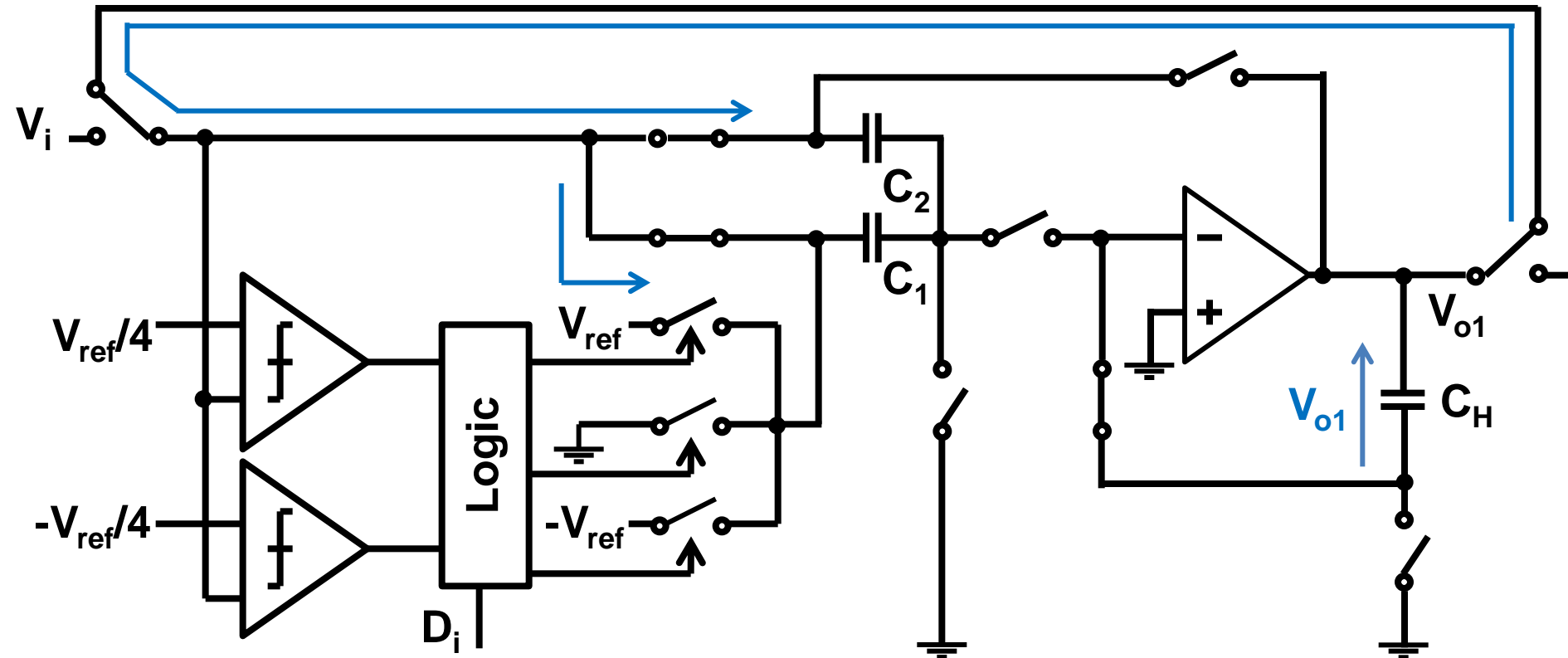
- リファレンスDACから参照電圧 V_i を入力する
- C_1 と C_2 に電圧 V_i をサンプリグする

案2 1.5b/Stageの動作: 増幅フェーズ



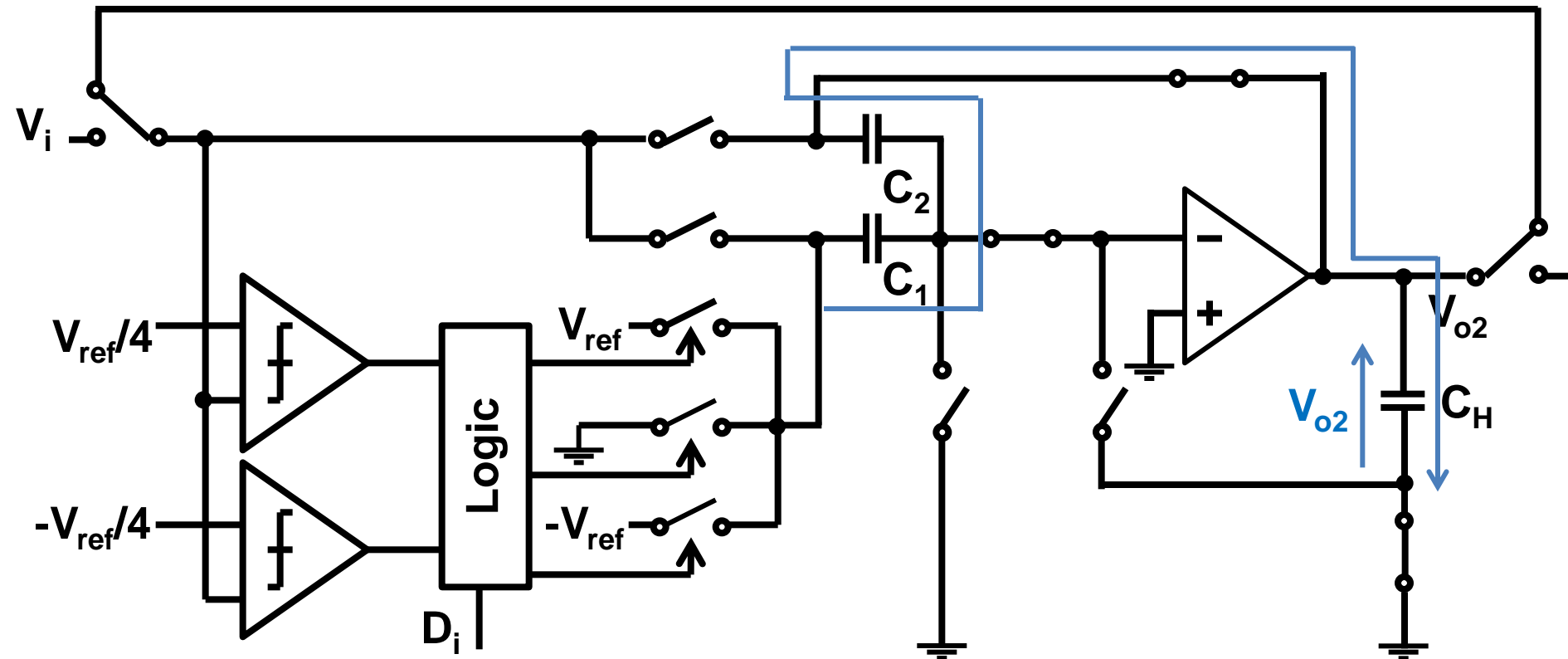
- スイッチを切り替えて C_1 と C_2 にたまった電荷を移動させ、増幅させる。
- キャパシタ C_H に電圧 V_{o1} をチャージさせる。

案2 1.5b/Stageの動作: サンプリングフェーズ (サイクリックループ1回)



- 仮想短絡によりアンプの反転入力端子の電圧が0のまま。
- C_1 と C_2 に電圧 V_{o1} が印加される。

案2 1.5b/Stageの動作: 増幅フェーズ (サイクリックループ1回)



- C_1 と C_2 にたまった電荷を移動させ、増幅させる。
- キャパシタ C_H に電圧 V_{o2} をチャージさせる。
- 以下同様の動作を行うことでサイクリック動作することができる

サイクリック動作を行う1.5b/Stageのまとめ

案1: Voltage Follower構成のため同相電圧が変化してしまうため、オペアンプの設計によってはうまく動作しない可能性がある。

案2: OPampを反転増幅モード(+入力をGnd固定)で動作させているため、オフセット電圧の同相依存性を考慮しなくてよい。