

TVチューナ用完全デジタルPLL回路

○湯本 哲也₁ 村上 健₁

壇 徹₂ 高橋 伸夫₂ 内藤 智洋₂ 北村 真一₂ 坂田 浩司₂

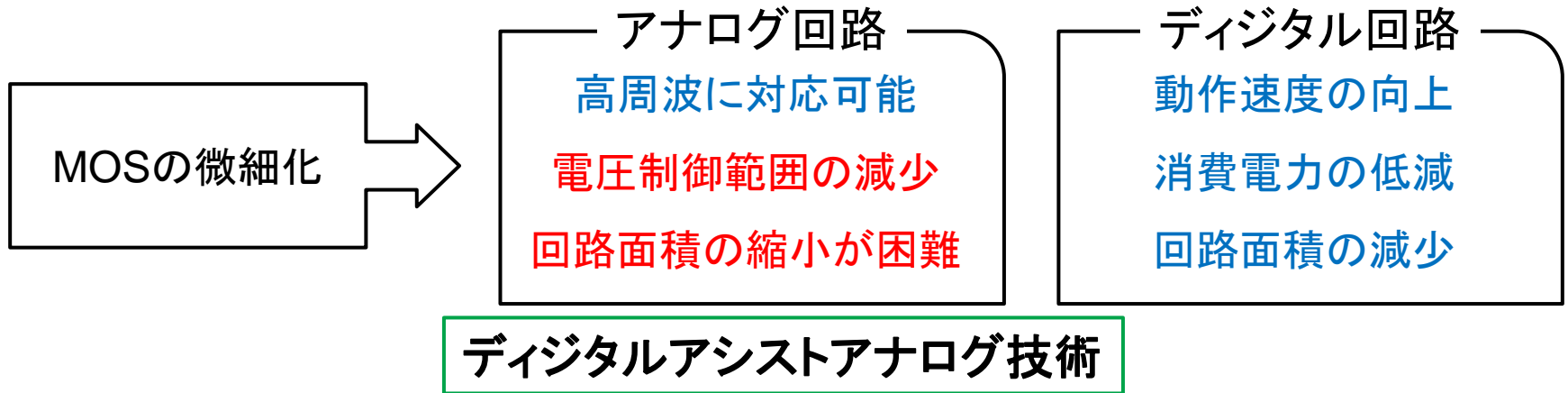
小林 春夫₁ 高井 伸和₁ 新津 葵一₁

群馬大学大学院 工学研究科₁

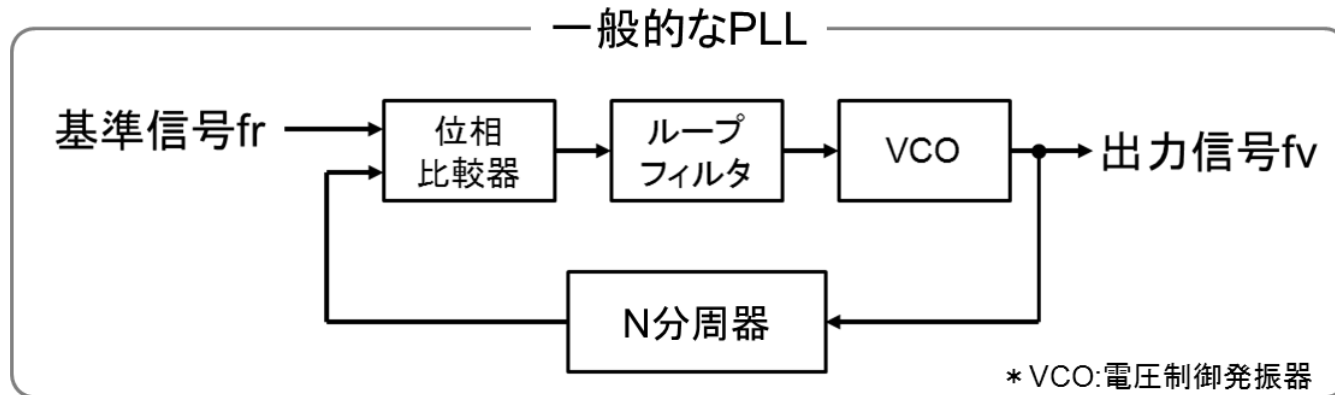
三洋半導体 株式会社₂

- 研究背景と目的
- 従来の完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーションによる検証
- チップ測定結果
- まとめと今後の課題

- 研究背景と目的
- 従来の完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーションによる検証
- チップ測定結果
- まとめと今後の課題



■ PLL(Phase Locked Loop)

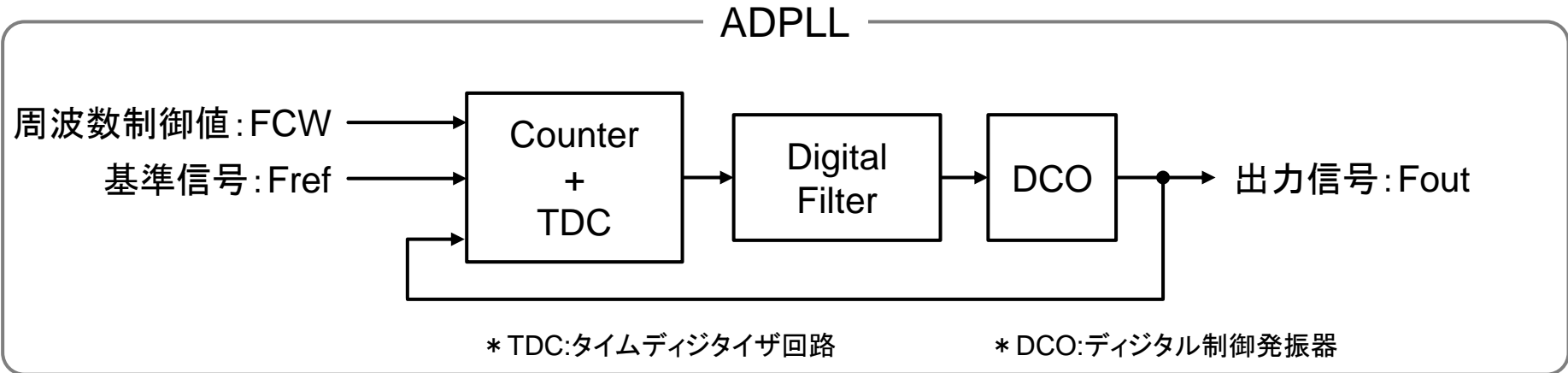


分周比Nを制御することで任意の出力が得られる $f_v = N \times f_r$



■ ADPLL (All Digital PLL)

PLL回路をほぼ全てデジタル回路で構成



FCWを制御することで任意の出力が得られる $F_{out} = FCW \cdot F_{ref}$

研究目的:TVチューナを目的とした広帯域なADPLLの開発

目標仕様

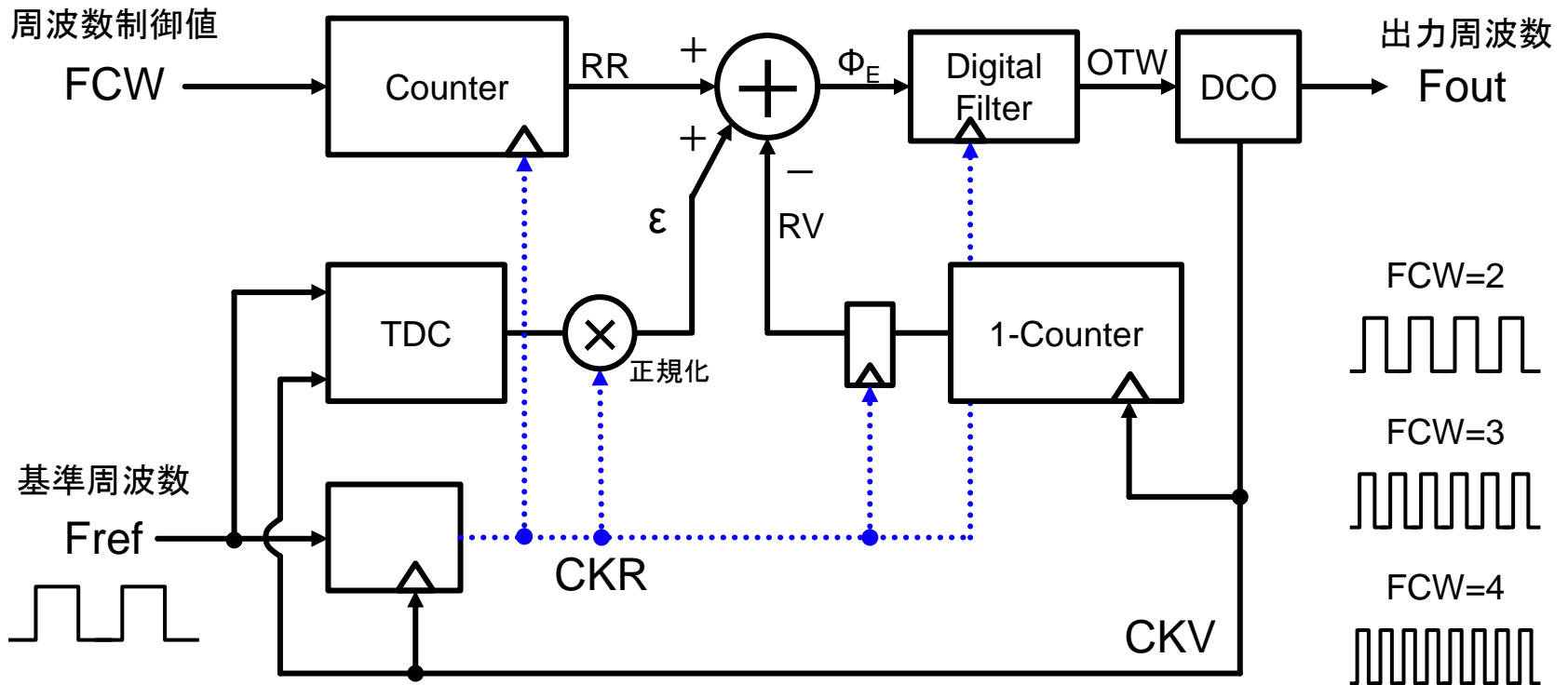
出力周波数範囲 97M~771MHz
位相雑音 -90dBc/Hz @10kHz

研究課題

- ・低位相雑音化
- ・広帯域動作化
- ・チューニング時間短縮化

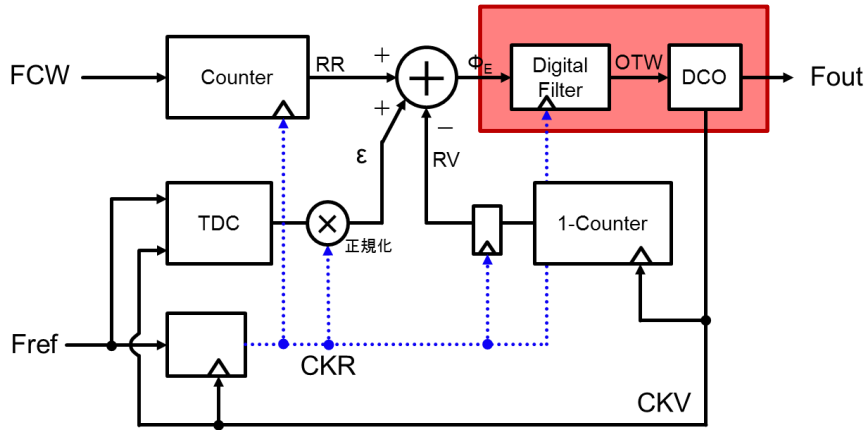
- 研究背景と目的
- 従来の完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーションによる検証
- チップ測定結果
- まとめと今後の課題

ADPLLの基本構成

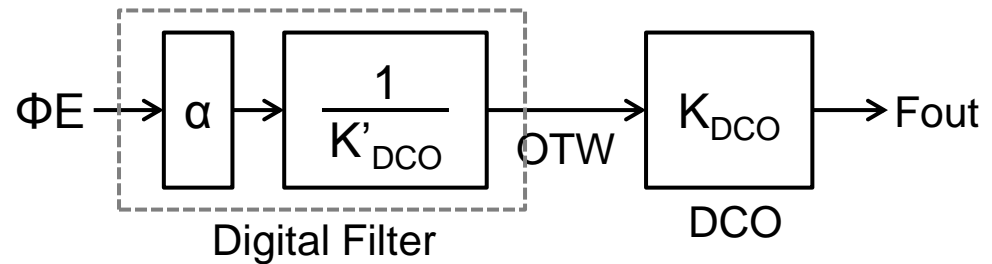


位相差データ
 $\Phi_E = RR - RV + \varepsilon$

ADPLLの主要なパラメータ



デジタルフィルタ+DCOの伝達関数モデル



ループゲイン: α

システムの応答を決定

収束精度 \longleftrightarrow 収束時間

トレードオフ

DCOゲイン: K_{DCO}

発振周波数に依存した非線形なパラメータ

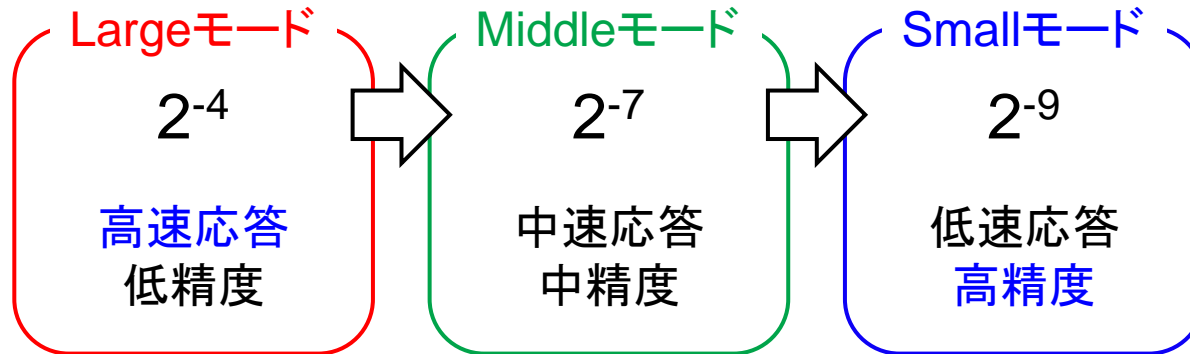
システムの伝達関数に影響

ADPLLのデジタル的な性質
 α を切り替えることが可能

システム内で K_{DCO} を推定
 $K'_{DCO}=K_{DCO}$ であればキャンセル可能

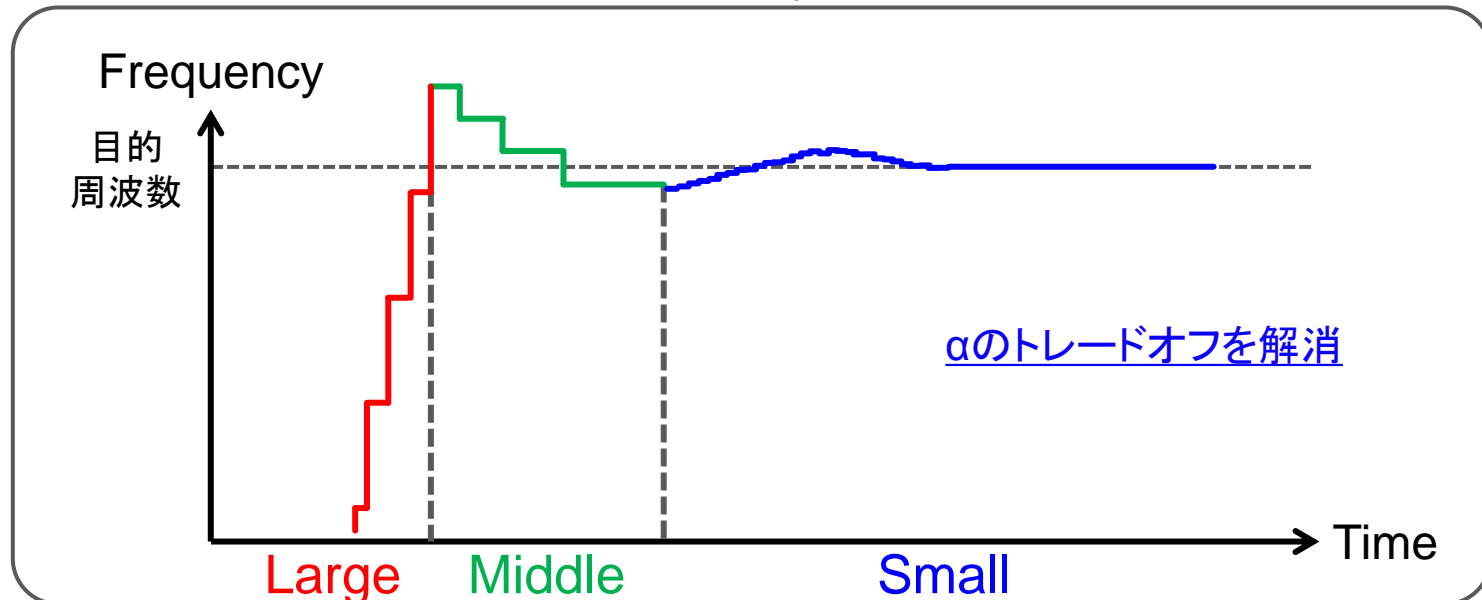
ADPLLの基本動作 —チューニング動作—

ループゲイン α の段階的シフト構成



* Smallモードのみ2次フィルタ+ $\Delta\Sigma$ 使用

システムの収束イメージ

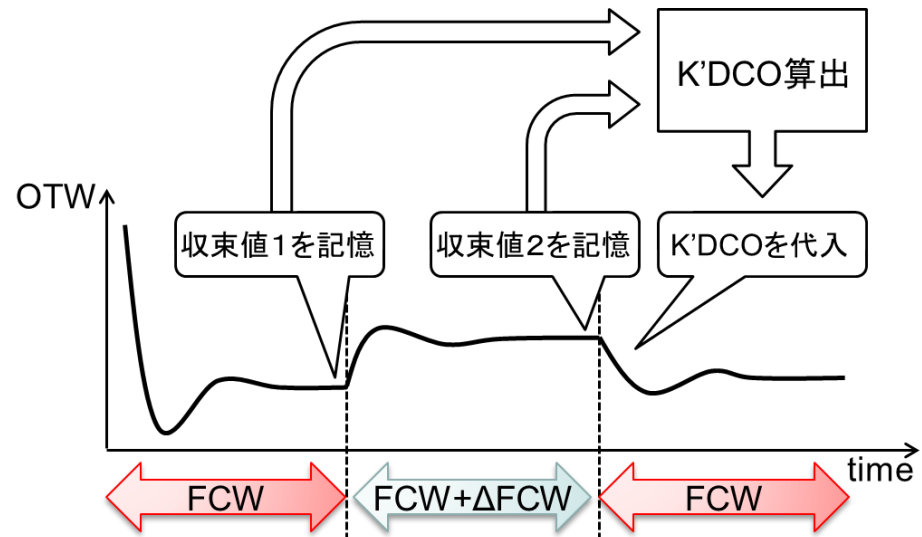
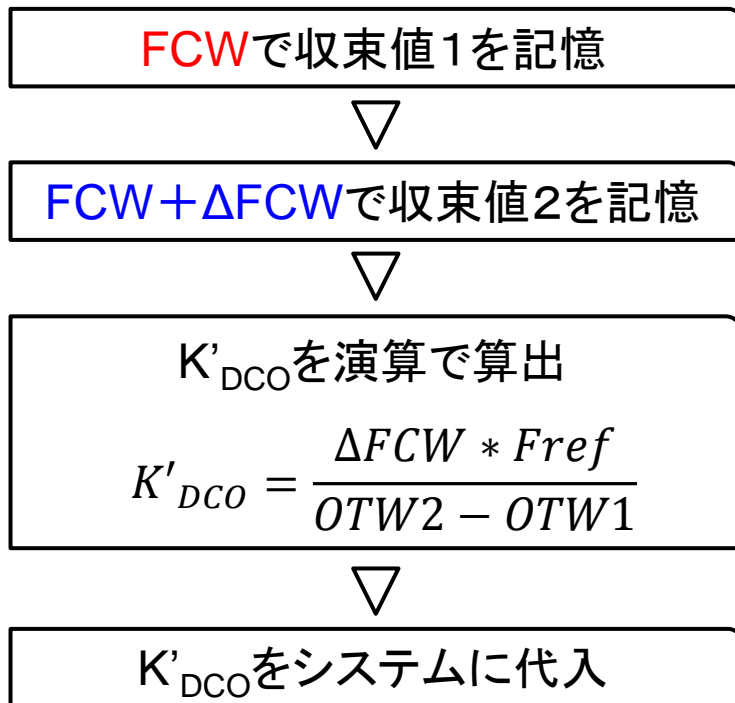


DCOゲインの定義式

$$K_{DCO} = \frac{\Delta f v}{\Delta OTW} = \frac{\Delta FCW * Fref}{OTW2 - OTW1}$$

ADPLLの制御式
 $\Delta f v = \Delta FCW * Fref$

見積もりフロー




システム内のパラメータを用いて自己校正を実現

- 研究背景と目的
- 従来の完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーションによる検証
- チップ測定結果
- まとめと今後の課題

課題と提案手法

1. 位相雑音特性

DCOアナログ雑音の影響  位相雑音特性の劣化


逓倍発振・分周構成による雑音低減化

2. 周波数特性

DCOの発振周波数の可変限界  ADPLLの発振周波数の制限

可変分周回路・複数のDCO切り替えによる広帯域化

3. チューニング時間

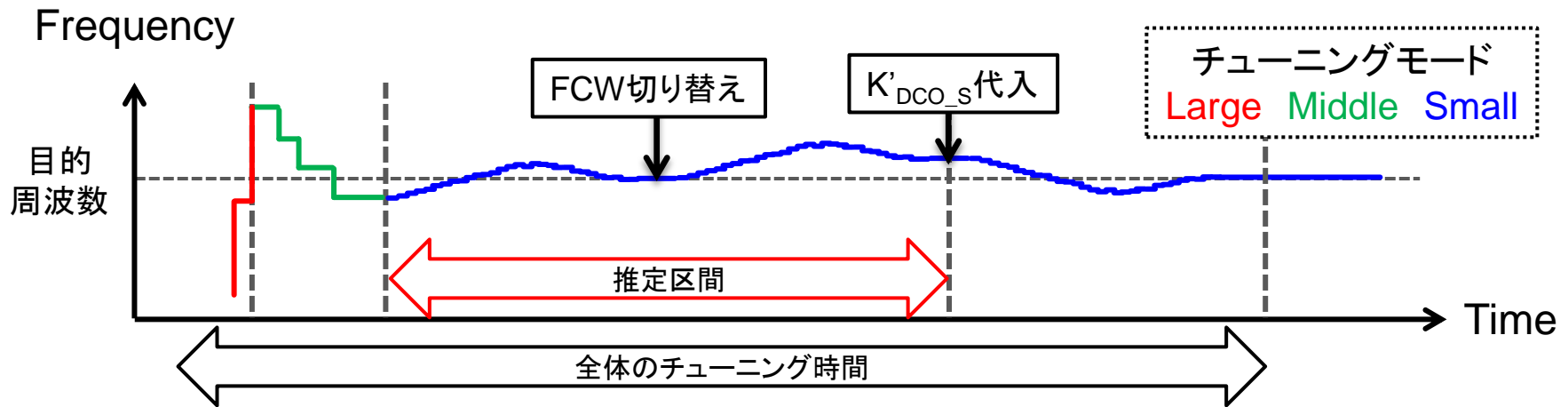
DCOゲインの見積もり  長いチューニング時間

Middleモードで見積もりチューニング時間を短縮する

チューニング時間短縮化 —従来手法—

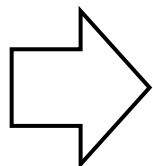
最も精度を要求されるSmallモードのDCOゲイン K'_{DCO_S} が重要

K'_{DCO_S} はSmallモードで見積もる必要がある



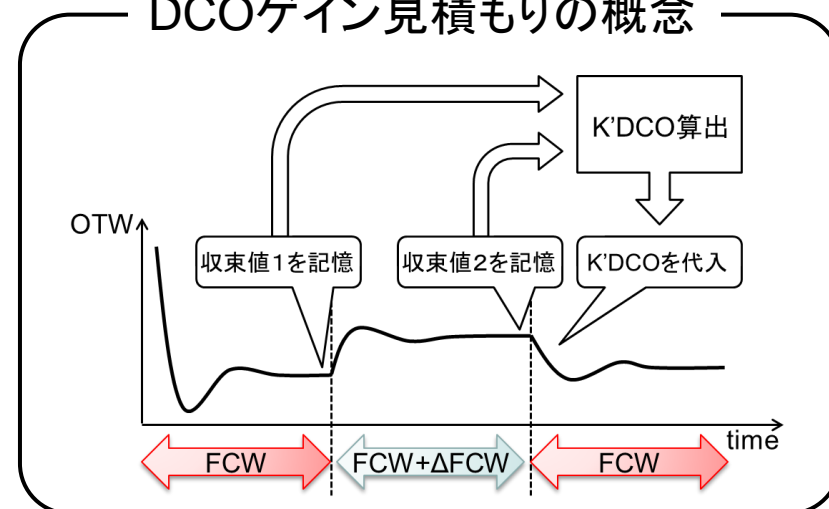
Smallモードを3回行う必要がある
(推定に2回、 K'_{DCO} 代入後に1回)

高精度 \longleftrightarrow 長い収束時間

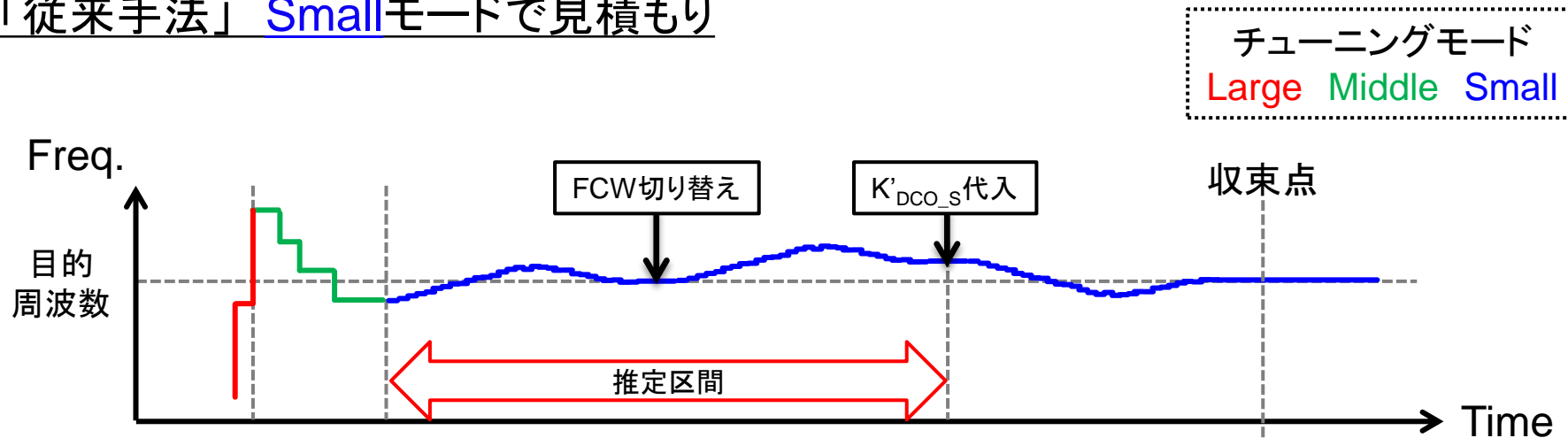


収束時間の短い
Middleモードに着目

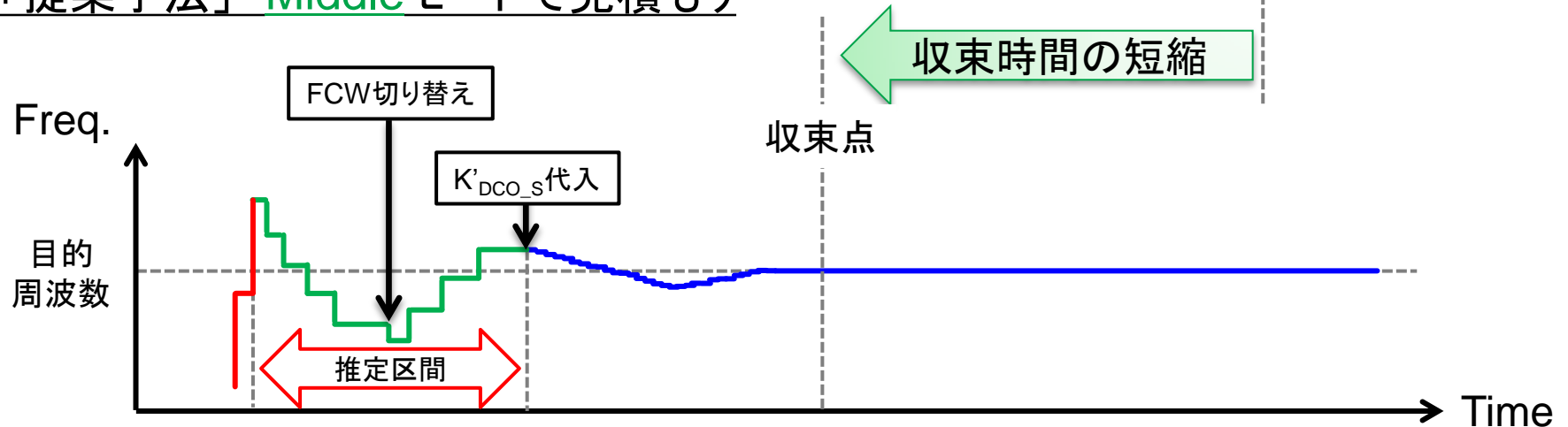
DCOゲイン見積もりの概念



■ 「従来手法」 Smallモードで見積もり



■ 「提案手法」 Middleモードで見積もり



MiddleモードでSmallモードの K'_{DCO} を求められればチューニング時間の大幅な短縮が可能

提案方法の課題

Middleモード
 K'_{DCO_M}



Smallモード
 K'_{DCO_S}

求められる値

求めたい値

DCOゲインの計算式

$$K_{DCO} = -2\pi^2 * \Delta C_{1LSB} * L * f v^3$$

Middleモード $\Delta C_{1LSB} = 6.25\text{fF}$

Smallモード $\Delta C_{1LSB} = 250\text{aF}$

K'_{DCO_M} から K'_{DCO_S} への変換方法

DCOゲインの比

バラクタ分解能の比

$$K_{DCO_S} : K_{DCO_M} = \Delta C_{1LSB_S} : \Delta C_{1LSB_M} \Rightarrow K'_{DCO_S} = \frac{\Delta C_{1LSB_S}}{\Delta C_{1LSB_M}} * K_{DCO_M}$$

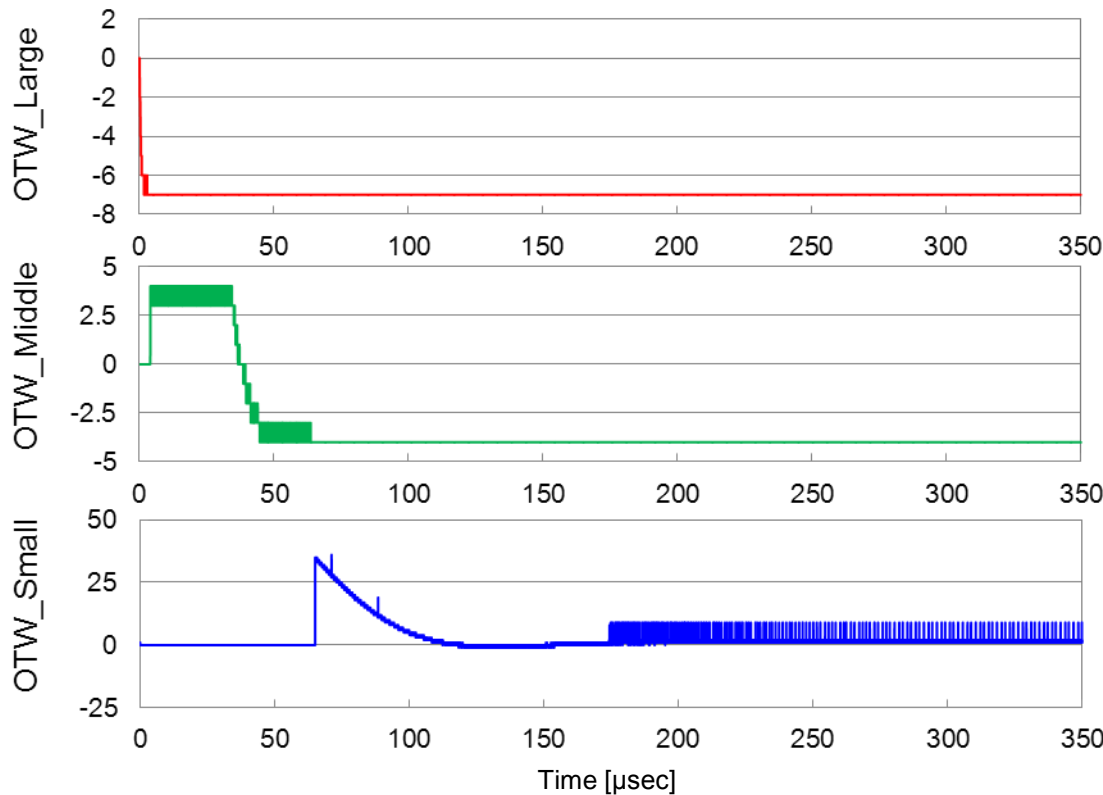
提案したMiddleモードによる K'_{DCO_S} の推定を実現

- 研究背景と目的
- 従来の完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーションによる検証
- チップ測定結果
- まとめと今後の課題

MATLAB Simulinkを使用してシステムを解析

主なパラメータ	設定値
Fref	36.57142857MHz($1/7 \times 2^8$ MHz)
TDC時間分解能	68psec
ビット幅	Wi=8bit, Wf=7bit
ループゲイン	Large $\alpha_L=2^{-4}$ Middle $\alpha_M=2^{-7}$ Small $\alpha_S=2^{-9}$, $\rho_S=2^{-19}$
K'_{DCO}	$K'_{DCO_L}=20$ MHz $K'_{DCO_M}=1.5$ MHz
DCOバラクタ分解能	$\Delta C_{1LSB_L}=105$ fF $\Delta C_{1LSB_M}=6.25$ fF $\Delta C_{1LSB_S}=250$ aF
ΔFCW	0.05
MASH $\Delta\Sigma$ 構成	3次
FCW	13.625
シミュレーション時間	350 μ sec

各モードのOTWの収束時間から全体の収束時間を比較する



チューニング時間の比較

従来手法 : $3u + 30u + 205u \times 3 \geq 600u\text{sec}$

提案手法 : $3u + 30u \times 2 + 205u \doteq 268u\text{sec}$

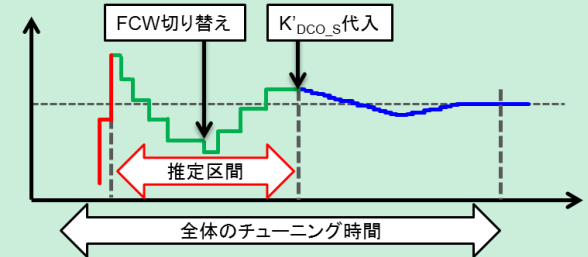
全体の収束時間の計算式

● 従来手法

Large→Middle→Small(×3)

● 提案手法

Large→Middle(×2)→Small



**Middleモード見積もりによる
チューニング時間の短縮を確認**

- 研究背景と目的
- 従来の完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーションによる検証
- チップ測定結果
- まとめと今後の課題

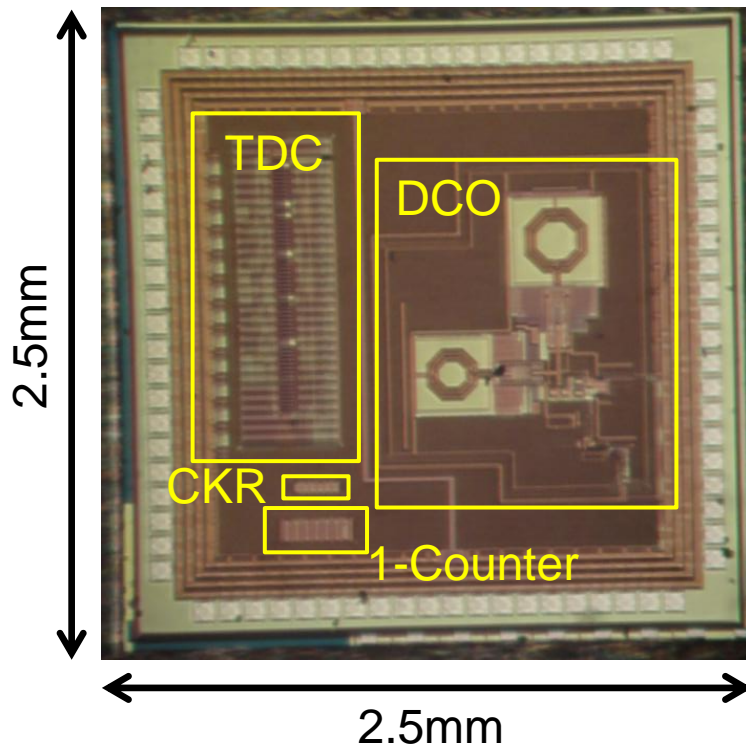
試作したチップと測定基板

複雑なデジタル部を1チップに実装することは困難

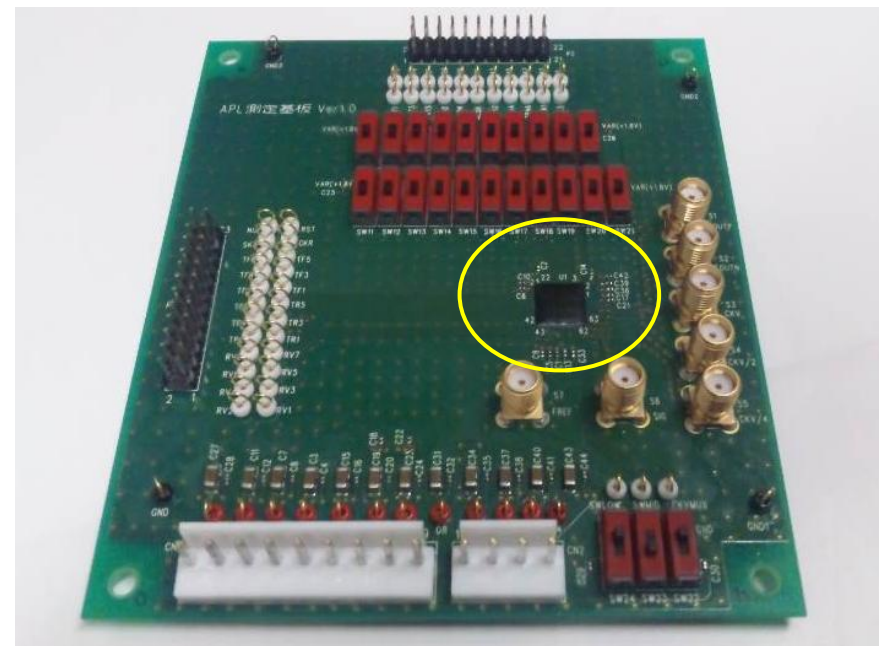
FPGA(Field-Programmable Gate Array)とチップを併用

試作チップ

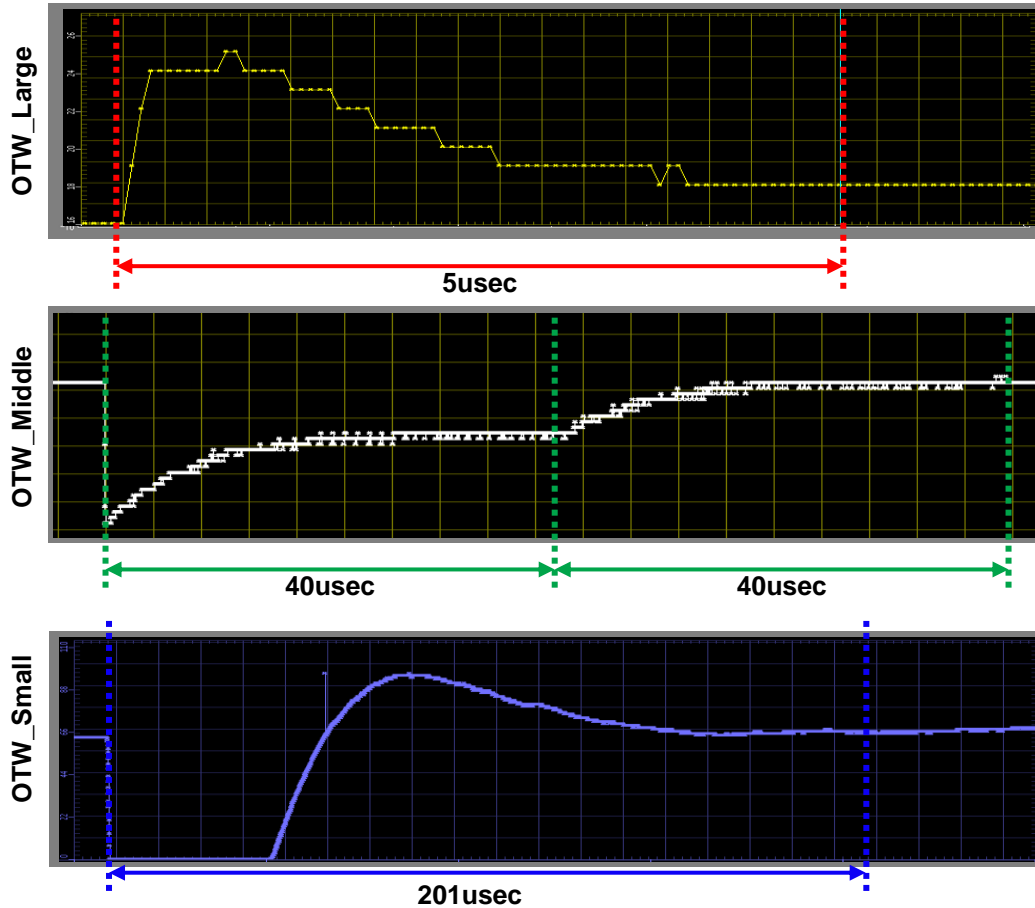
TSMC 180nm CMOSプロセス



測定用基板



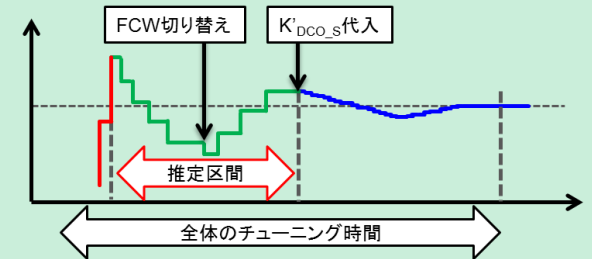
各モードのOTWの収束時間から全体の収束時間を比較する



全体の収束時間の計算式

- 提案手法

Large→Middle(×2)→Small



同様の収束時間

実装で効果を確認

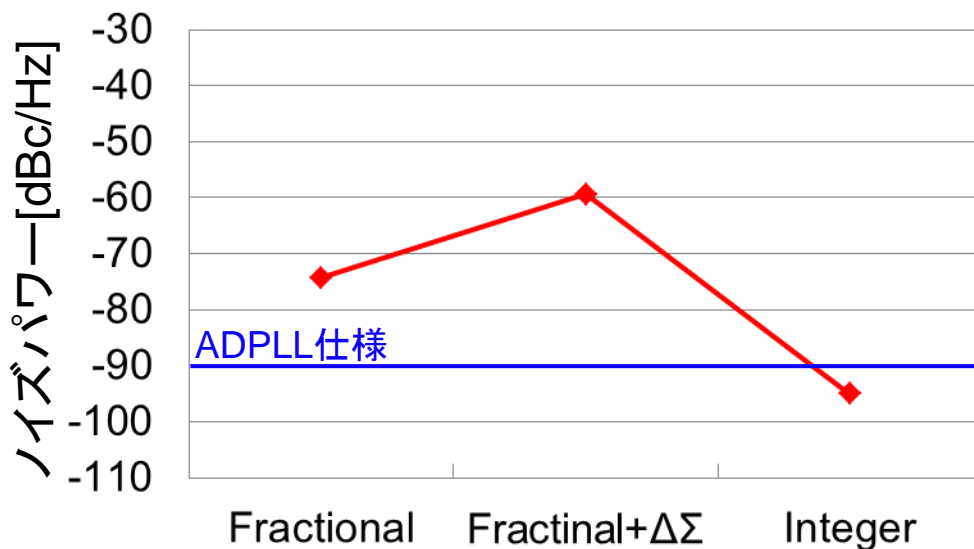
シミュレーション : $3u + 30u \times 2 + 205u \doteq 268u\text{sec}$

測定結果 : $5u + 40u \times 2 + 201u \doteq 286u\text{sec}$

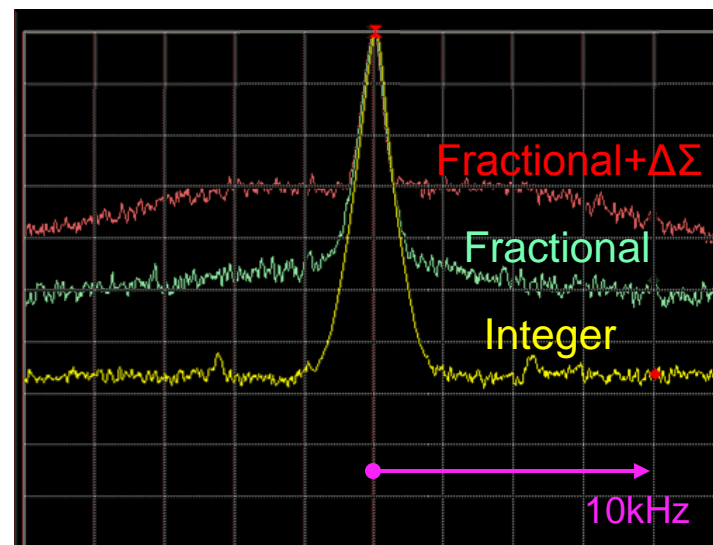
位相雑音 測定結果

測定項目	詳細
Fractional	FCW=13.685~17.375(8個の平均)
Fractional+ $\Delta\Sigma$	上記と同様のFCW+ $\Delta\Sigma$ 制御
Integer	FCW=14, 15, 16, 17(整数値4個の平均)

10kHzオフセットにおける位相雑音



スペクトルアナライザによる測定波形



* Span=25kHz, RBW=300Hz

Integer: 目標仕様を達成

Fractional: 量子化雑音が支配的

Fractional+ $\Delta\Sigma$: $\Delta\Sigma$ による雑音が支配的

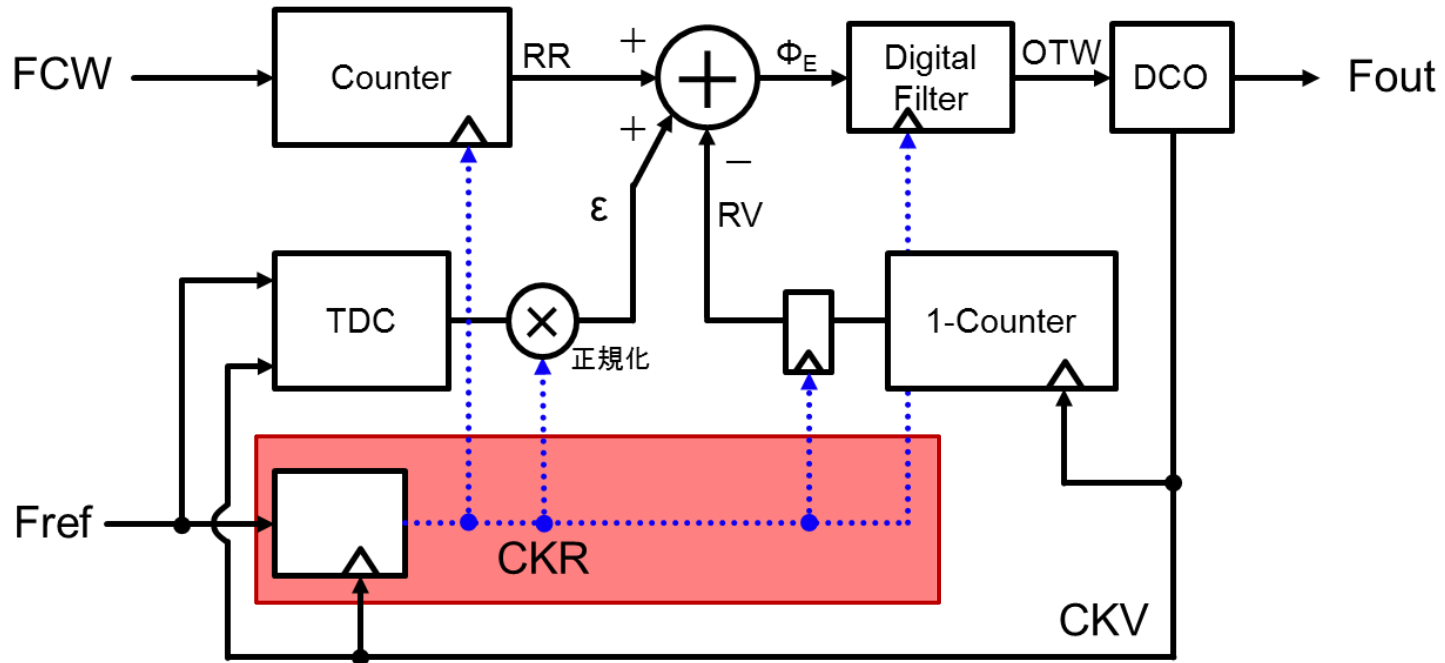
- 研究背景と目的
- 設計した完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーションによる検証
- チップ測定結果
- まとめと今後の課題

- 新しいDCOゲイン見積もり技術を提案
- シミュレーションによる検証を行い、仕様を満たすことを確認
- チップへの実装を行い動作を確認、雑音も一部仕様を達成

	シミュレーション結果	測定結果
周波数範囲 [MHz]	97~771	88~599
収束時間 [usec]	268	285
位相雑音[dBc/Hz]@10kHz	-90	-74.3 (fractional)

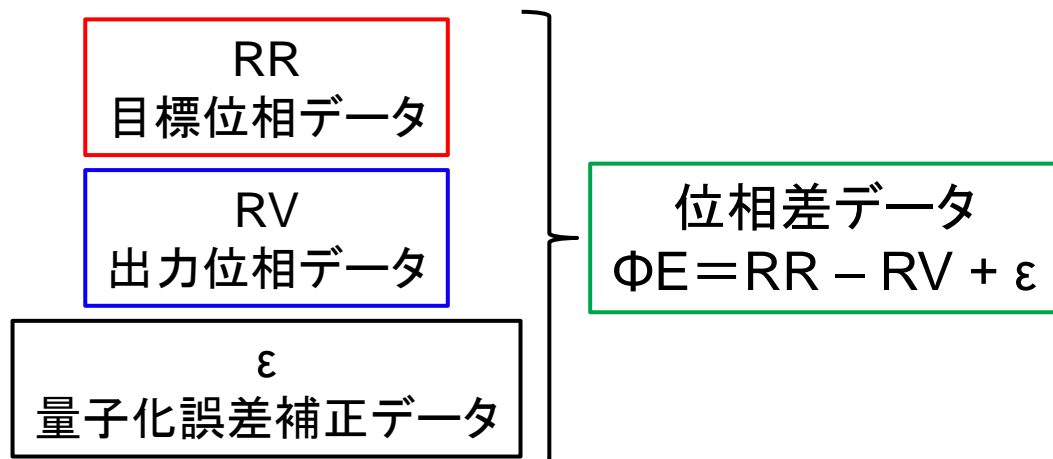
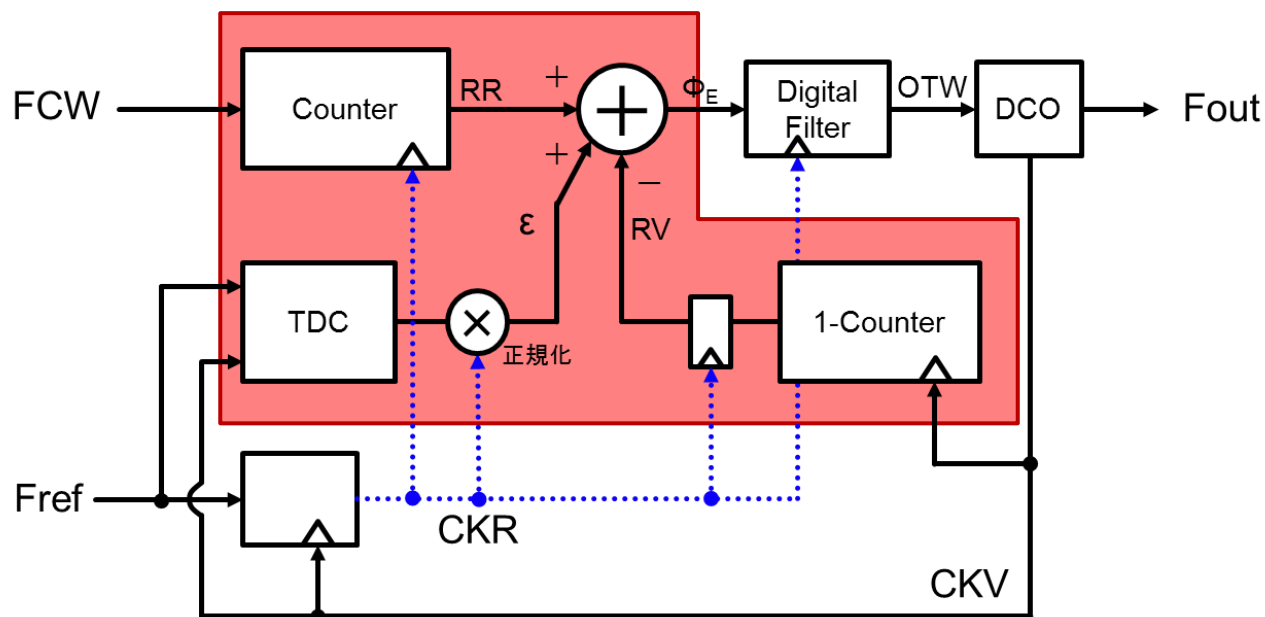
今後の課題

- 3個のDCOを用いた周波数範囲の確保
- ADPLLの1チップ化を行い、さらに性能の向上を目指す
- さらに微細なプロセスへの移行の検討



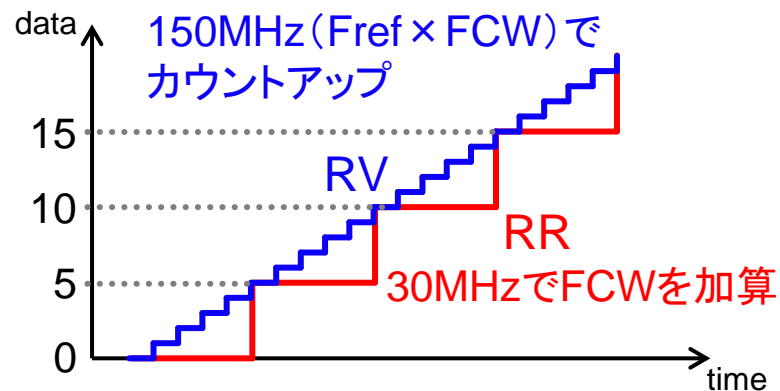
CKR:システム同期クロック

- 全ての演算及び制御はCKRのタイミングで行われる
- FrefとCKVの位相を関連付ける



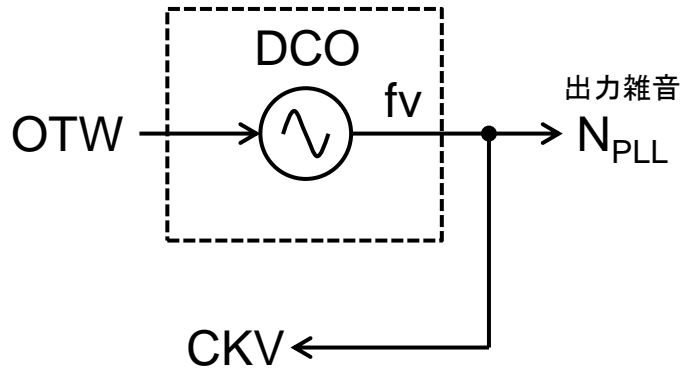
位相比較の例

(Fref=30MHz, FCW=5を仮定)

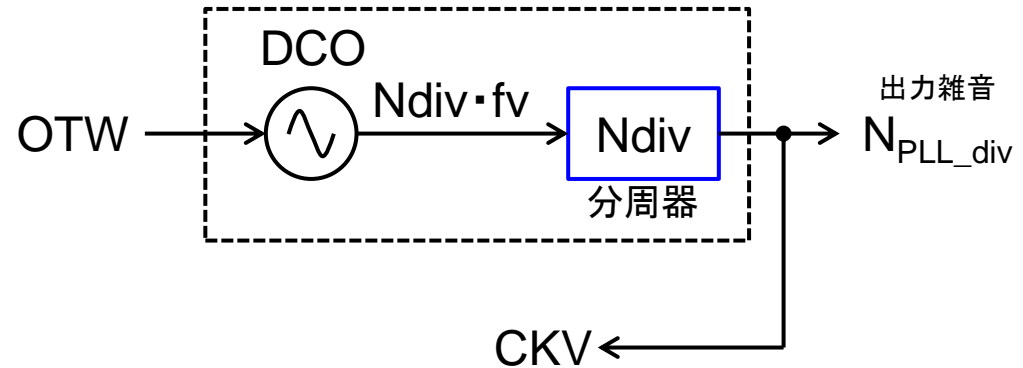


1. 低位相雑音化技術

従来構成



通倍発振構成



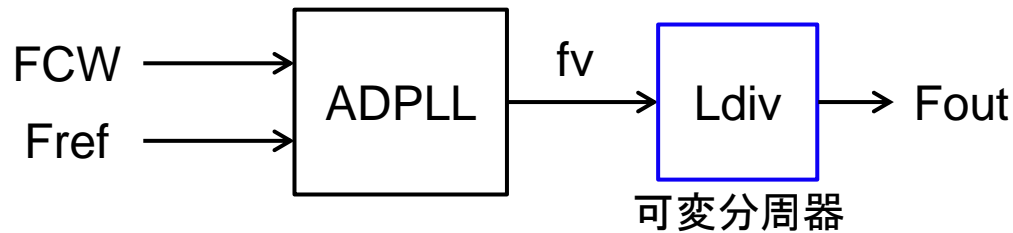
ADPLLの主要な雑音源への影響

■ DCOアナログ雑音	$N_{\text{DCOa_div}} = 1/N_{\text{div}}^2 \times N_{\text{DCOa}}$	減少
■ TDC量子化雑音	$N_{\text{TDCq_div}} = N_{\text{TDCq}}$	一定
■ DCO量子化雑音	$N_{\text{DCOq_div}} = 1 \sim N_{\text{div}}^4 \times N_{\text{DCOq}}$	増加*

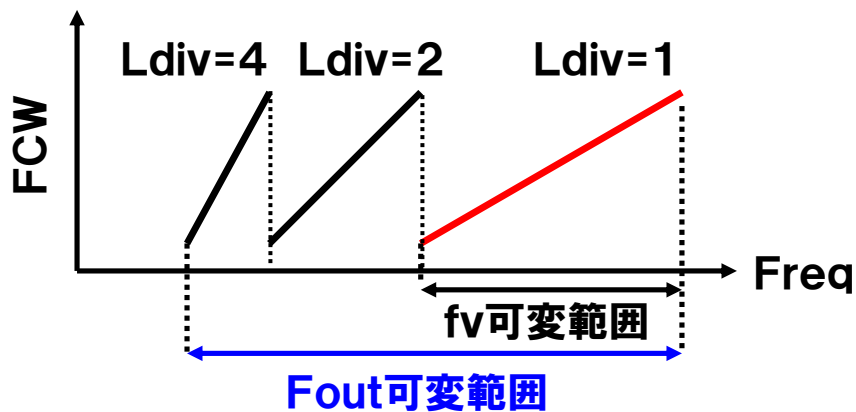
* DCOの設計法に依存

Ndivの設定、DCOの設計を適切に行うことで雑音を小さくすることができる

可変分周回路の付加



出力の特性式 $F_{out} = f_v / L_{div}$

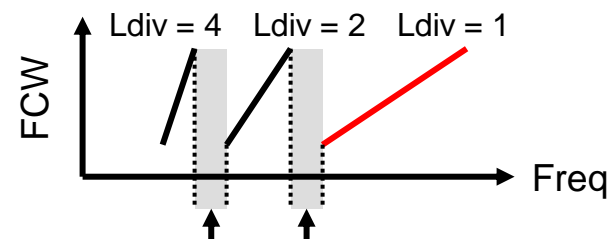


周波数の可変域を拡張

適用条件

f_v の可変率 $\geq 67\%$

f_v の可変率 $< 67\%$ の場合



カバーできない周波数領域が発生

可変率を満たすDCOが必要

2. 広帯域化技術 —複数のDCO—

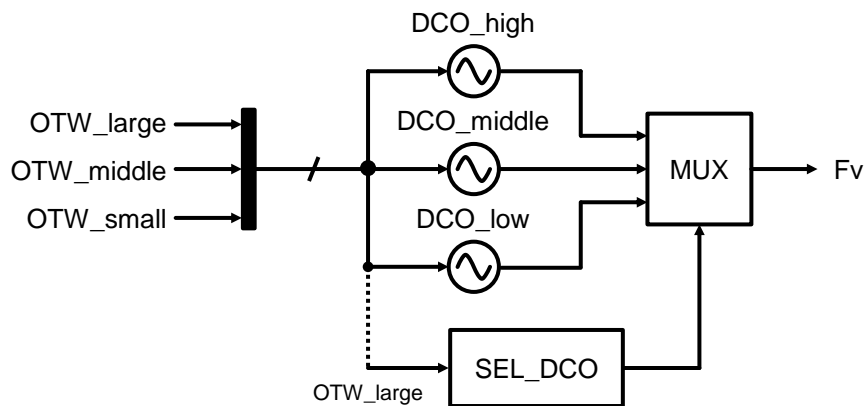
fvの可変率 $\geq 67\%$ を満たすDCOが必要



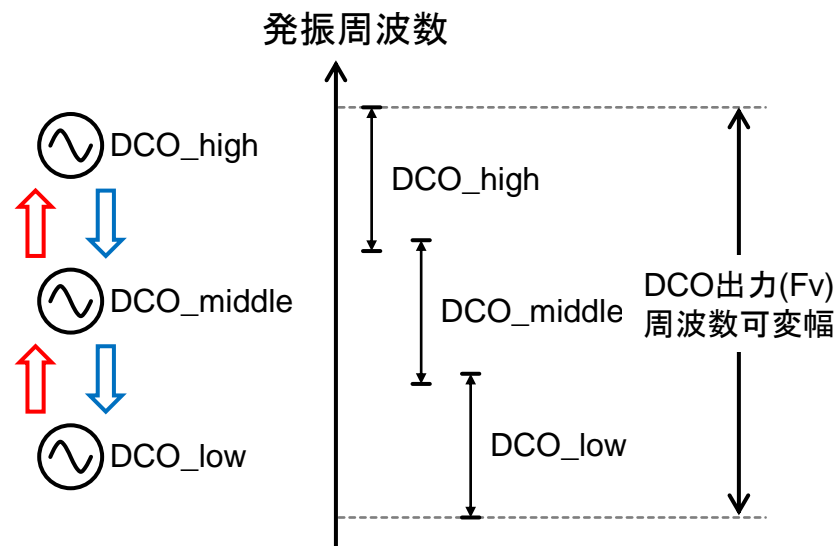
単体の可変帯域は限られる

DCO回路を複数用いて可変率を達成

切り替え構成ブロック図

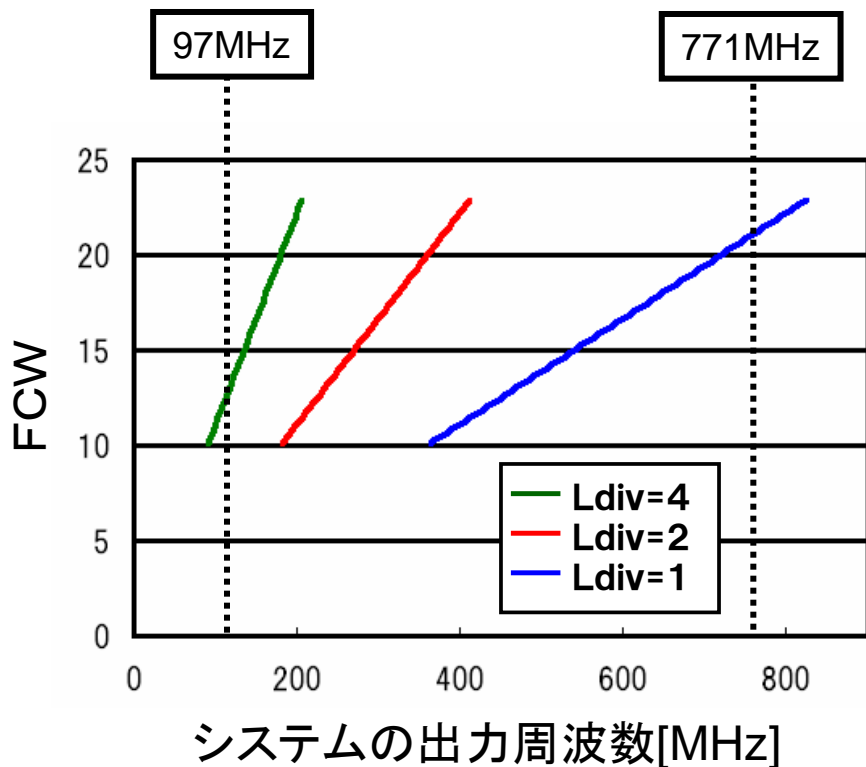


切り替え動作とカバー範囲

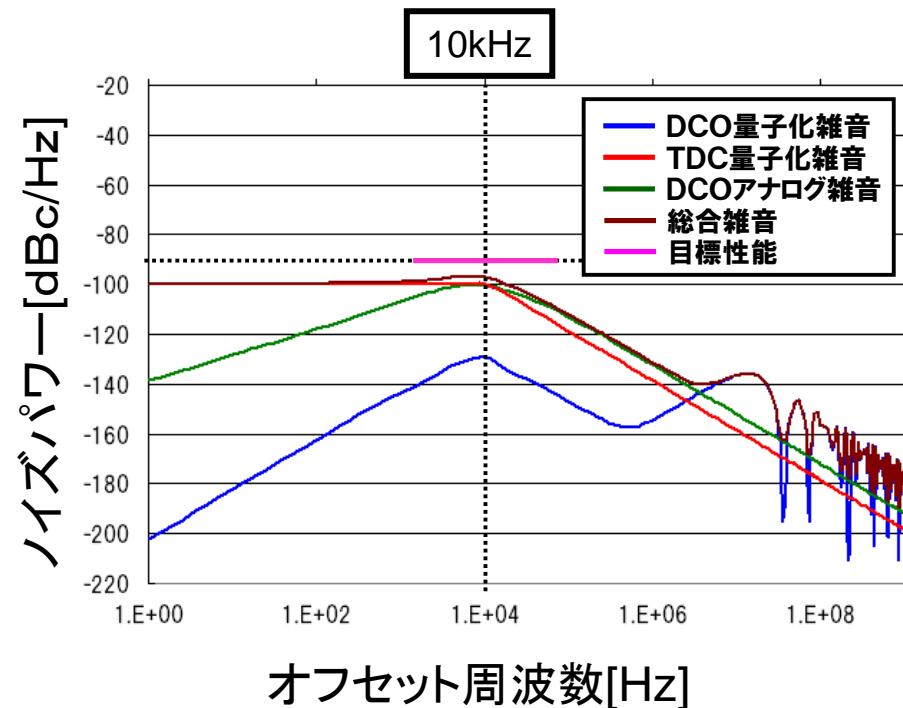


3個のDCO+可変分周回路を用いて目標仕様の帯域を確保

出力周波数可変特性



出力位相雑音特性



共に目標性能を満たすことを確認