

TV チューナ用完全デジタル PLL 回路

湯本 哲也* 村上 健 (群馬大学)

壇 徹 高橋 伸夫 内藤 智洋 北村 真一 坂田 浩司 (三洋半導体 (株))

小林 春夫 高井 伸和 新津 葵一 (群馬大学)

ADPLL System Design for TV Tuner Applications

Tetsuya Yumoto*, Ken Murakami (Gunma University)

Toru Dan, Nobuo Takahashi, Tomohiro Naito, Shinichi Kitamura, Koji Sakata

(SANYO Semiconductor Co., Ltd)

Haruo Kobayashi, Nobukazu Takai, Kiichi Niitsu (Gunma University)

キーワード：完全デジタル PLL 回路, TV チューナ, タイムデジタルライザ, 高速整定 (ADPLL, TV Tuner, Time-to-Digital Converter, Fast Settling)

1. 研究背景と概要

より快適な通信環境の実現を目的として、無線通信システムには複数のサービスを 1 つの端末で利用できるマルチバンド化技術、無線システムのワンチップ構成を可能とするモノリシック化技術など様々な高度化技術の実現が期待されている。近年の CMOS 微細化とアナログ回路の CMOS 化が進むことでこれらは実現可能となってきた。CMOS 微細化は動作周波数の向上と電源電圧の低電圧化をもたらした。これによりデジタル回路は高速動作、低消費電力化、チップ面積縮小といった恩恵を受け、微細化によるメリットが多い。一方、アナログ回路は MOS トランジスタの耐圧低下に伴う低電源電圧化や、素子ばらつきが増大により設計が一層困難になり、必ずしも微細化によるメリットは多くはない。そこでアナログ回路をデジタル回路で高性能化するデジタルリッチなアナログ回路技術が次世代無線回路技術として注目されている。

本研究では無線システムのキーコンポーネントである PLL (Phase Locked Loop: 位相同期回路) に着目した。PLL は周波数変換を行うミキサーに必要な LO 信号を生成するために用いられる。PLL は通常アナログ回路もしくは一部デジタル回路で構成されるが、CMOS の微細化による電圧制御範囲の制限や、アナログフィルタの回路面積が大きといった問題が顕在化している。そこで PLL のデジタルリッチな構成として ADPLL (All Digital Phase Locked Loop) 回路⁽¹⁾に着目した。ADPLL は狭帯域無線向け⁽²⁾が多く発表されているが、広帯域無線への適用例は少ない。そこで広帯域無線である TV チューナへの適用を目標とした。

本研究ではシステム内の不確定なパラメータ (DCO ゲイン: K_{dco}) の自己校正を、より高速で行うことで全体の整定時間を短縮できる手法を提案し、実機にて効果を確認した。

ADPLL システムの帯域は 93MHz~788MHz。目標とする位相雑音は $-90\text{dBc/Hz}@10\text{kHz offset}$ 。チップには 180-nm CMOS プロセスを使用し、低速動作するデジタル回路部には Xilinx 社製の FPGA を用いた。

2. ADPLL システム

〈2・1〉 ADPLL の構成と基本的な動作原理

ADPLL のシステム回路ブロックを図 1 に示す。従来のアナログ PLL の位相比較器 (PD)、ループフィルタ、VCO (Voltage Controlled Oscillator) といった要素回路がそれぞれ TDC、Gain Adjust、DCO に置き換わっている。式(1)は ADPLL の基本式である。周波数制御信号 FCW (Frequency Command Word) により出力周波数 F_{out} を制御することができる。

$$F_{out} = FCW * F_{ref} \dots\dots\dots (1)$$

システムのクロックは基準信号 F_{ref} とフィードバック信号 CKV によって生成された CKR を用いる。FCW を CKR のタイミングで加算して得られたデータ R_r と、 CKV をカウンタして CKR でサンプリングしたデータ R_v を演算することで位相差を荒く検出する。より細かな位相差 ϵ は TDC (Time-to-Digital Converter) で検出する。TDC は 2 信号間の詳細な時間差をデジタル的に検出することが可能である。180-nm のプロセスルールでは 80psec 程度の時間分解能を得ることが可能である。これより位相差 ϕ_E は式(2)の

ように求められる。

$$\phi_E = RR - RV + \varepsilon \dots\dots\dots (2)$$

得られた ϕ_E は Gain Adjust ブロック (図 2 参照) においてデジタルフィルタを通り、 K_{DCO} の校正を行った後、OTW (DCO 制御信号) に変換され DCO を変調する。

〈2・2〉 チューニングモードの切り替え

ループゲインは収束精度と収束時間のトレードオフを持つ。そこでループゲイン α を段階的に切り替えることで、高い精度を保ちつつ、収束時間の短縮を可能にした。

初めループゲインを大きく取り、荒くではあるが高速で目標値付近まで収束させる。次にループゲインを小さくさせていき、徐々に精度を高める。今回は 3 つのモード (Large モード、Middle モード、Small モード) を設定した。(図 3 参照) また、同時に DCO のバラクタにもモードごとの重み付けを行う。Large モードでは周波数可変範囲を全てまかなえるようにバラクタ容量を大きく取り、Middle と Small モードではその容量を小さくしていき可変範囲を狭めていく。

Small モードはチューニングの最終段であり、システムの精度に大きく影響する。より高い精度を実現するため、フラクショナル N 構成を用いる。フラクショナル N 構成により発生するスプリアス低減のために $\Delta \Sigma$ 変調を応用した。また、システム内で発生する量子化雑音の影響で OTW に細かいひげが発生することがある。この場合、ループゲインによる演算を行う前に IIR フィルタを挿入することで影響を抑えることができる。

〈2・3〉 K_{DCO}

システム内で値がわからない幾つかの定数に K_{DCO} がある。 K_{DCO} は DCO 制御信号 OTW の 1LSB 変化に対する発振周波数変化であり式(3)と表すことができ、OTW の 1LSB 変化に対する容量分解能 ΔC_{1LSB} と置くと式(4)で与えられる。発振周波数に依存するため、システムの伝達関数に影響を与えるパラメータとなることがわかる。 K_{DCO} はシステム内のパラメータから推定することが可能であり、逆数としてループゲインと共に乗算することでこの影響をキャンセルすることができる。

$$K_{DCO} = \Delta Fv / \Delta OTW \dots\dots\dots (3)$$

$$K_{DCO} = -2\pi \times \Delta C_{1LSB} \times L \times fv^3 \dots\dots\dots (4)$$

〈2・4〉 広帯域化技術

TV チューナの仕様は約 90MHz~800MHz と帯域が広いため、1 つの DCO で周波数範囲をカバーすることが困難である。そこで複数の DCO と分周器を組み合わせることでこの仕様を達成する。⁽³⁾ 図 4 に 3 つの DCO 回路及び分周器を用いた場合の構成を示す。各 DCO は Large モードの OTW データを用いて選択され、分周器は外部から制御信号を入力することで切り替えを行い、所望の周波数を得る。

〈2・5〉 位相雑音の低減化技術

ADPLL 内で発生する雑音成分は TDC 量子化雑音、DCO

量子化雑音、DCO アナログ雑音の 3 つに分けられる。低位相雑音化手法として、アナログ PLL 回路では発振器の通倍発振構成により低位相雑音化を行う技術が用いられる。これは ADPLL に対しても有効である。⁽³⁾ ADPLL の出力周波数の Ndiv 倍である fv' で DCO を発振させ、分周器で Ndiv 分周し ADPLL 出力 fv を得る。DCO 回路のアナログ雑音 $N_{DCO,a}$ は、Ndiv 分周することで $1/Ndiv^2$ 倍に低減することが可能である。

3. K_{DCO} 推定手法

〈3・1〉 従来の K_{DCO} 推定手法

システムの伝達関数への影響から、 K_{DCO} を予め見積もる必要がある。これは、DCO 回路はアナログ回路で構成されており、発振周波数の変化や PVT ばらつきの影響を受けやすいためである。DCO 制御信号に対する出力周波数 fv の変化を観測することで推定を行うが、周波数を計測することは困難である。そこで周波数の変位に対しての OTW の変化量を計測することでこれを推定する。(図 5 参照)⁽⁴⁾ FCW を微小に変化させた時の出力周波数の変位 Δfv は式(5)のようになる。式(3)に代入することで式(6)を得る。これから K_{DCO} を推定できることがわかる。

$$\Delta fv = \Delta FCW * Fref \dots\dots\dots (5)$$

$$K'_{DCO} = \frac{\Delta FCW * Fref}{OTW2 - OTW1} \dots\dots\dots (6)$$

K_{DCO} の推定を行う際は最後の Small モードで行う。まず K_{DCO} に初期値を与え、Small モードで収束を確認した後、FCW を ΔFCW だけ変化させた値を入力する。収束を確認後、式(6)より K_{DCO} を算出し、再び元の FCW で収束させる。しかし、Small モードはループゲインを小さく設定しているため、収束までに時間がかかってしまい、結果として全体の整定時間が大幅に増加するという問題がある。

〈3・2〉 提案手法

今回提案する手法は、従来は Small モードで行っていた K_{DCO} の推定を Middle モードで行うものである。Middle モードは Small モードに比べてループゲインが大きいので収束時間が短い。よって全体の収束時間を短縮することができると考えられる。従来手法と収束時間を比較したものが図 6 である。しかしモードによって最小 DCO バラクタ容量が違うため、Middle モードで推定した DCO ゲイン $K'_{DCO,m}$ は Small モードの DCO ゲイン $K'_{DCO,s}$ と一致しない。そこで Middle モードと Small モードの最小バラクタ容量の比を使って Small モードの DCO ゲイン $K'_{DCO,s}$ に変換する。(式 7 参照)

$$K'_{DCO,s} = \frac{\Delta Cs}{\Delta Cm} K'_{DCO,m} \dots\dots\dots (7)$$

〈3・3〉 シミュレーションによる検証

シミュレーションにより提案手法の有効性を検討する。

文 献

- (1) R. B. Staszewski and P. T. Balsara : "All-Digital Frequency Synthesizer a Deep-Submicron CMOS", Wiley-Interscience(2006)
- (2) B. Staszewski : "All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS", IEEE Journal of Solid-State Circuits, Vol.39, No.12, Dec 2004
- (3) 田辺朋之・壇徹・小林春夫 他 : 「TV チューナ用 ADPLL の検討」, 電子情報通信学会大会講演論文集, エレクトロニクス 2, pp.132, 2009
- (4) R. B. Staszewski : "Frequency Synthesizers in Nanometer CMOS", DCAS SEMINAR, 21 Feb 2007
- (5) 湯本哲也・壇徹・小林春夫 他 : 「TV チューナ用完全デジタル PLL 回路 - システムの観点から - 」電子回路研究会, 長崎, 2011 年 10 月

シミュレーションは MATLAB Simulink で行った。それぞれ Large モード、Middle モード、Small モードにおける OTW を出力したものを図 7 に示す。それぞれ Large = 3 usec、Middle = 30 usec、Small = 205 usec で収束していることがわかる。よって、従来の手法における全体の収束時間は約 650 usec であるが、提案手法では約 260 usec であり、従来構成の半分以下の時間でシステムをチューニングすることが可能である。よって、提案手法の有効性をシミュレーションにより確認することができた。また、IIR フィルタを挿入したことで、文献⁽⁵⁾で発生していた OTW のひげを抑制することができた。

4. 実装と測定結果

4.1) 実装手法

今回の実装方法としてはカスタムチップと FPGA を組み合わせた方法を取る。1 チップに収めたほうが雑音特性などで有利であるが、FPGA を用いることでシステムに変更を施すことが可能となり、実験の幅が広がると考えたためこの構成を取った。DCO は LC-VCO を基本としたアナログ回路であるためチップに搭載する。また FPGA の最大動作周波数は 100MHz 程度であるため高速動作する回路は組み込めない。そこでチップには高速動作するカウンタ (RV) 及び TDC を搭載した。その他の回路ブロックは全て FPGA で作成し、システムの制御を行う。図 8 に試作したチップとその測定基板を示す。チップは 0.18 μm CMOS プロセスで試作し、チップサイズは 2.5mm×2.5mm である。

4.2) 測定結果

今回の実験では主に K_{Dco} の推定による高速収束アルゴリズムの検討に着目して行った。それぞれ Large モード、Middle モード、Small モードにおける OTW を測定した波形が図 9 である。それぞれ 5 usec、40 usec、201 usec で収束していることがわかる。よって、全体の収束時間は 286 usec であることから、シミュレーションと同等の収束時間となり、提案手法の有効性を測定で確認することができた。Small モードのひげも発生していない。

5. まとめ

TV チューナ用 ADPLL を 0.18 μm CMOS プロセスのチップおよび FPGA を用いて設計・実装を行った。このシステムを実測で提案アルゴリズムの有効性を示した。

- (1) ループゲイン切り替えによる高速収束が可能であることを確認した。
- (2) 提案した K_{Dco} 推定手法を MATLAB シミュレーションで確認、実測においても確認した。同様の有効性を確認することができた。

今後は 1 チップ化を目指し、位相雑音特性の向上を行っていく必要があると考えている。また、プロセスの微細化が進むことにより、性能を向上させることができる可能性を確認でき、更に研究を進めていきたいと考えている。

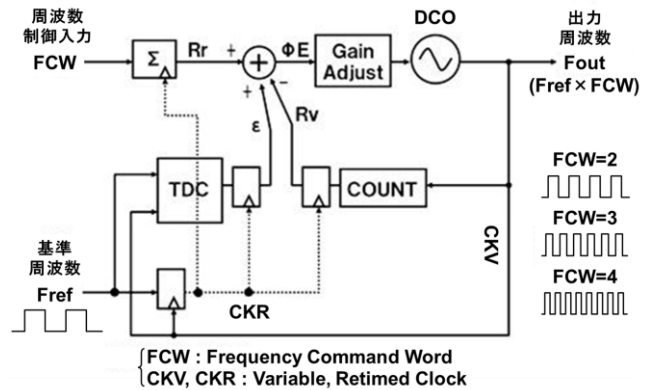


図 1 ADPLL システムブロック図
Fig. 1. ADPLL system block diagram.

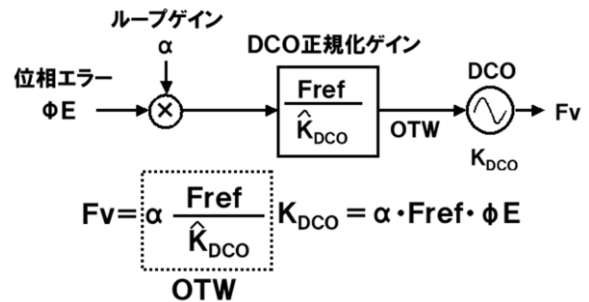


図 2 Gain Adjust ブロック図
Fig. 2. DCO gain adjustment architecture.

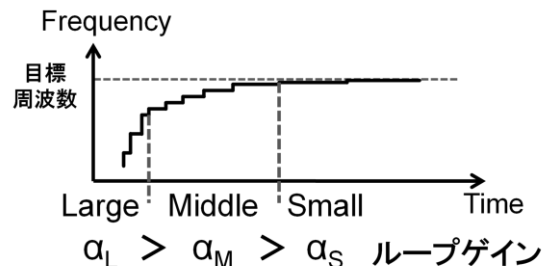


図 3 チューニングモード
Fig. 3. Tuning mode.

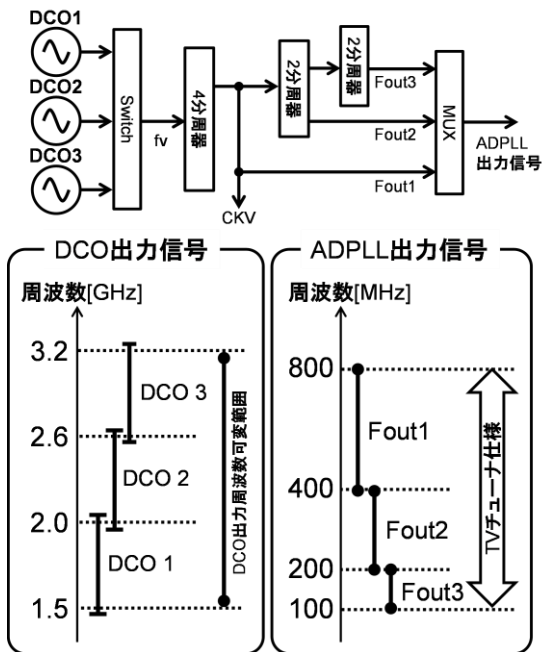


図4 広帯域化技術の構成と周波数カバー範囲

Fig. 4. Wideband technique and frequency range.

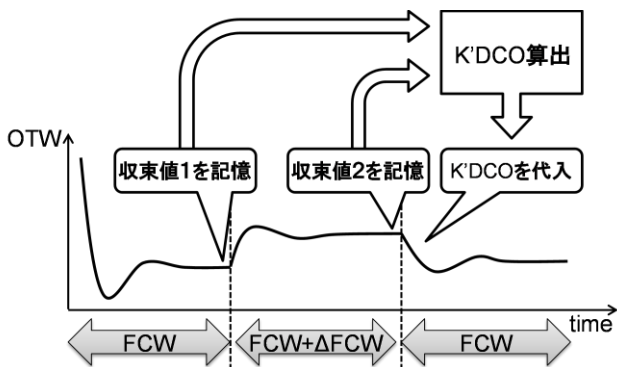


図5 K_{Dco}算出手順 (smallモード)

Fig. 5. Calibration K_{Dco}.

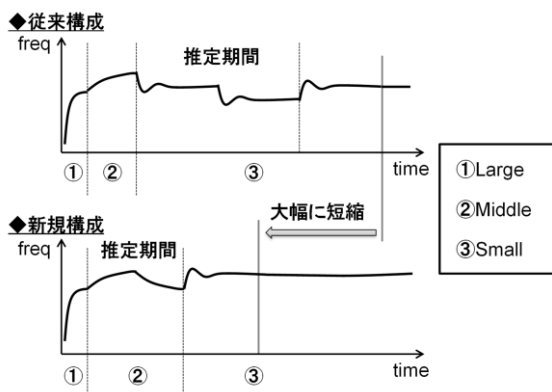


図6 全体の収束時間の比較

Fig. 6. Comparison of the whole settling time.

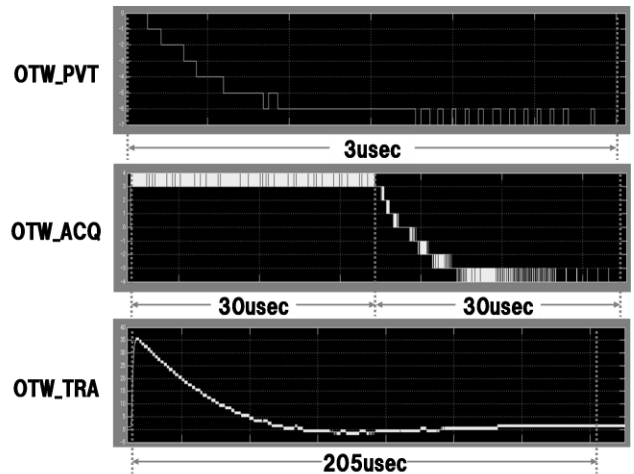


図7 各モードの収束時間

Fig.7. Settling time for each mode.

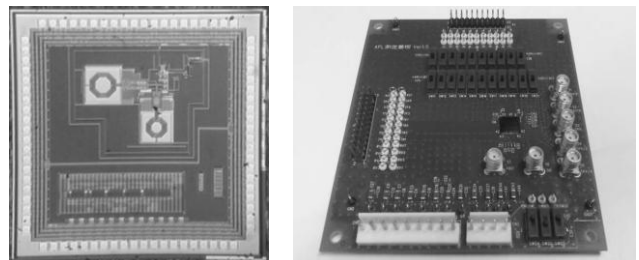


図8 試作したチップと測定基板

Fig. 8. ADPLL chip and evaluation board.

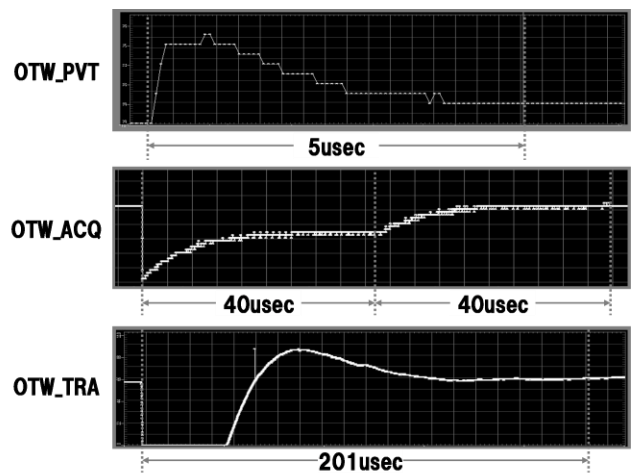


図9 各モードの収束時間

Fig. 9. Settling time for each mode.