

遅延デジタルフィルタの分散型積和演算回路を用いた FPGA 実装の検討

Implementation Consideration of Linear-Phase Delay Digital Filter Using Distributed Arithmetic on FPGA

易 茹^{*1} 立岩武徳^{*1} 浅見幸司^{*2} 小林春夫^{*1}

Ru Yi Takenori Tateiwa Koji Asami Haruo Kobayashi

^{*1}群馬大学大学院 工学研究科 電気電子工学専攻

Department of Electronic Engineering, Graduate School of Engineering, Gunma University

^{*2}株式会社アドバンテスト

Advantest Corporation

キーワード：線形位相遅延デジタルフィルタ，分散型積和演算，FPGA 実装
(Linear-Phase Delay Digital Filter, Distributed Arithmetic, FPGA)

1. はじめに

本論文では、線形位相遅延デジタルフィルタの分散型積和演算回路を用いた FPGA 実装の検討結果について報告する。

線形位相特性は、時間領域で信号波形を維持するために重要である。偶数または奇数対称の係数を持つ従来の線形位相デジタルフィルタはよく知られている。線形位相デジタルフィルタの位相遅延および群遅延は、周波数帯全体に渡り等しく、かつ一定である。n 次線形位相デジタルフィルタの場合、群遅延は n/2 であり、任意の値に設定することは不可能である。我々は、偶数対称または奇数対称でない係数を持つデジタルフィルタに対して、線形位相条件を拡張し、群遅延の時間分解能を任意の小さい値に設定することができる線形位相遅延デジタルフィルタを提案した⁽¹⁾⁽²⁾。さらに、線形位相遅延デジタルフィルタの実装に対する最適な窓関数およびタップ数に応じる標準誤差と最大誤差について検討した⁽³⁾。今回はそれらに基づいて分散型積和演算回路を用いた FPGA 実装について検討する。

2. 分散型積和演算

分散型積和演算回路 (Distributed Arithmetic) とは、定係数の積和演算を LUT (Look-Up Table) とビットシフトで効率的に実現する計算手法である⁽⁴⁾。

今項目 K の係数ベクトル $A=[A_1, A_2, \dots, A_K]$ と変数ベクトル $x=[x_1, x_2, \dots, x_K]$ との内積

$$y = Ax = \sum_{k=1}^K A_k x_k \dots\dots\dots(1)$$

を考える。ただし、変数 x は $-1 \leq x \leq 1$ で、N ビットの固定小数点形の 2 の補数表示である。ここで、 x は

$$x_k = -b_{k0} + \sum_{n=1}^{N-1} b_{kn} 2^{-n} \dots\dots\dots(2)$$

と表される。ただし b_{k0} は符号ビットである。例えば、10 進の 0.375 は 2 進の 2 の補数表示で 0.011 であり、式(2)のように書くと

$$x_k = -0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} = 0.25 + 0.125 = 0.375$$

になる。式(2)を式(1)に代入すると

$$y = \sum_{k=1}^K A_k \left[-b_{k0} + \sum_{n=1}^{N-1} b_{kn} 2^{-n} \right] \\ = -\sum_{k=1}^K (b_{k0} \cdot A_k) + \sum_{k=1}^K \sum_{n=1}^{N-1} (A_k \cdot b_{kn}) 2^{-n} \dots\dots\dots(3)$$

になる。式(3)をさらに展開し、変形すると、

$$y = -\sum_{k=1}^K A_k \cdot (b_{k0}) + \sum_{n=1}^{N-1} \left[\sum_{k=1}^K A_k \cdot b_{kn} \right] 2^{-n} \dots\dots\dots(4)$$

になる。ここで入力各ビットと係数との内積演算の結果

$\sum_{k=1}^K A_k \cdot b_{kn}$ を LUT として ROM に書き込み、変数ベクトル

x を ROM のアドレス値として入力する。計算する時、LUT の参照により得られた値を 1 ビットシフトしながら加算する。このように乗算器を用いずに積和演算が可能であ

る。

しかし、ROM のサイズ 2^k は入力ベクトルの項目 k とともに指数関数的に増大していく。以下の方法で ROM のサイズを半分に縮小できる⁽⁴⁾。ここで

$$x_k = \frac{1}{2} [x_k - (-x_k)] \dots\dots\dots (5)$$

を考える。 $-x_k$ は式(2)の 2 の補数表示を用いて、

$$-x_k = -\bar{b}_{k0} + \sum_{n=1}^{N-1} b_{kn} 2^{-n} + 2^{-(N-1)} \dots\dots\dots (6)$$

である。式(2)と式(6)を式(5)に代入すると

$$x_k = \frac{1}{2} \left[\sum_{n=0}^{N-1} c_{kn} 2^{-n} - 2^{-(N-1)} \right] \dots\dots\dots (7)$$

になる。ただし、関数 c_{kn} は

$$c_{kn} = b_{kn} - \bar{b}_{kn}, n \neq 0 \quad \text{また} \quad c_{k0} = -(b_{k0} - \bar{b}_{k0})$$

である。式(7)を式(1)に代入すると

$$y = \frac{1}{2} \sum_{k=1}^K A_k \left[\sum_{n=0}^{N-1} c_{kn} 2^{-n} - 2^{-(N-1)} \right] \\ = \sum_{n=0}^{N-1} Q(b_n) 2^{-n} + 2^{-(N-1)} Q(0) \dots\dots\dots (8)$$

になる。ただし、関数 $Q(b_n)$ は

$$Q(b_n) = \frac{1}{2} \sum_{k=1}^K A_k c_{kn} \quad \text{また} \quad Q(0) = -\frac{1}{2} \sum_{k=1}^K A_k$$

である。ここで $Q(b_n)$ は同じく 2^k 個の結果があるが、

$c_{kn} = b_{kn} - \bar{b}_{kn}$ を考慮すると、結果は逆対称的な関係であり、半分の 2^{k-1} のサイズと 1 ビットの符号ビットを使用することだけで全ての結果を表示できる。

3. 分散型積和演算回路を用いた実装

これまで述べてきた分散型積和演算を用いて、科学技術計算ソフト MATLAB および FPGA デザインツール ISE Design Suite、System Generator for DSP で検討を行う。

分散型積和演算回路の基本構造は図 1 のように示すことができる。この構成を用いて、Simulink モデルを構築する。

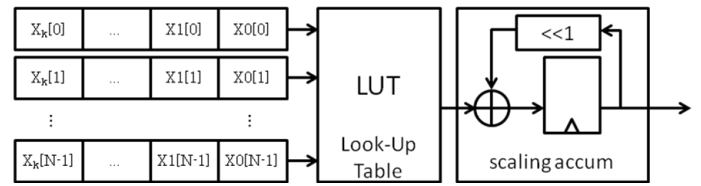


図 1 分散型積和演算回路の基本構造。

Fig. 1. Basic structure of distributed arithmetic.

図 2 に構築した Simulink モデルのシミュレーション結果を示す。遅延量はそれぞれ 0 sampling points、0.3 sampling points である。

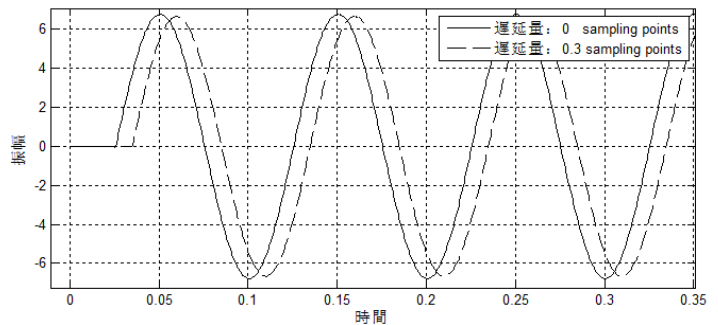


図 2 シミュレーション結果。

Fig. 2. Simulation results.

シミュレーション結果で線形位相遅延デジタルフィルタの分散型積和演算回路を用いた実装が可能であることが確認された。

4. まとめ

線形位相遅延デジタルフィルタの分散型積和演算回路を用いた FPGA 実装の検討について報告した。今後は作成したプログラムを FPGA に実装し、評価を行っていく。

文 献

- (1) K. Asami, H. Miyajima, T. Kurosawa, T. Tateiwa, H. Kobayashi, "Timing Skew Compensation Technique Using Digital Filter with Novel Linear Phase Condition," IEEE International Test Conference, Paper 11.3, Austin, TX (Nov. 2010).
- (2) K. Asami, T. Tateiwa, T. Kurosawa, H. Miyajima, H. Kobayashi, "Digitally-Assisted Compensation Technique for Timing Skew in ATE Systems", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Santa Barbara, CA (May. 2011).
- (3) 浅見幸司, 立岩武徳, 黒沢烈士, 易茹, 荒川雄太, 小林春夫:「線形位相遅延デジタルフィルタの実装の検討」, 第 13 回 DSPS 教育者会議 ポスターセッション 東京都市大学, (2011).
- (4) Stanley A. White, "Applications of Distributed Arithmetic to Digital Signal Processing: A Tutorial Review", IEEE ASSP Magazine, (July, 1989).