

# 比較器および増幅器の出力遅延時間の応用に関する研究

須釜 裕太\* 新津 葵一 小林 春夫 (群馬大学)

A Study on Application of Propagation Delay Time of a Comparator and an Amplifier

Yuta Sugama\*, Kiichi Niitsu, Haruo Kobayashi (Gunma University)

キーワード：微小誤差測定, コンパレータ, オペアンプ, デジタルアシストアナログ技術, 時間領域アナログ回路  
(Error measurement, Comparator, Op-Amp Digitally Assisted Analog Technique, Time Domain Analog Circuit)

## 1. まえがき

近年、LSI の微細化が進む一方で低電圧化（駆動電圧の低減）が困難な状況になってきている。その理由の一つとして、微細化に伴い MOS FET 間のしきい電圧のバラつきが大きくなることが挙げられる。しきい電圧は MOS FET をオン状態にするために必要な最小電圧である。そのため、しきい電圧がバラつくことで、デジタル回路では誤動作による信頼性低下、アナログ回路では信号誤差の増大による信号品質低下等の問題を招く。

また、アナログ回路の駆動電圧は MOS FET のゲート・ソース間に加え、ドレイン・ソース間にも印加する。そのため、駆動電圧を下げるほど入出力信号の振幅に寄与する電圧成分が小さくなり、さらに信号品質を低下させる。

今後、駆動電圧を下げられないと、LSI の信頼性・品質低下や消費電力増大による発熱等により、微細化技術はいずれ破綻をきたすと言われている。<sup>(1)</sup> したがって LSI の微細化を維持するためには、上記のような問題への対応策を考える必要がある。

我々は、アナログ回路における信号品質劣化に着目し、その原因となるしきい電圧バラつきを補償するためのデジタル・アシスト技術について開発している。本稿では、しきい電圧バラつき等による信号誤差を測定するための回路について提案する。

## 2. 動作原理および回路構成

文献<sup>(2)(3)</sup>において、コンパレータの出力遅延時間を利用してメタスタビリティ状態を含めた 3 値量子化を実現した ADC (Analog to Digital Converter) が提案されている。これはコンパレータの入力電位差と出力遅延時間が線形関係にある、というシミュレーション結果から、電圧領域に加え時間領域でも量子化することで実現したものである。そこでこれを 2 つの信号間の誤差測定への応用を検討した。

誤差測定の原理は次の通りである。コンパレータに電圧

誤差を入力した場合、その誤差が小さいほど出力遅延時間が延び、時間測定回路 (TDC : Time to Digital Converter)<sup>(4)</sup> で計測しやすくなる。誤差は TDC の出力 (デジタル値) で得られるため、その後デジタル・アシスト技術による誤差補償も可能である。

我々の考案する誤差 (小さな信号差) 測定回路の基本構成を図 1 に示す。本回路はコンパレータ (比較器) またはオペアンプ (増幅器) と TDC から構成する。図中にはそれに加えて、コンパレータの入力オフセット電圧を低減するためのオフセット・キャンセル回路 (Auto-zero Circuit)、TDC の測定範囲を調整するための遅延制御回路およびコンパレータの出力バッファを加えている。また、コンパレータの出力遅延時間は長いほうが測定しやすいため、本回路ではラッチを用いたクロック同期コンパレータではなく、オープンループ・コンパレータを用いた。

回路動作は次の通りである。クロック  $\Phi 1$  でオフセット・キャンセル回路にあるキャパシタに入力オフセット電圧をチャージする。クロック  $\Phi 2$  でオフセット・キャンセルされた入力電位差がオープンループ・コンパレータに入力され、出力がバッファを介して TDC に入力される。その後、わずかに遅れてクロック  $\Phi 2$  から遅延制御回路により遅延したクロック信号が TDC に入力される。これら 2 つの信号の入力時間差に応じて TDC のデジタル出力が確定する。そして TDC の出力と、遅延制御回路を制御する遅延制御コード (Delay Control Code) の値から入力電位差 (入力誤差) を測定する。

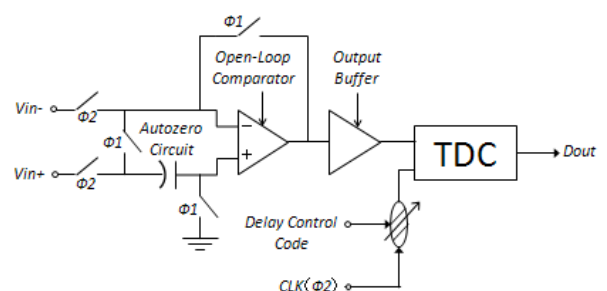


図 1. 誤差測定回路の基本構成。

Fig 1. Basic structure of error measurement circuit.

### 3. シミュレーション結果

ここでは、前述の回路のシミュレーション結果について報告する。シミュレーションは、TSMC 180nm CMOS プロセスパラメータを使用し、シミュレーションツールには Cadence 社 Spectre を使用した。

図 2 にコンパレータの入力電位差に対する出力バッファの出力遅延時間の関係を示す。最小入力電位差が 20 mV となっているのは、それ以上小さい入力電位差ではコンパレータの出力が確定しないためである。つまりこの値は測定できる入力電位差の最小値を表している。

入力電位差が 20 mV から 100 mV という広い範囲をみると、出力遅延時間との関係は非線形であることがわかる。しかし図中の①、②で示すように入力電位差の微小区間は線形になる。それを示したのが図 3 および図 4 である。

図 3 はコンパレータの入力電位差に対する TDC 出力 (TDC 内部の D-フリップ・フロップがデータを取り込んだ数であり、出力遅延時間が短いほど、つまり入力電位差が大きいほど TDC 出力は増加する) の関係を表したものである。図 2 の①の傾きに対応している。同様に図 4 は図 2 の②の傾きに対応している。

このように図 1 の回路から入力電位差に対する出力遅延時間の傾き、つまりコンパレータのスルーレートを求めることができる。求めたスルーレートと入力電位差との関係から入力電位差 (誤差) を測定する。

### 4. 実用化への課題

本提案回路を実際の誤差測定に用いるための課題を下記に示す。

- ・オフセット・キャンセル回路における MOS スイッチからの電荷注入による影響
- ・コンパレータの入力信号の雑音による影響
- ・コンパレータの出力信号のジッタによる影響

今後はこれらの影響を考慮した上で、カレントミラーの電流誤差測定・補償に本提案回路を用いる予定である。

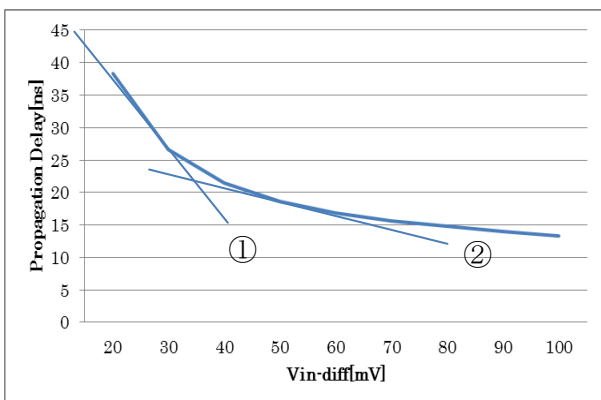


図 2. コンパレータの入力電位差に対する出力遅延時間。  
Fig 2. Relationship of propagation delay time to input potential difference.

### 5. まとめ

コンパレータまたはオペアンプの出力遅延時間からスルーレートおよび2つの入力間の微小電位差 (誤差) を測定する方法を提案し、シミュレーションでその有効性を確認した。

### 文 献

- (1) “第 1 回 : 0.5V 駆動 LSI の意義, 低電圧化は微細化の”関所”, 日経マイクロデバイス, 2009 年 3 月号, pp.22-25.
- (2) Akira Shikata, Ryota Sekimoto, Tadahiro Kuroda, and Hiroki Ishikuro: “A 0.5V 1.1MS/sec 6.3fJ/conversion-step SAR-ADC with Tri-Level Comparator in 40nm CMOS”, IEEE Symposium on VLSI Circuits Digest of Technical Papers, pp.262-263 (June 2011) .
- (3) Jon Guerber, Manideep Gande, Hariprasath Venkatram, Allen Waters, and Un-Ku Moon : “A 10b Ternary SAR ADC with Decision Time Quantization Based Redundancy”, IEEE Asian Solid-State Circuits Conference, pp.65-68 (Nov. 2011) .
- (4) “第 2 回 : アナログ技術の新潮流, 時間分解能型回路と TDC (前編)”, 日経エレクトロニクス, 2009 年 4 月 6 日号, pp.88-91.
- (5) Phillip E. Allen and Douglas R. Holberg : CMOS Analog Circuit Design Second Edition , OXFORD UNIVERSITY PRESS , pp.439-474.

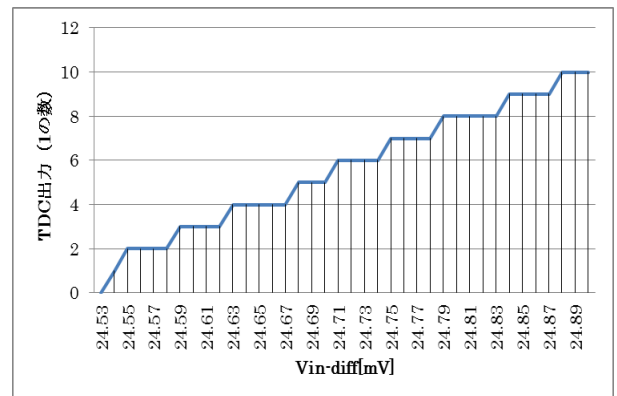


図 3. 入力電位差に対する TDC 出力 (①の傾きを表す)。  
Fig 3. Relationship of TDC output to input potential difference(a slope of ①).

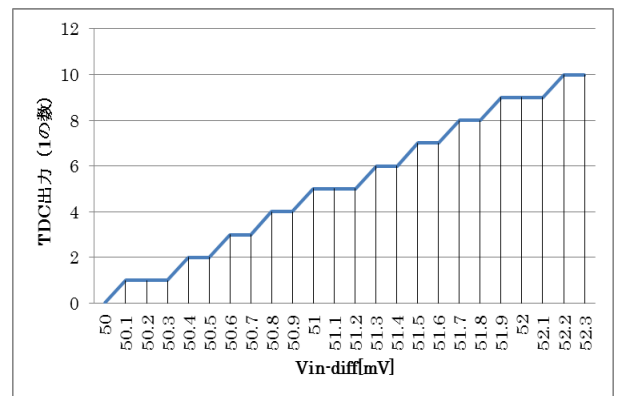


図 4. 入力電位差に対する TDC 出力 (②の傾きを表す)。  
Fig 4. Relationship of TDC output to input potential difference(a slope of ②).