

ETT-11-7

遅延デジタルフィルタの分散型積和演算回路を用いたFPGA実装の検討

易 茹* 立岩武徳(群馬大学)

浅見幸司(株式会社アドバンテスト)

小林春夫(群馬大学)

発表内容

- 研究の背景・目的
- 分散型積和演算回路
- 実装の検討
- まとめ・今後の課題

発表内容

- 研究の背景・目的
- 分散型積和演算回路
- 実装の検討
- まとめ・今後の課題

研究の背景・目的

LSIテスタ・電子計測器では
タイミングスキューの影響が問題



デジタル誤差補正が必要



デジタルフィルタを適用



線形位相を保つ

従来の線形位相フィルタ
群遅延：一定 ($T_s/2$)

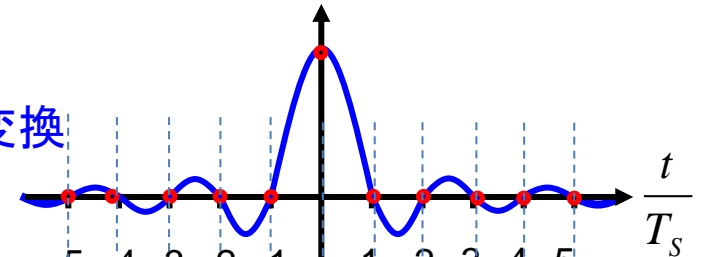
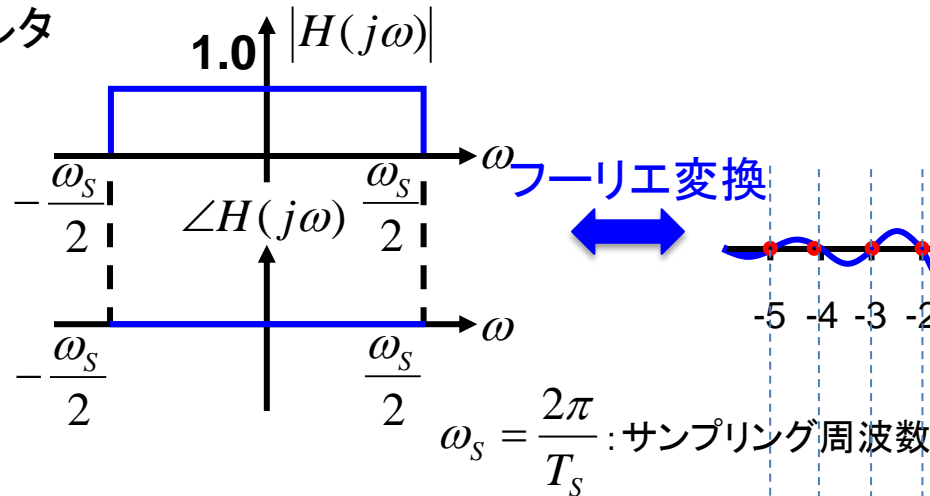
遅延デジタルフィルタ
群遅延：任意 (Δt)

研究の背景・目的

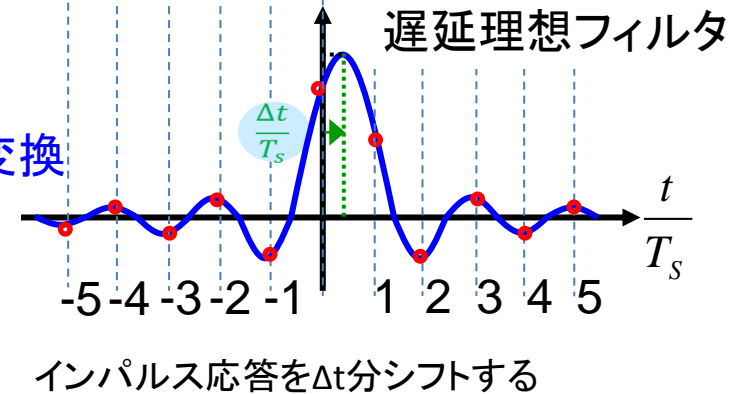
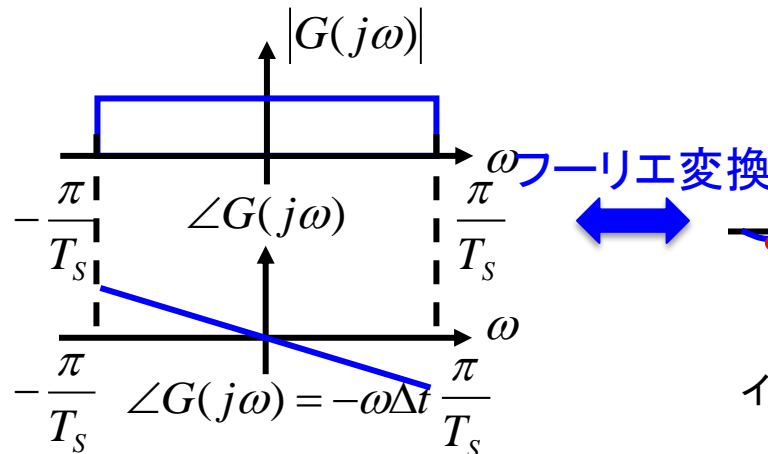
周波数応答

インパルス応答

従来の線形位相フィルタ



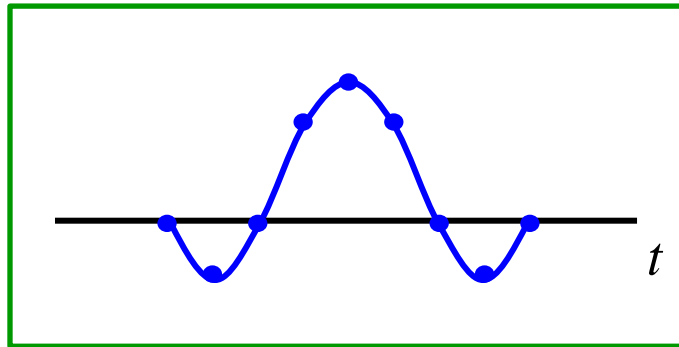
遅延デジタルフィルタ



振幅特性は変化しない、位相特性は Δt 分傾く

研究の背景・目的

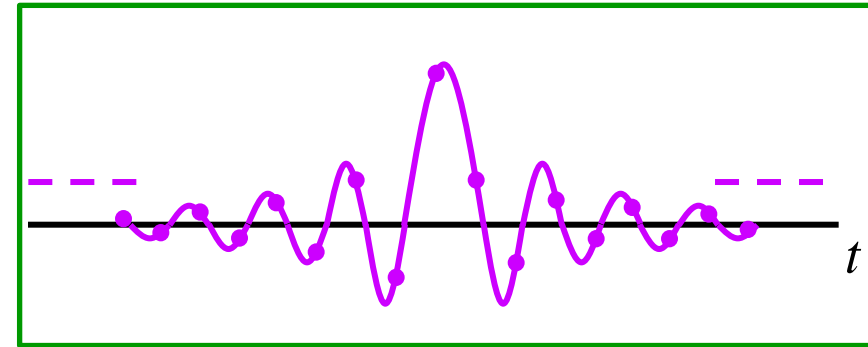
遅延デジタルフィルタの設計方法



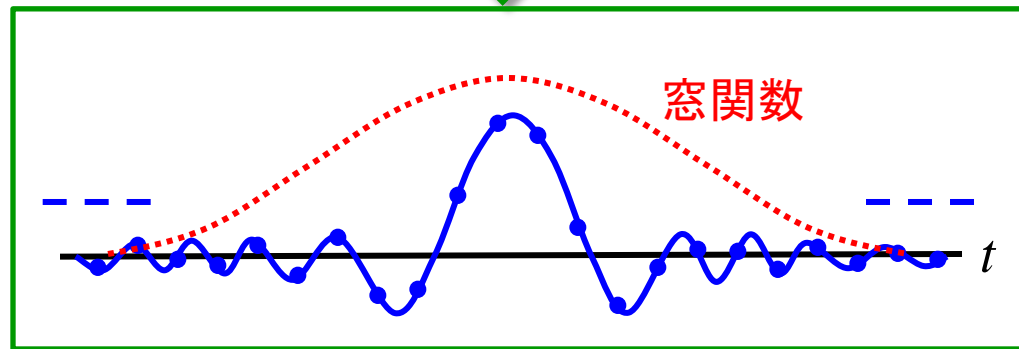
(a) FIRフィルタ

畳み込み積分

*



(b) 遅延理想フィルタ



(c) 遅延デジタルフィルタ

発表内容

- 研究の背景・目的
- **分散型積和演算回路**
- 実装の検討
- まとめ・今後の課題

分散型積和演算回路

- 分散型積和演算回路 (Distributed Arithmetic)
定係数の積和演算をLUT (Look-Up Table) とビットシフト
と加算器で効率的に実現する

乗算器を使用しない



小規模回路・低消費電力

分散型積和演算回路の式

$$y = -\sum_{k=1}^K A_k \cdot (b_{k0}) + \sum_{n=1}^{N-1} \left[\sum_{k=1}^K A_k \cdot b_{kn} \right] 2^{-n}$$

項目Kの係数ベクトル $A=[A_1, A_2, \dots, A_K]$

項目KのNビット変数ベクトル $x=[x_1, x_2, \dots, x_K]$

xを固定小数点形の2の補数表示で $x_k = -b_{k0} + \sum_{n=1}^{N-1} b_{kn} 2^{-n}$ と表される。ただし b_{k0} は符号ビットである。

例:

$$0.375_{(10)} \longleftrightarrow 0.0011_{(2)}$$

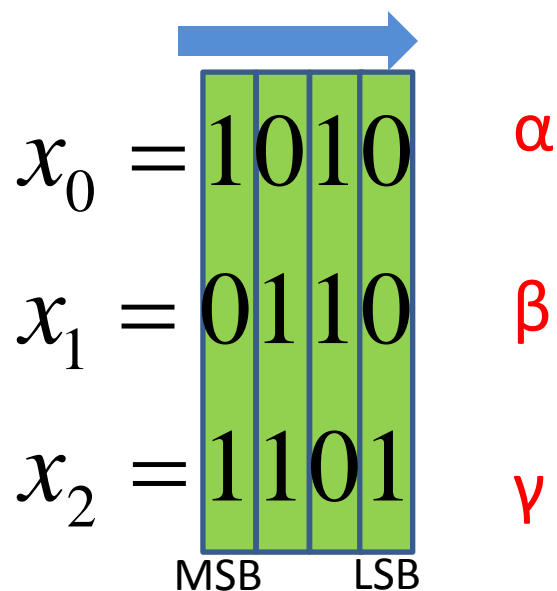
$$x_k = -0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} = 0.25 + 0.125 = 0.375$$

分散型積和演算回路 動作原理

$$y = h_0 x_k + h_1 x_{k-1} + h_0 x_{k-2}$$

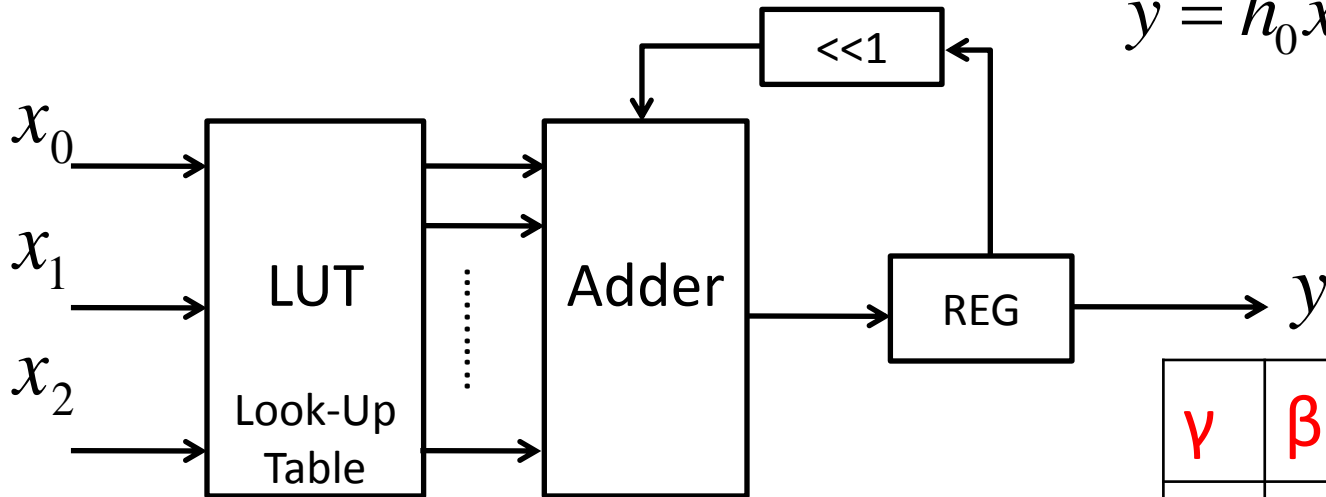
Look-Up Table

γ	β	α	y
0	0	0	0
0	0	1	h_0
0	1	0	h_1
0	1	1	h_0+h_1
1	0	0	h_0
1	0	1	$2 \times h_0$
1	1	0	h_0+h_1
1	1	1	$2 \times h_0+h_1$



分散型積和演算回路 動作原理

$$y = h_0 x_k + h_1 x_{k-1} + h_0 x_{k-2}$$



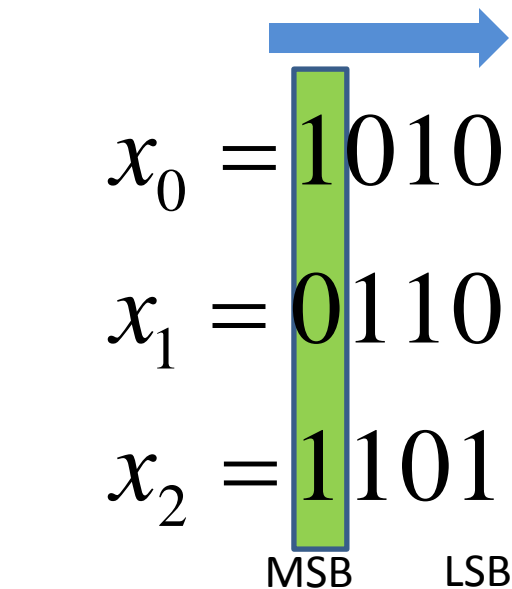
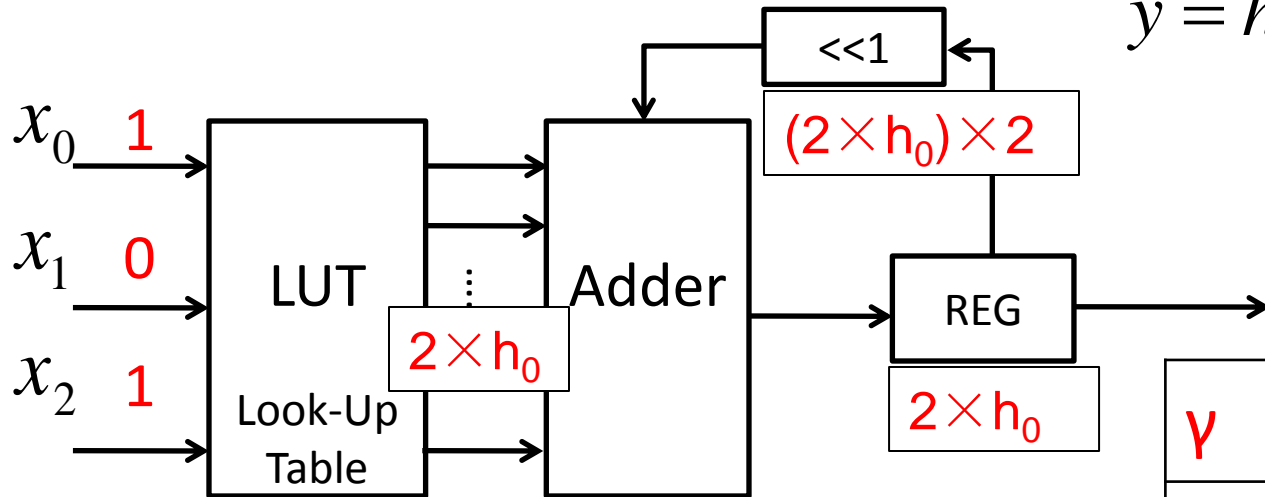
$x_0 = 1010$
 $x_1 = 0110$
 $x_2 = 1101$

MSB LSB

γ	β	α	y
0	0	0	0
0	0	1	h_0
0	1	0	h_1
0	1	1	h_0+h_1
1	0	0	h_0
1	0	1	$2 \times h_0$
1	1	0	h_0+h_1
1	1	1	$2 \times h_0+h_1$

分散型積和演算回路 動作原理

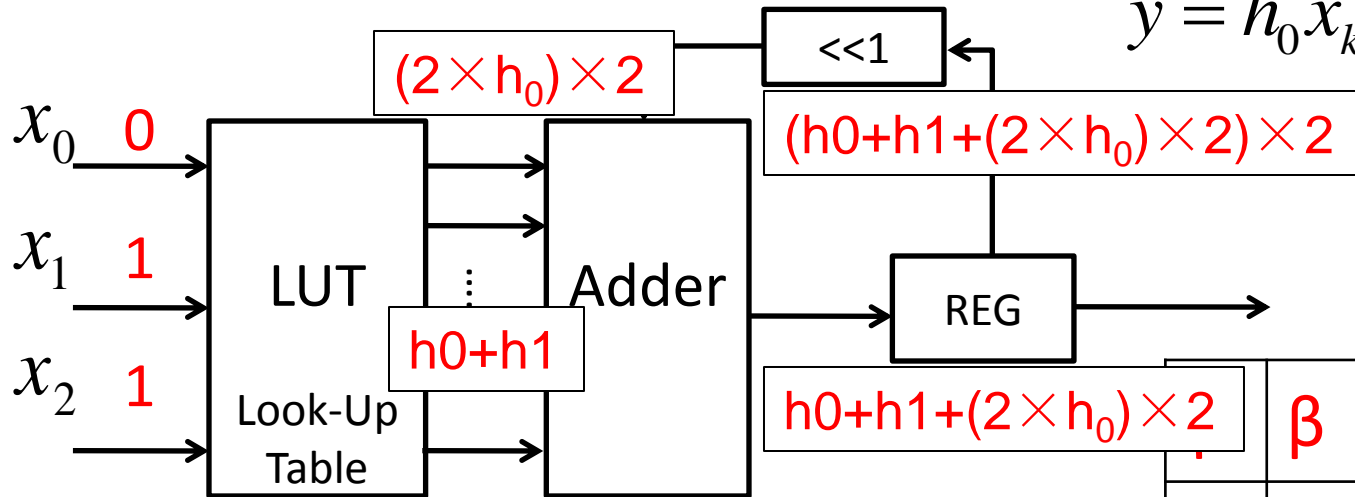
$$y = h_0 x_k + h_1 x_{k-1} + h_0 x_{k-2}$$



γ	β	α	y
0	0	0	0
0	0	1	h_0
0	1	0	h_1
0	1	1	$h_0 + h_1$
1	0	0	h_0
1	0	1	$2 \times h_0$
1	1	0	$h_0 + h_1$
1	1	1	$2 \times h_0 + h_1$

分散型積和演算回路 動作原理

$$y = h_0 x_k + h_1 x_{k-1} + h_0 x_{k-2}$$



$$x_0 = 1010$$

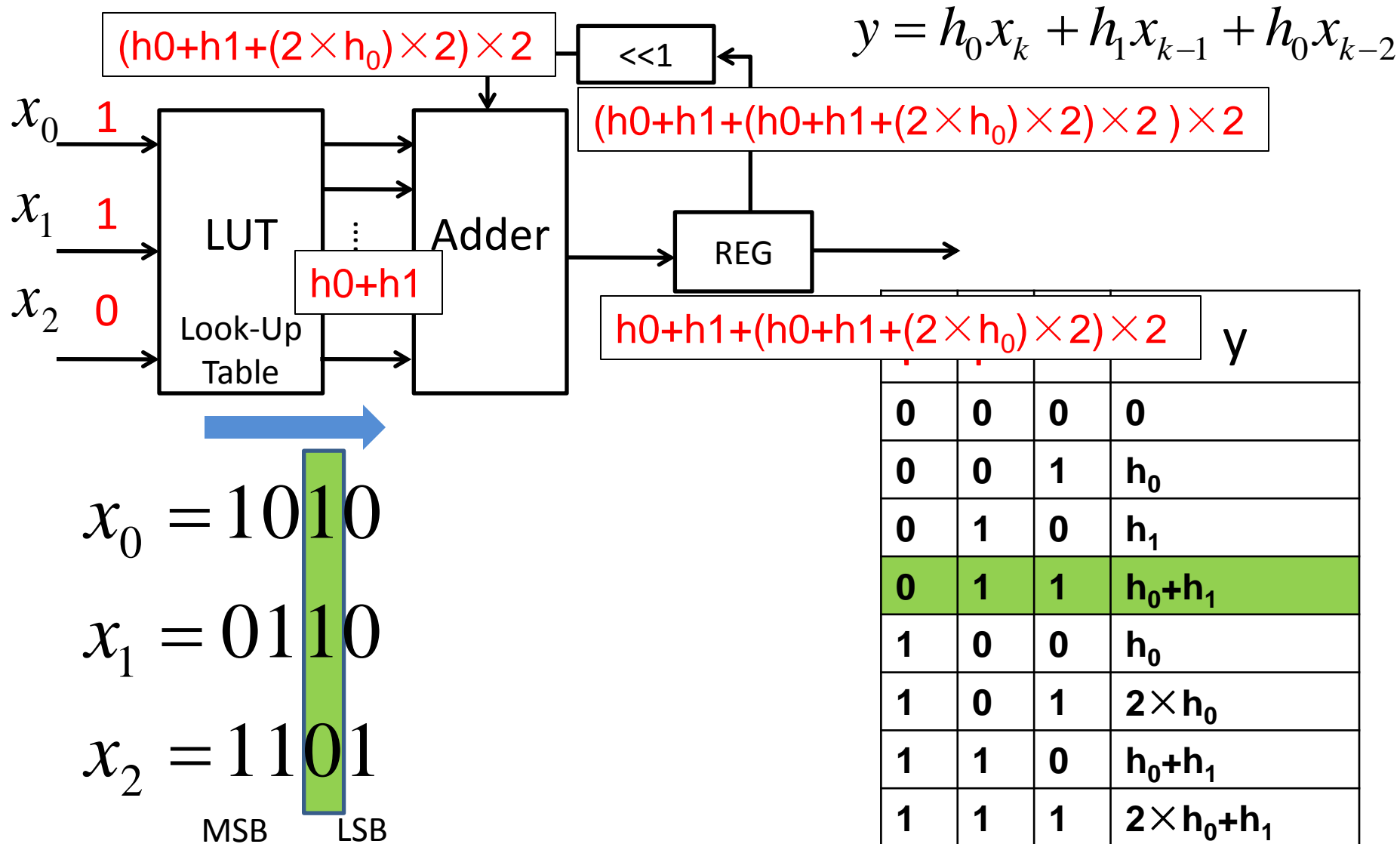
$$x_1 = 0110$$

$$x_2 = 1101$$

MSB LSB

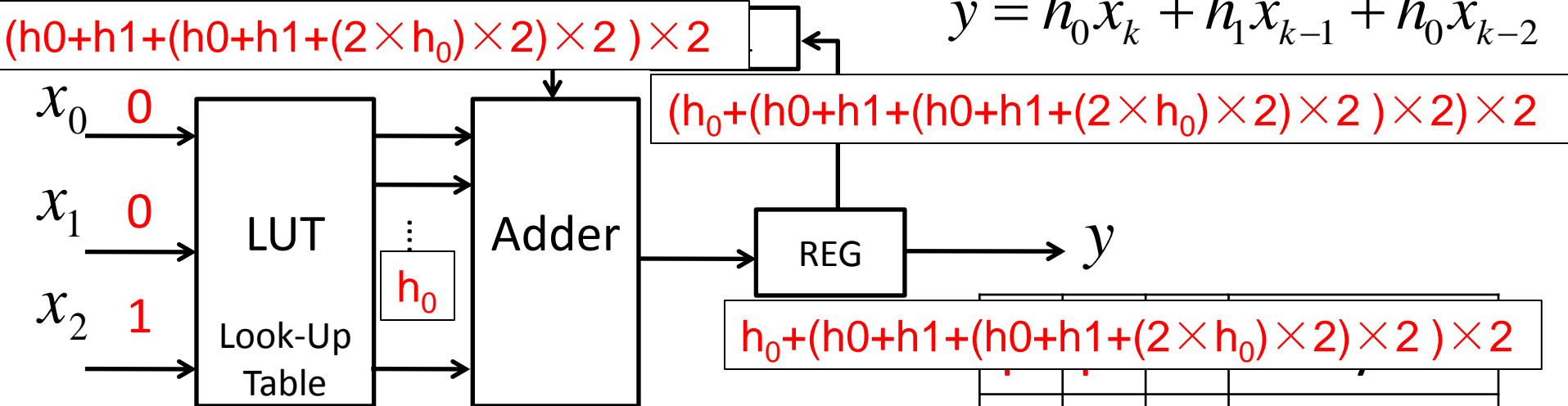
	β	α	y
0	0	0	0
0	0	1	h_0
0	1	0	h_1
0	1	1	h_0+h_1
1	0	0	h_0
1	0	1	$2 \times h_0$
1	1	0	h_0+h_1
1	1	1	$2 \times h_0+h_1$

分散型積和演算回路 動作原理



分散型積和演算回路 動作原理

$$y = h_0 x_k + h_1 x_{k-1} + h_0 x_{k-2}$$



x_0 0
 x_1 0
 x_2 1

$x_0 = 1010$

$x_1 = 0110$

$x_2 = 1101$

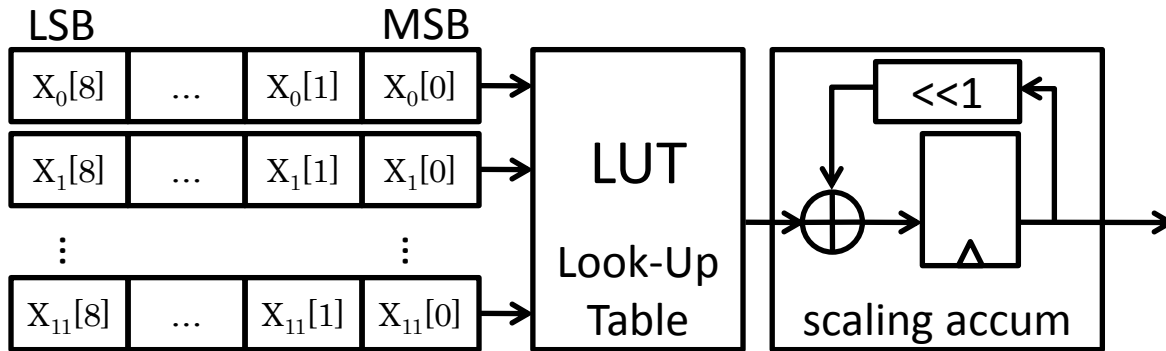
MSB LSB

0	0	0	0
0	0	1	h_0
0	1	0	h_1
0	1	1	$h_0 + h_1$
1	0	0	h_0
1	0	1	$2 \times h_0$
1	1	0	$h_0 + h_1$
1	1	1	$2 \times h_0 + h_1$

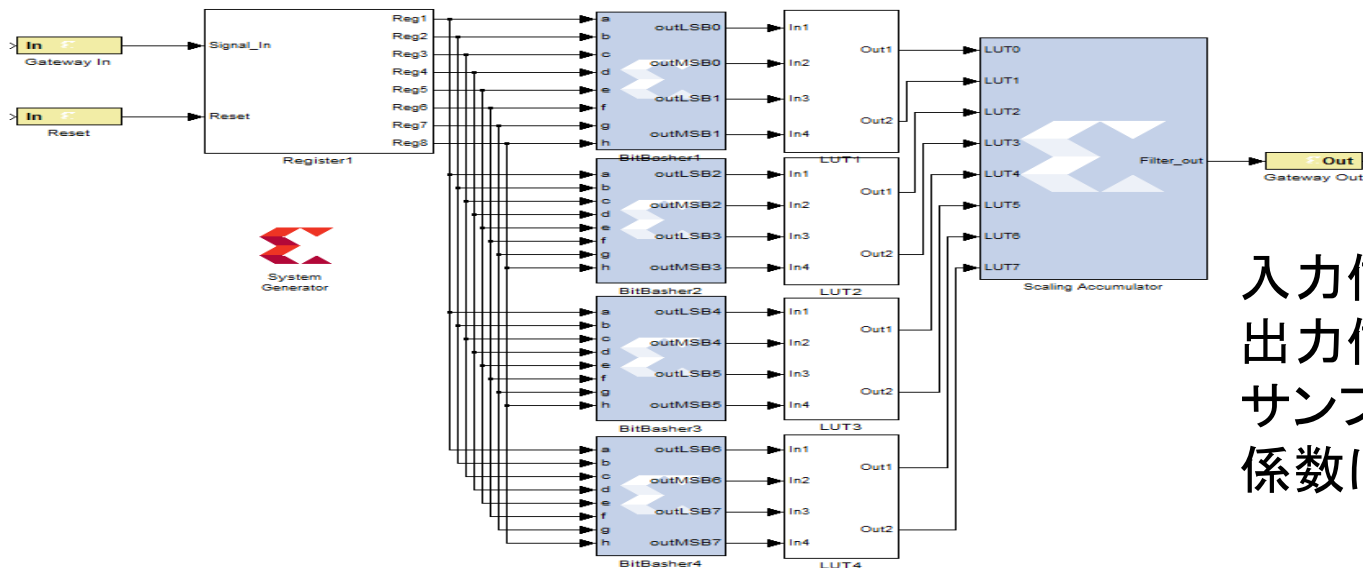
発表内容

- 研究の背景・目的
- 分散型積和演算回路
- **実装の検討**
- まとめ・今後の課題

実装のためのSimlinkモデルの検討



MATLABおよびSystem GeneratorでSimlinkモデルを作成



入力信号: 8ビット
 出力信号: 30ビット
 サンプリング周波数: 1kHz
 係数は18ビットに量子化

LUTの検討

LUTの内容: $\sum_{k=1}^K A_k \cdot b_{kn}$ の全ての結果

LUTのサイズ: 2^k ワード

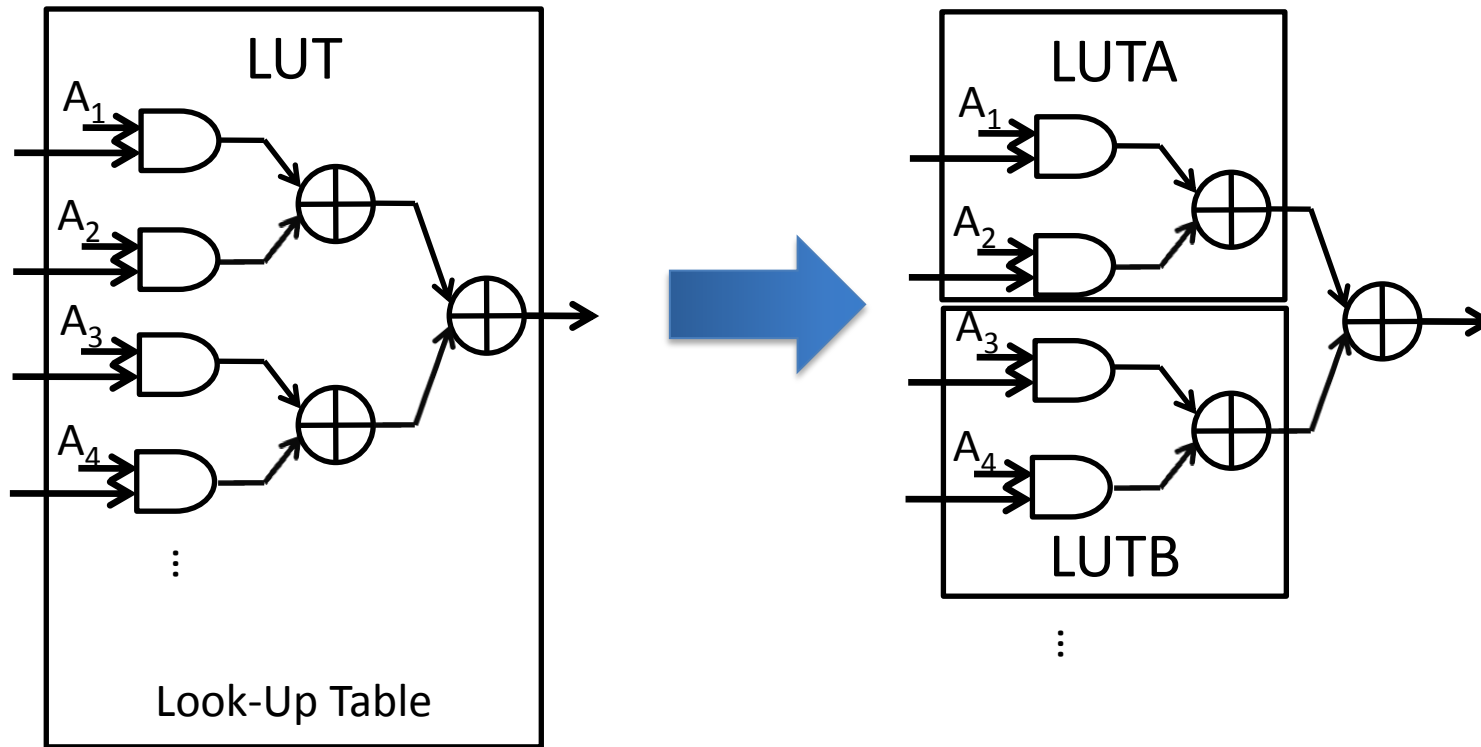


指数関数的に**増大**



LUTのサイズを**縮小**する必要がある

LUTの本質と分割法



LUTのサイズ $S(k) = 2^k$

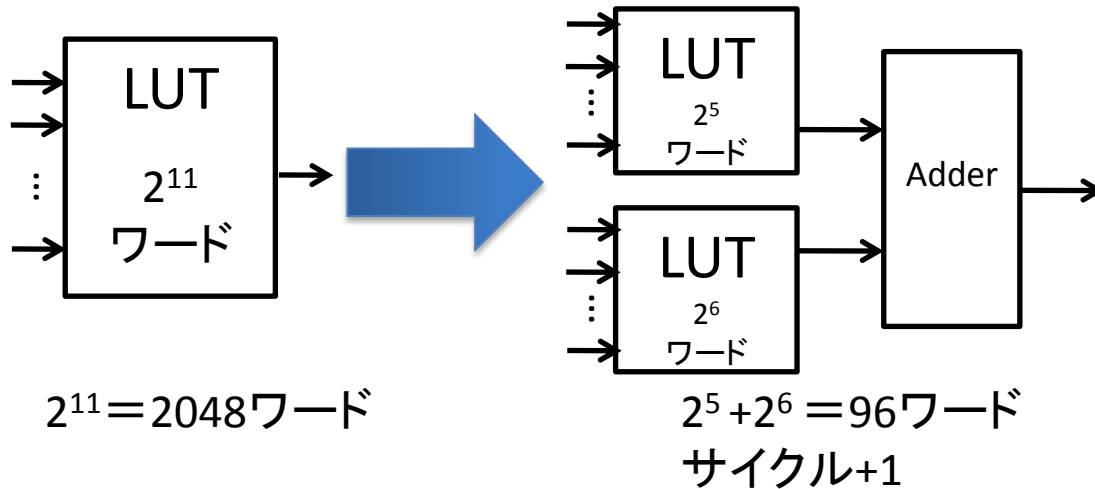
2分割の場合

$$S(k) = \begin{cases} 2^{\frac{k}{2}} + 2^{\frac{k}{2}} = 2^{\frac{k}{2}+1} & (k \text{ は偶数の場合}) \\ 2^{\frac{k-1}{2}} + 2^{\frac{k+1}{2}} = 3 \times 2^{\frac{k-1}{2}} & (k \text{ は奇数の場合}) \end{cases}$$

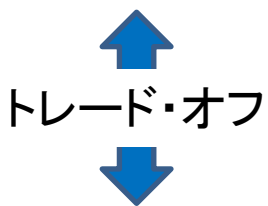
※LUT内容は付録を参照

LUTを最適な分割

LUTの分割例



ROMサイズ



演算スピード

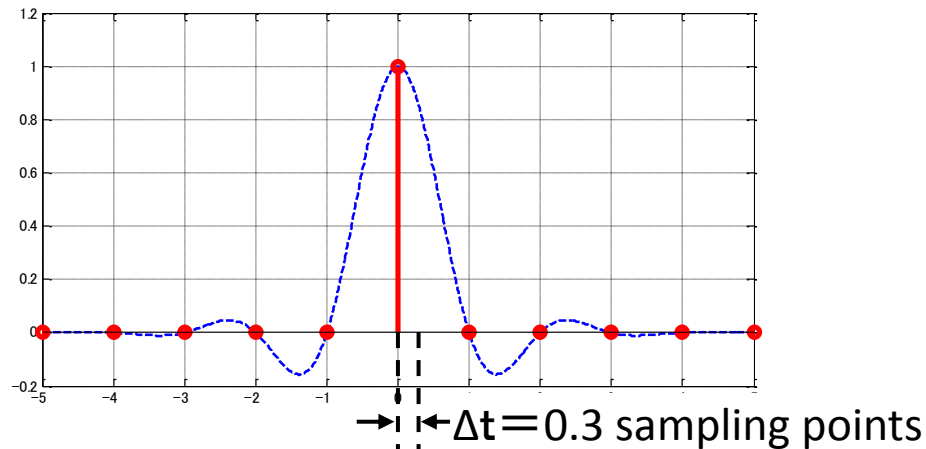
	2つに分割	3つに分割
ROMサイズ	95%削減	98%削減
サイクル	12.5%増加	25%増加

11タップの場合ではトレード・オフを考慮して2分割が最適

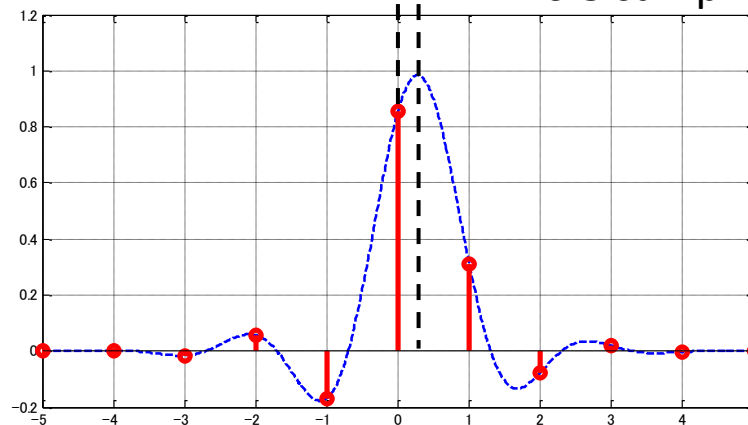
Simlinkモデルに使用したフィルタ係数

11タップでブラックマン窓を
掛けた場合のインパルス応答

遅延量
なし



遅延量
0.3 sampling points

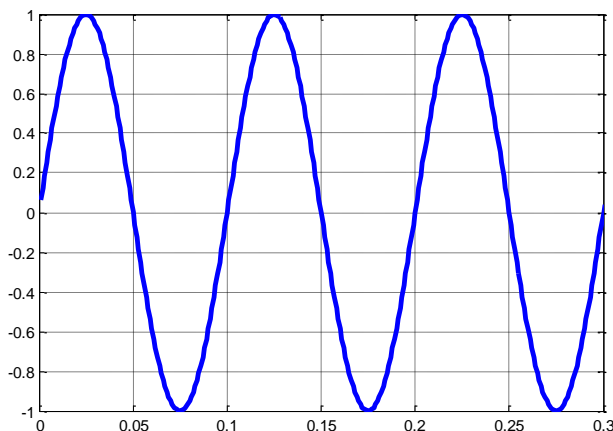


参考文献

(3)浅見幸司, 立岩武徳, 黒沢烈士, 易茹, 荒川雄太, 小林春夫:「線形位相遅延デジタルフィルタの実装の検討」, 第13回DSPS教育者会議 ポスターセッション 東京都市大学,(2011).

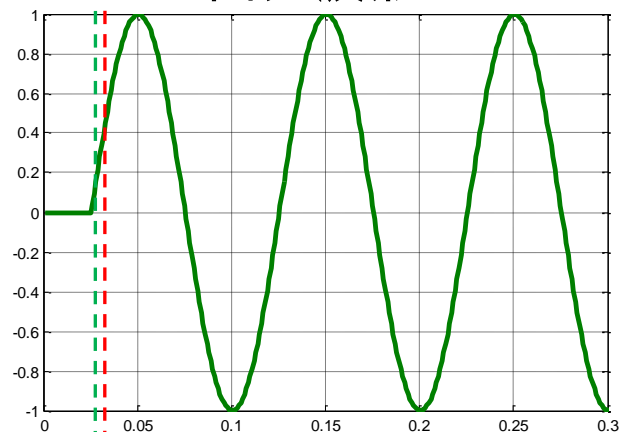
正弦波を入力した場合のSimlinkモデルの有効性確認

入力波形

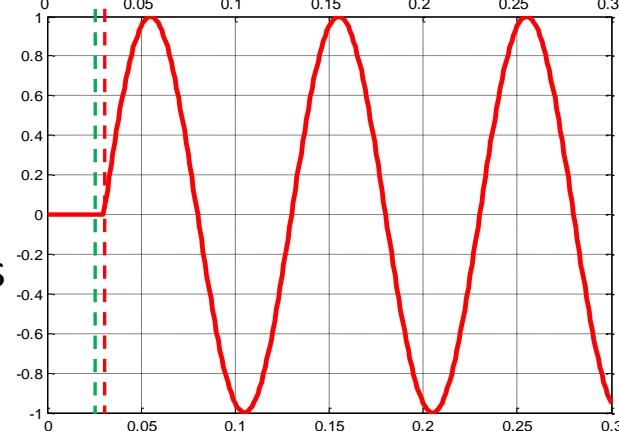


遅延量
なし

出力波形



遅延量
0.3 sampling points



$\Delta t = 0.3$ sampling points

Simlinkモデルの有効性を確認

発表内容

- 研究の背景・目的
- 分散型積和演算回路
- 実装の検討
- **まとめ・今後の課題**

まとめ・今後の課題

まとめ

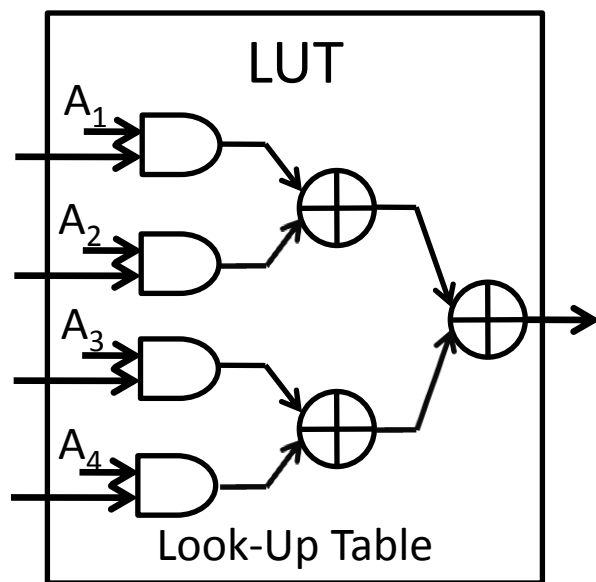
- 分散型積和演算回路を用いた遅延デジタルフィルタのMATLABモデルを作成した
- 係数を入れてモデルの有効性を確認した

今後の課題

- 作成したプログラムをFPGAに実装する
- 評価を行う

付録

k=4のときのLUTの内容

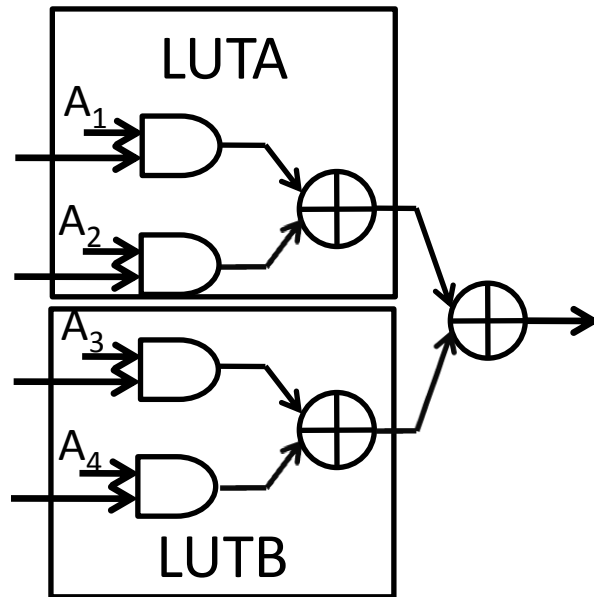


LUT

b_{1n}	b_{2n}	b_{3n}	b_{4n}	$\sum_{k=1}^4 A_k \cdot b_{kn}$
0	0	0	0	0
0	0	0	1	A_4
0	0	1	0	A_3
0	0	1	1	$A_3 + A_4$
0	1	0	0	A_2
0	1	0	1	$A_2 + A_4$
0	1	1	0	$A_2 + A_3$
0	1	1	1	$A_2 + A_3 + A_4$
1	0	0	0	A_1
1	0	0	1	$A_1 + A_4$
1	0	1	0	$A_1 + A_3$
1	0	1	1	$A_1 + A_3 + A_4$
1	1	0	0	$A_1 + A_2$
1	1	0	1	$A_1 + A_2 + A_4$
1	1	1	0	$A_1 + A_2 + A_3$
1	1	1	1	$A_1 + A_2 + A_3 + A_4$

付録

2分割したLUTの内容



LUTA

b_{1n}	b_{2n}	$\sum_{k=1}^4 A_k \cdot b_{kn}$
0	0	0
0	1	A_1
1	0	A_2
1	1	$A_1 + A_2$

LUTB

b_{3n}	b_{4n}	$\sum_{k=1}^4 A_k \cdot b_{kn}$
0	0	0
0	1	A_3
1	0	A_4
1	1	$A_3 + A_4$