

デルタシグマ型タイムデジタイザ・アーキテクチャ

上森 聡史* 石井 正道 小林 春夫 土井 佑太 松浦 達治 (群馬大学)
小林 修 (STARC) 新津 葵一 (群馬大学)

Delta-Sigma Time-to-Digital Converter Architecture

Satoshi Uemori*, Masamichi Ishii, Haruo Kobayashi, Yuta Doi, Tatsuji Matsuura (Gunma University)
Osamu Kobayashi (STARC) Kiichi Niitsu (Gunma University)

キーワード: タイムデジタイザ, 時間計測, デルタシグマ変調, マルチビット, 自己校正, 高速 IO 回路テスト
(Time-to-Digital Converter, Time Measurement, Delta-Delta Modulation, Multi-bit, Self-Calibration,
High-Speed IO Interface Circuit Testing)

1. はじめに

近年 DDR メモリインターフェース等での高速 IO 回路が重要となっており、それに伴いその低コスト・高品質テスト技術が必要になってきている⁽¹⁾。

この論文では 2 つの繰り返しクロック間の時間差を高時間分解能・高精度かつ簡単な回路で計測するための、デルタシグマ型タイムデジタイザ回路の原理と構成⁽²⁾ ⁽³⁾をシステムレベルで記述する。特にテスト時間短縮のためのマルチビット型の構成を提案する。マルチビットの場合、内部の遅延セルの mismatch 影響により精度 (線形性) が劣化する。この問題を解決するための 2 つの補正手法を提案する。提案構成は DDR メモリでのデータ・クロック間の時間差を高速にデジタル出力として計測すること等に用いることができる。MATLAB シミュレーションによりこれらの動作確認を行い、効果を検証した。

2. $\Delta\Sigma$ TDC の構成

〈2・1〉 $\Delta\Sigma$ TDC の構成・動作

検討したデルタシグマ型 ($\Delta\Sigma$) TDC の全体構成を図 1 に示す。遅延素子, マルチプレクサ, 位相比較器, 積分器, 比較器から構成する。クロック信号 CLK1, と CLK2 を入力し、立ち上がり時間差 T を測定する。

入力された CLK1, CLK2 はそれぞれ比較器出力 D_{out} に応じて経路が制御される。その結果得られる信号をそれぞれ CLK1a, CLK2a とする。位相比較器によりこれらの信号の時間差 CLK_{in} を出す。この時間差 CLK_{in} を電圧に変換し、電圧モードで積分し INT_{out} を出力させる。この出力 INT_{out} を比較器によりゼロと比較し最終的な出力 D_{out} を求める。CLK1 が速い場合には時間差を求めたときに正となるため積分後の比較器出力は 1 となり、次のクロックでは CLK1

は遅延の経路, CLK2 はそのまま信号を通す経路がそれぞれ選択される。CLK2 が速い場合には時間差を求めたときに負となるため積分後の比較器出力は 0 となり、選択される経路は逆となる。入力の時間差に比例して 1 が出力されるため、比較器から出力された 1 の数からクロック間の立ち上がり時間差 T を計測することができる。

図 2 に比較器出力 D_{out} が 0, 1 それぞれの場合のタイミングチャートを示す。

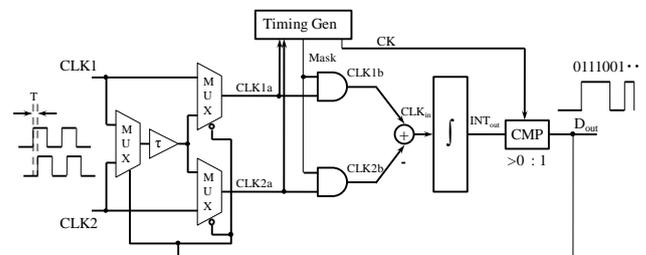


図 1 $\Delta\Sigma$ TDC の構成

Fig. 1. Architecture of Delta-Sigma TDC.

〈2・2〉 マルチビット $\Delta\Sigma$ TDC の構成・動作

図 3 に提案マルチビット $\Delta\Sigma$ TDC の構成を示す。マルチビットの場合には遅延セルとマルチプレクサを増やし、N ビットの $\Delta\Sigma$ TDC とするためには (2^N-1) 個必要となる。また、比較器 1 個の代わりにエンコーダ回路を除いた Flash ADC ((2^N-1) 個のコンパレータ) を用い温度計コードとして (2^N-1) 個のデジタル出力をする。

動作はシングルビットの場合と同様 CLK1, CLK2 を入力し出力結果 D_{out} によって信号の経路を制御する。時間差 CLK_{in} を求めて電圧モードで積分し、結果の INT_{out} を Flash ADC により変換する。出力 D_{out} は温度計コードで得られ、これにより次のクロックでそれぞれの信号が通される経路

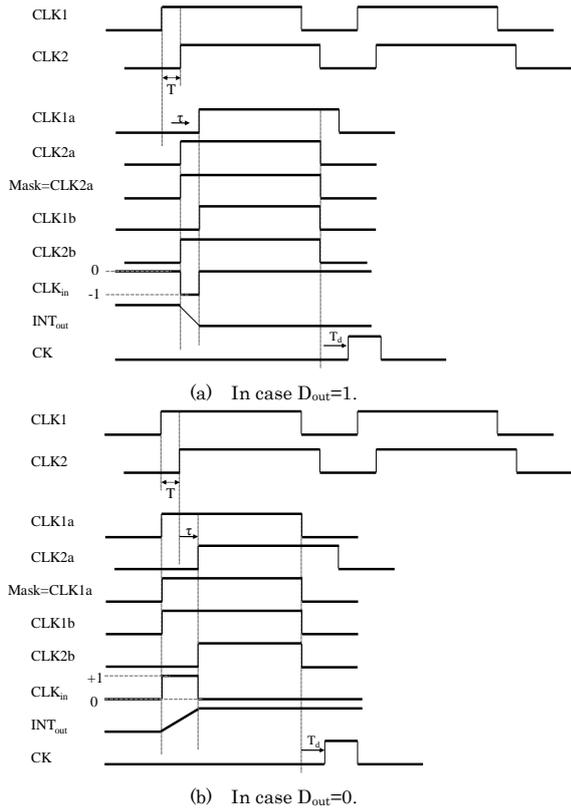


図2 ΔΣ TDCのタイミングチャート
Fig. 2. Timing diagram of Delta-Sigma TDC.

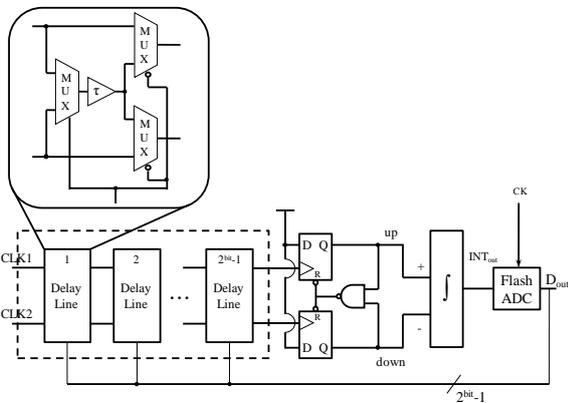


図3 マルチビットΔΣ TDCの構成
Fig. 3. Architecture of multi-bit Delta-Sigma TDC.

が選択される。そのためシングルビットの場合とは異なり、各信号の遅延時間はFlash ADCの出力結果により変化する。マルチビットの場合も入力の時間差に比例して1が出力されるため、Flash ADCから出力された1の数からクロック間の立ち上がり時間差Tを計測することができる。

図3において点線枠で囲む部分はマルチビットDTC(Digital-to-Time Converter)であり通常のΔΣ ADCでのマルチビットDACに対応する。マルチビットDTC内の遅延セルにミスマッチがあるとDTCの非線形性やΔΣ TDC全体の非線形性を引き起こしてしまい測定の誤差要因

となる。そのため補正を行い、線形性を改善させる必要がある。補正方法はDWA: Data Weighted Averaging アルゴリズム(4)を用いる方法と、遅延値を自己測定しその結果から補正を行う自己校正手法の2種類を提案する。

3. DWAによる補正

〈3.1〉 DWAの構成・動作

DWAのブロック図と動作を図4に示す。シフト回路と制御入力から構成される。

このDWA回路を用いていない場合、前回の入力に関わらず入力された S_1 から S_N は t_1 から t_N と等しくなるため常に同じ位置で信号が入力される。したがって入力が温度計コードのようなもの場合には0もしくは1ばかりが入力される箇所が存在してしまう。しかしDWA回路を用いた場合、前回のクロックで1がどこまで入力されたか(前回の入力であるdとそれまでのシフト量)を記憶し、次の入力時にはポインタを用いて前の入力で1が出た次の位置へと出力開始位置をずらす動作を行う。図4を例に、最初の入力ではシフトせずに S_1 から開始、次の入力では前の入力dの1だけシフトして S_2 から開始、次の入力では前の入力dが3・それまでのシフト量が1であるため計4シフトして S_5 から開始という動作を行う。 S_1 から S_N ではある程度均等に0と1が出力される。

提案構成ではマルチビットDTC(Digital-to-Time Converter)部分にDWAを適用する。Flash ADCから出力された温度計コードを用いてマルチビットΔΣ TDC内のマルチプレクサを制御した場合、同じ遅延素子ばかりが使用されることになる。このとき遅延セルにミスマッチが無ければ問題はないが、実際にはミスマッチがあるためその影響が非線形性として現れる。DWA回路では同じ遅延セルばかりを使うことなく全ての遅延セルを使用するためミスマッチの影響を軽減させることが可能である。すなわち遅延セルの選択を均等化し、遅延ミスマッチの影響を高周波側に押しやる(ノイズシェーブする)ことができる(図5)。計測するのはクロック間の時間差、つまりDC成分であるため計測結果は理想状態へと近づく。

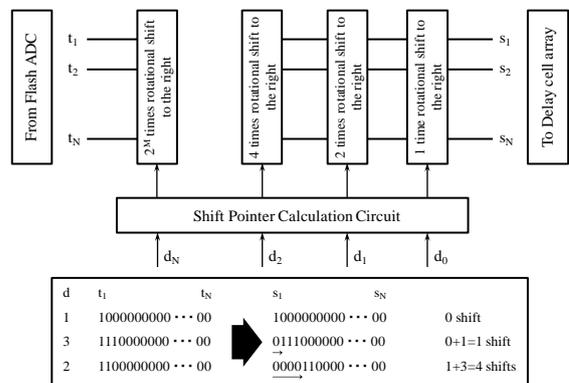


図4 DWA回路の動作
Fig. 4. Operation of DWA logic.

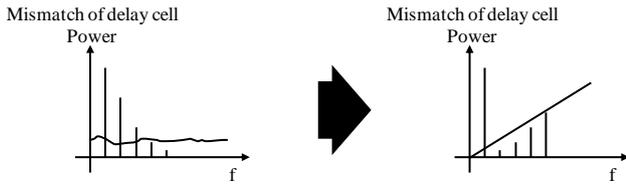


図5 DWAによるノイズシェーブ
Fig. 5. Noise shaping by DWA logic.

〈3・2〉 マルチビットΔΣ TDCへのDWAの適用

マルチビットΔΣ TDCにDWAを適用した構成を図6に示す。Flash ADCからの温度計コード出力をDWA回路へ入力し、そこからの出力をマルチビットDTCの各マルチプレクサの制御信号とする。

DWA回路内で1クロック前のFlash ADCからの1の出力数を記憶させ、次のクロックではその分シフトさせた位置から1が入力されるようにする。回路全体の動作は通常マルチビットΔΣ TDCと同様である。動作として異なるのは均等に遅延セルが使用されるようになっていることである。それにより線形性を改善する。

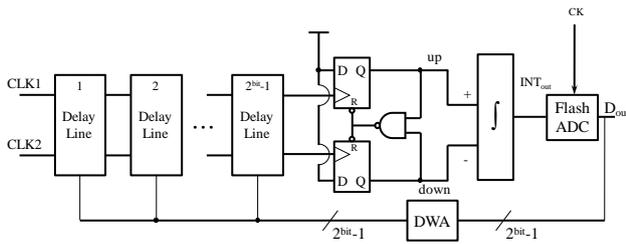


図6 DWAを適用したマルチビットΔΣ TDC
Fig. 6. Multi-bit Delta-Sigma TDC with DWA logic.

4. 遅延値からの自己校正手法

ΔΣ ADCにおいて内部に持つDACの非線形性の影響を自己推定し、出力時に補正を行う手法が研究・報告されている(5)(6)。そこで本提案においてもDTC部分の非線形性の影響を出力時に補正する自己校正手法を検討した。

各遅延セルの遅延値を自己測定し、出力計算時にその測定値を用いることで線形性の改善を目指す。各遅延セルの遅延時間を測定するため、カウンタ、マルチプレクサ、インバータを追加しリング発振構成となるように組む(図7)。遅延時間は基準クロックと発振クロックからデジタル的に測定することが可能であり、発振クロックのパルス数をカウンタにより数えることで発振周波数が求まる。追加したインバータの遅延時間をτ'としてτ+Δτ₁の測定を行うことを考えると発振周波数は次式で与えられる。

$$f_{osc} = \frac{1}{2(\tau' + \tau + \Delta\tau_1)} \dots\dots\dots(1)$$

発振周波数はカウンタから測定できるためこの式からΔτ₁を自己測定することが可能となる。マルチプレクサを制御し各遅延を一つずつつなぎかえることで各遅延時間が得られる。測定値は記憶させておき出力計算時に読み出す。

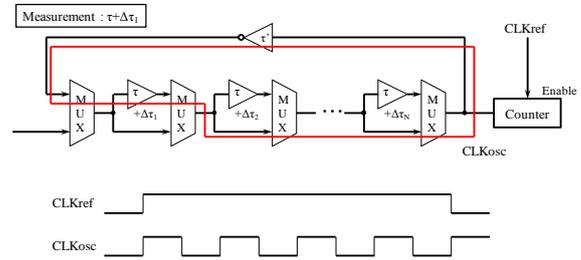


図7 遅延値自己測定の構成

Fig. 7. Architecture for self-measurement of delay values.

クロック間の時間差を測定する際には通常マルチビットΔΣ TDCと同じ動作をさせ、出力計算時に自己校正を行う。計算は次式で行う。

$$T_{measure} = \sum_{i=1}^N \frac{A_i}{N} \dots\dots\dots(2)$$

$$A = \sum_{j=1}^{2^{bn}-1} (-\tau_j + 2\tau_j \cdot D_{out_j}) \dots\dots\dots(3)$$

ここで、Nは比較回数、Aは1回の比較で得られる結果、T_{measure}が時間差の測定結果である。T_{measure}は実際の遅延値から計算されるため、遅延ミスマッチによる測定の誤差が減少する。すなわち線形性が改善する。

この自己校正を行うための全体の回路構成を図8に示す。構成は3-bit ΔΣ TDCであり、外部にカウンタ、メモリ、追加のマルチプレクサ及びインバータを持たせ、DSPで最終的な出力補正を行う。

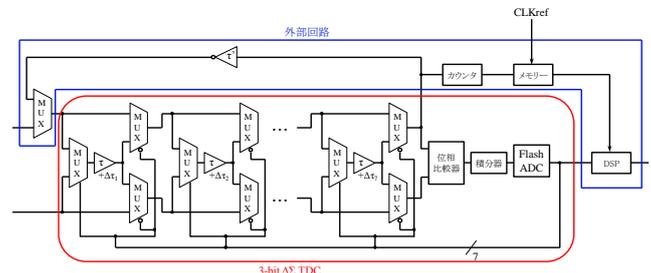


図8 提案自己校正手法の全体構成
Fig. 8. Architecture of proposed self-calibration method.

ΔΣ ADCの場合は信号が「電圧」であり内部DACの非線形性計測が容易でないが、このΔΣ TDCでは信号が「時間」であるためリング発振器構成により内部DTCの非線形性計測が容易に行える。

5. シミュレーションによる動作確認

この節では MATLAB シミュレータを用いて $\Delta\Sigma$ TDC の動作確認を行った結果について述べる。

〈5・1〉 シングルビット・マルチビット $\Delta\Sigma$ TDC の動作確認

シミュレーション条件は、シングルビットでは遅延セルの遅延値 $\tau=1\text{ns}$ 、マルチビットでは 3-bit の構成とし遅延値 $\tau=0.145\text{ns}$ とした。これは両者のスケールを近くするためである。CLK1, CLK2 間の立ち上がり時間差 T を 0.04ns 刻みで $T=-0.9\text{ns}$ から $T=0.9\text{ns}$ まで変化させた。また、出力される数(比較器で比較され D_{out} が出力される回数)は 99 点となるようにした。マルチビットの場合の最終的な出力は Flash ADC からの温度計コードを足しあわせているため $99 \times (2^{\text{bit}} - 1) = 693$ 点となる。

これらの条件で $\Delta\Sigma$ TDC のシミュレーションを行い、クロック間の立ち上がり時間差 T に対する 1 の出力数を確認した。

クロック間の立ち上がり時間差に比例して 1 の出力数が線形に増加するため、この回路を用いて計測を行うことが可能である。

〈5・2〉 DWA を適用したマルチビット $\Delta\Sigma$ TDC の動作確認

次に、遅延セルにミスマッチがあった場合について記す。遅延セルの遅延値パラメータは表 1 を用いた。このとき、遅延ミスマッチはガウス分布でランダムに生成し、平均が $\tau=0.145\text{ns}$ であり最大で τ の $\pm 10\%$ 程度の誤差となるように設定した。この条件においてシミュレーションを行った。

また、Flash ADC と 3-bit の DTC との間に DWA 回路を適用してシミュレーションを行った。遅延値は表 1 のパラメータを用い、出力される数を 599 回とした(つまり測定時間を長くした)。それ以外のシミュレーション条件は同様である。図 10(a)に遅延ミスマッチがあるときに、DWA を適用していない場合と適用した場合の理想直線からの差を示す。理想直線からの差が小さいほど線形であるといえる。

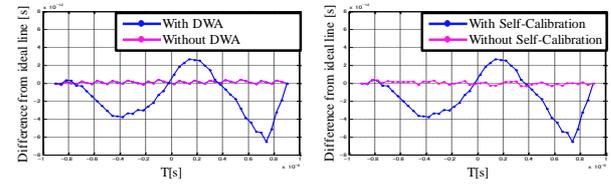
補正無しの場合には理想直線からの差が大きく非線形であるが、DWA を適用することで明らかに線形性が改善されている。補正後の線形性は理想状態での線形性に限りなく近い結果が得られている。

〈5・3〉 Self-calibration の動作確認

ここでは遅延値を自己測定しその結果を用いて補正を行う自己校正手法のシミュレーション結果について述べる。遅延値が既知であるとし、出力計算時に補正を行った

結果を図 10(b)に示す。

こちらに関しても Self-calibration を行うことにより線形性を改善することができている。この線形性は理想状態とほぼ同じである。



(a) In case DWA (b) In case self-calibration.
図 10 補正前後の線形性比較

Fig. 10. Linearity with and without correction (simulation results).

6. まとめ

$\Delta\Sigma$ TDC についてシングルビット及びマルチビットの場合の検討を行った。また、マルチビットにおいて遅延セルミスマッチがあると出力に非線形性を生じ測定の誤差となるが、その問題を解決するための 2 つの補正手法を提案した。それらの補正方法に関して MATLAB シミュレーションを行い線形性の改善に有効であることを確認した。

今後はより高次の構成の検討を行う⁽⁷⁾⁽⁸⁾⁽⁹⁾。

文 献

- (1) J. Moreira, H. Werkmann : "An Engineer's Guide to Automated Testing of High-Speed Interfaces", Artech House (2010)
- (2) 上森聡史, 土井佑太, 小林春夫, 小林修, 松浦達治, 新津葵一 : "シグマデルタ型タイムデジタル回路の検討", 電気学会電子回路研究会, ECT-11-077, 長崎 (2011)
- (3) 石井正道, 上森聡史, 小林春夫, 土井佑太, 小林修, 松浦達治, 新津葵一 : "デジタル信号時間差測定用回路の構成の検討", 第 66 回 FTC 研究会, 大分 (2012)
- (4) R. Schreier, G. Temes : "Understanding Delta-Sigma Data Converters", IEEE Press (2005)
- (5) J. Silva, X. Wang, P. Kiss, U. Moon, G. C. Temes : "Digital Techniques for Improved $\Delta\Sigma$ Data Conversion", IEEE Custom Integrated Circuits Conference (2002)
- (6) J. G. Kauffman, P. Witte, J. Becker, M. Ortmanns : "An 8mW 50MS/s CT $\Delta\Sigma$ Modulator with 81dB SFDR and Digital Background DAC Linearization", IEEE ISSCC (2011)
- (7) D.-W. Jee, Y.-H. Seo, H.-J. Park, J.-Y. Sim : "A 2 GHz Fractional-N Digital PLL with 1b Noise Shaping $\Delta\Sigma$ TDC", IEEE VLSI Circuit Symp. 11-4, Kyoto (June 2011)
- (8) B. Young, K. Sunwoo, A. Elshazly, P. K. Hanumolu : "A 2.4ps resolution 2.1mW second-order noise-shaped time-to-digital converter with 3.2ns range in 1MHz bandwidth", IEEE Custom Integrated Circuits, San Jose (Sept. 2010)
- (9) Y. Cao, P. Leroux, W. D. Cock, M. Steyaert : "A 1.7mW 11b 1-1-1 MASH $\Delta\Sigma$ time-to-digital converter", ISSCC (Feb. 2011)

表 1 シミュレーションでの遅延時間パラメータ

Table 1. Parameters of delay values for simulation.

	τ_1	τ_2	τ_3	τ_4	τ_5	τ_6	τ_7 [ns]	τ 合計値
Delay values	0.140	0.149	0.148	0.143	0.145	0.148	0.146	1.019