

デルタシグマ型タイムデジタイザ回路

石井 正道* 上森 聡史 小林 春夫 土井 佑太 松浦 達治 (群馬大学)
小林 修 (STARC) 新津葵一 (群馬大学)

Delta-Sigma Time-to-Digital Converter Architecture
Masamichi Ishii*, Satoshi Uemori, Yuta Doi, Haruo Kobayashi (Gunma University)
Osamu Kobayashi (STARC) Tatsuji Matsuura, Kiichi Niitsu (Gunma University)

キーワード: タイムデジタイザ, 時間計測, デルタシグマ変調, 高速 IO 回路テスト
(Time-to-Digital Converter, Time Measurement, Delta Sigma Modulation, High-Speed IO Circuit Testing)

1. はじめに

タイムデジタイザ回路(TDC: Time to Digital Converter)は被測定信号の時間というアナログの物理量をデジタル出力する回路である。2 信号間の時間差や信号パルスの時間間隔を測り、それをデジタル値として出力するなどの用途がある。近年の半導体プロセスの進展により、大規模集積回路の微細化が日々進んでおり、トランジスタ 1 個当たりのコストは低減している。一方で高速 IO 回路テスト⁽¹⁾が重要となりシステム LSI のテストコスト削減が急務であるが、テスト開発・評価が技術的にむずかしくなっている。ここではデジタル信号間のタイミングを短いテスト時間で高精度に簡易的な回路のみで実現するための TDC 回路の設計とシミュレーションによる動作確認を行ったので報告する。

2. デルタシグマ型 TDC の構成

〈2・1〉 デルタシグマ型 TDC の構成と動作

検討したデルタシグマ型 TDC の構成図を図 1 に示す。遅延素子、マルチプレクサ、位相比較器、積分器、比較器で構成する⁽²⁾⁽³⁾⁽⁴⁾。

マルチプレクサには出力 Dout がフィードバックされており、Dout=0 でマルチプレクサは上の経路を、Dout=1 で下の経路をそれぞれ選択する。その後の信号をそれぞれ CLK1a, CLK2a とし初期状態では Dout=0 とする。

位相比較器では遅延回路の出力 CLK1a, CLK2a の位相差に応じたパルスを出力する。この NAND 型位相比較器は 2 つのリセット付き D フリップフロップと NAND 回路を用いた構成となっている。CLK1a が先に立ち上がる場合 Vup に、CLK2a が先に立ち上がる場合 Vdown にそれぞれ位相差分のパルスを出力する。

チャージポンプは位相比較器の出力パルスを電圧に変

換し、コンデンサに積分する。通常のチャージポンプの回路図を図 2 に示す。チャージポンプは 2 つの定電流源、CMOS スイッチとコンデンサによって構成される。この電流源は MOS トランジスタを使用しており、出力電圧によって電位が変動し電流値も変動してしまい、チャージポンプで正確な積分ができなくなる。そこでオペアンプを用いたチャージポンプ回路を使用する。オペアンプの出力を入力端子に負帰還をかけた場合、二つの入力端子の電位がほぼ同電位となる仮想短絡を利用している。定電流源でなく抵抗源と電圧源により電流を発生させており、出力電圧に影響されない電流を流すことが可能である。図 3 にオペアンプの回路図を示す(直流利得 47dB, 位相余裕 54 度, ユニティゲイン周波数 693MHz)。このオペアンプ型チャージポンプは(疑似)差動構成とした。

比較器では基準クロックに同期したコンパレータを使用した。クロック同期コンパレータとは基準クロックが立ち上がりタイミングで 2 つの入力の比較を行い出力する。チャージポンプの差動出力 Vout+ と Vout- を比較する。基準クロックが 0 のときは比較を行わず、そのままの出力を出し続ける。図 4 にクロック同期コンパレータの回路図を示す。Vout+ < Vout- で 1、Vout+ > Vout- で 0 を出力する。

CLK1 と CLK2 はそのまま通過する経路か、遅延素子を通過する経路のどちらかをコンパレータ出力 Dout の結果で選択する。CLK1 の立ち上がりエッジが早い場合、Vup で位相差が出力され Vout+ は負、Vout- は正に積分される。その結果比較器では 1 を出力し、次のクロックでは CLK1 は遅延素子を通過し CLK2 はそのまま通過する経路を選択する。逆に CLK2 が早い場合 Vdown に位相差が出力され Vout+ は正、Vout- は負へ積分し比較器は 0 を出力する。次のクロックでは CLK2 は遅延素子を通過する。最終的に出力された 1 の数から CLK1, CLK2 の時間差を求める⁽⁵⁾。

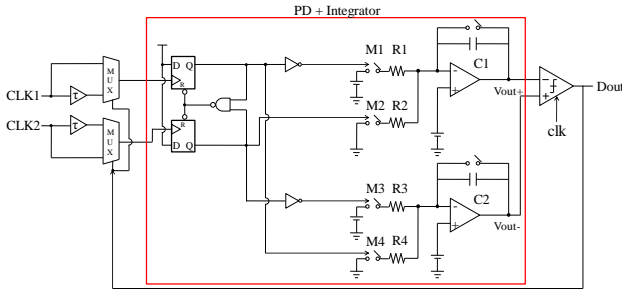


図1 1ビットΔΣTDCの回路図

Fig. 1. Circuit design of a single-bit ΔΣ TDC.

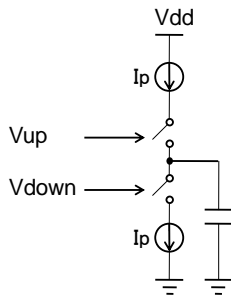


図2 通常の電流源型チャージポンプ

Fig. 2. Conventional charge pump.

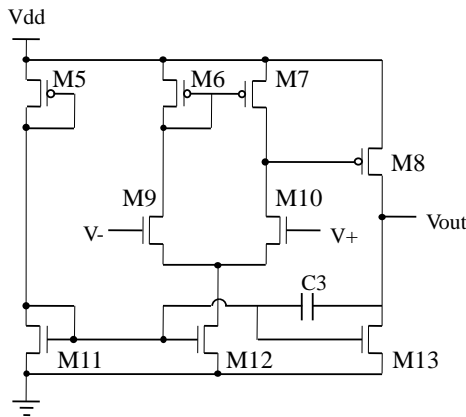


図3 オペアンプの回路構成

Fig. 3. Op-amp circuit.

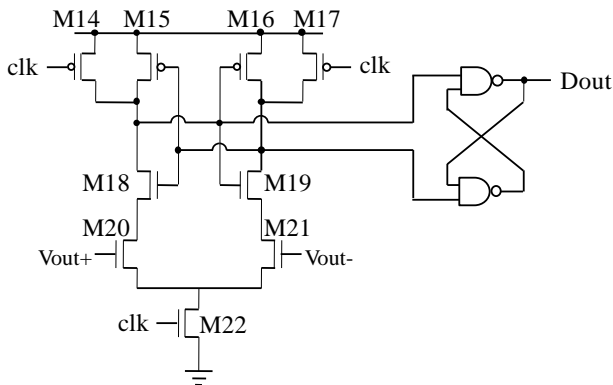


図4 クロック同期コンパレータの回路。

Fig. 4. Clocked comparator circuit.

〈2・2〉 マルチビットデルタシグマ型 TDC の構成と動作

図5にマルチビットΔΣ型TDCの構成図を示す。マルチビットΔΣ型TDCの構成として、比較器にFlash型のAD変換器を使用する。Doutは温度計コードとしてビット分だけ出力される。出力の数はNビットの場合 2^N-1 となり、遅延素子とマルチプレクサも同数となる。図6にFlash型AD変換器の構成図とダイナミックレンジを示す。Vout-とVout+の差をΔVとし、ΔVが-350mV以下ならすべて0、ΔVが350mV以上ならすべて1を出力する。分解能は117mVとした。

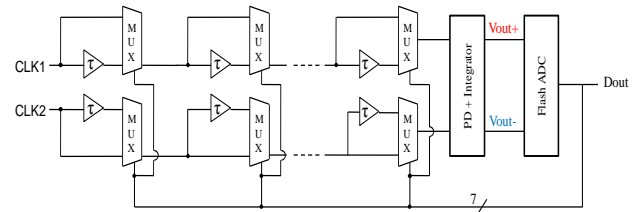


図5 3ビットΔΣ型TDCの回路図

Fig. 5. Circuit design of a multi-bit ΔΣ TDC.

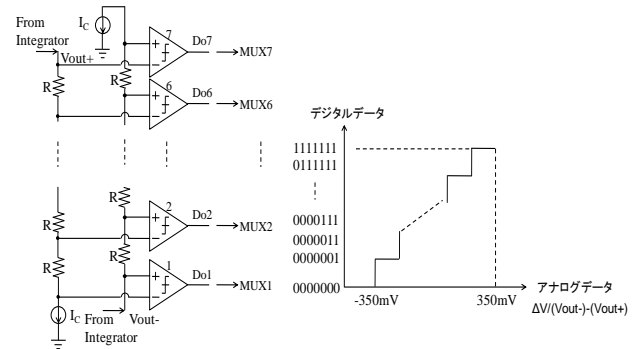


図6 3ビットFlash ADCの構成とダイナミックレンジ

Fig. 6. Configuration of a flash ADC and its dynamic range.

マルチビットΔΣ型TDCは単一ビット同様CLK1,CLK2の時間差に応じたパルスを出力する。単一ビットでの遅延素子の遅延時間を τ_1 とするならNビットの遅延素子の遅延時間 τ_N は次式で表される。

$$\tau_N = \frac{\tau_1}{2^N - 1} \quad (1)$$

これにより単一ビットに比べてより高分解能になり、高精度での測定が可能になる。測定可能時間は単一ビットと同じになる。

3. DWA回路の構成と動作

〈3・1〉 DWA回路の構成と動作

実際の回路では製造工程でのばらつきや温度変化の影響などによる素子値誤差がある。遅延素子 τ についても例外ではない。遅延値がばらつきを持つことによりΔΣ型

TDC 全体が非線形性を持つようになり、測定誤差を引き起こす。そこで DWA(Data Weighted Averaging)⁽⁶⁾を用いてばらつきの影響を軽減する。この節では 3 ビット $\Delta \Sigma$ 型 TDC での DWA について述べる。

図 7 に DWA の動作とブロック図を示す。DWA を用いない回路では出力が温度計コードであり、遅延選択回路のマルチプレクサにそのままフィードバックされるため、同じ遅延素子が選択されてしまう。このため $\Delta \Sigma$ 型 TDC 全体の出力の線形性に悪影響を与える。しかし DWA 回路を用いた場合には前のクロックで 1 がどこまで入力されたか (Do の 1 の数) とシフトした回数を記憶・加算し次のクロックでのシフト回数を決める。図 7 を例に、最初は 0 シフトとし $D1$ から出力する。次に前回の入力 が 3 であったことから 3 シフトし $D4$ から出力、さらに次では入力が 1 で 3 シフトしたので 4 シフトし $D5$ から出力される。

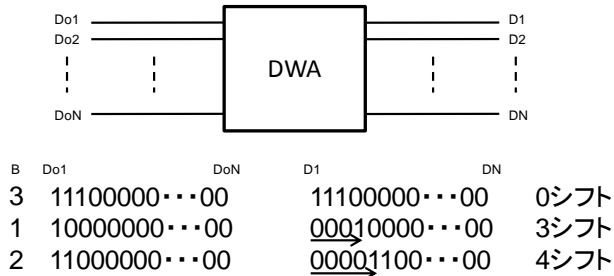


図 7 DWA 回路の動作.
Fig. 7. DWA logic operation.

3 ビット $\Delta \Sigma$ 型 TDC での DWA 回路の詳細を説明するブロック図を図 8 に示す。DWA 回路はエンコーダ、シフトレジスタ、加算器、パレルシフタで構成する。

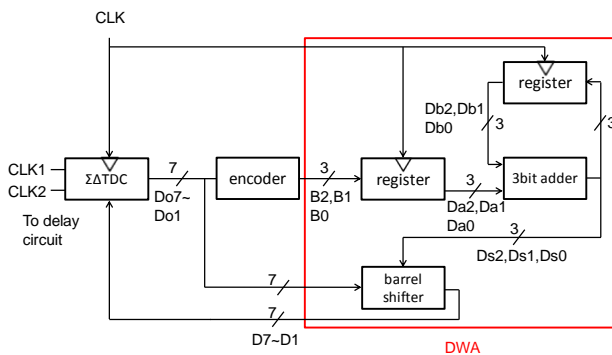


図 8 DWA 回路のブロック図.
Fig. 8. Block diagram of DWA logic.

3 ビット $\Delta \Sigma$ TDC の出力は全部で $Do7 \sim Do1$ の 7 つありエンコーダで $B2, B1, B0$ の 3 ビット 2 進数表示に変換しレジスタで記憶する。レジスタは D フリップフロップで構成し入力信号を 1 クロックシフトする。

加算器は 3 桁同士の加算を行う。加算器では加算器の出力を記憶した $Db2, Db1, Db0$ とエンコーダの値をレジスタで記憶した $Da2, Da1, Da0$ を加算する。加算結果が 8 以上の場合 7 で割った剰余を出力する。

パレルシフタのシフト量を制御する信号として入力する。そして $\Delta \Sigma$ 型 TDC の出力 $Do7 \sim Do1$ をパレルシフタに入力しシフトされ $D7 \sim D1$ として出力する。 $D7 \sim D1$ は $\Delta \Sigma$ 型 TDC の遅延選択回路の各マルチプレクサに接続する。

〈3・2〉 $\Delta \Sigma$ 型 TDC への適用

図 9 に DWA を適用した $\Delta \Sigma$ 型 TDC の構成図を示す。Flash 型 AD 変換器の出力を DWA 回路に入力し、その出力をマルチプレクサへと接続する。DWA 回路でシフトした信号によりすべての遅延素子をほぼ均等に選択する。出力がただの温度計コードの場合同じ遅延素子ばかり選択してしまうが DWA 回路を用いればすべての遅延素子を選択でき、遅延素子のばらつきの影響を低減できる。

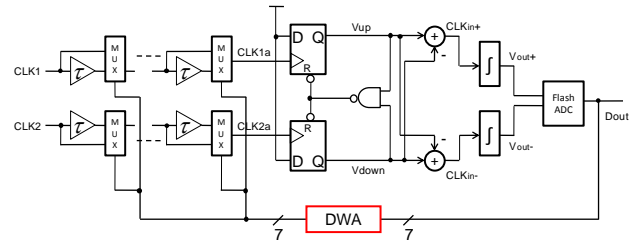


図 9 DWA 回路を適用した $\Delta \Sigma$ 型 TDC.
Fig. 9. Architecture of a 3-bit $\Delta \Sigma$ TDC with DWA logic.

4. $\Delta \Sigma$ 型 TDC のシミュレーション

1 ビットおよび 3 ビットの $\Delta \Sigma$ 型 TDC に二つの繰り返しクロックを入力した際、その時間差に応じたパルスが出力することを確認するためにシミュレーションを行った。また DWA 回路を用いて 3 ビット $\Delta \Sigma$ 型 TDC 出力の温度計コードがシフトすることについても行った。表 1 の素子パラメータ条件のもとに Spectre でシミュレーションを行った。MOS デバイスは TSMC0.18 μm CMOS プロセスパラメータを使用して設計を行った。初期条件として最初の $1 \mu s$ の間は積分器のコンデンサ両端はスイッチにより短絡している。電源電圧は 1.8V、計測に使うクロックの周波数は 10MHz、High=1.8V、Low=0V とした。各シミュレーションでのクロックの測定時間は $4 \mu s$ とした。

表 1 素子パラメータ
Table 1. Circuit parameters.

MOS	W[μm]/L[μm]
M1,M3	6/0.18
M2,M4	2/0.18
M5 罫 M8	20/0.18
M9,M10	10/0.18
M11 罫 M13	2/0.18
M14 罫 M17	6/0.18
M18 罫 M22	2/0.18

C1,C2	5pF
C3	2pF
R1 罫 R4	9k Ω
R	437.5 Ω
Ic	100 μA

4-1) 1ビットΔΣ型 TDC

遅延素子の遅延値 τ は 1ns と想定し製造プロセスでのばらつきや温度変化の影響などは考慮していない。1ビットΔΣ型 TDC の出力 Dout の波形を図 10 に示す。時間差に応じたパルスを出力していることを確認した。CLK1 と CLK2 の時間差 ΔT が正のとき(CLK1 が先に立ち上がる)、時間差に比例した 1 を出力する。逆に ΔT が負のとき(CLK2 が先に立ち上がる)、時間差に反比例した 1 を出力する。時間差とそれに応じた 1 の数の関係を表 2 に示す。測定できる時間差の分解能は 50ps であることがわかる。

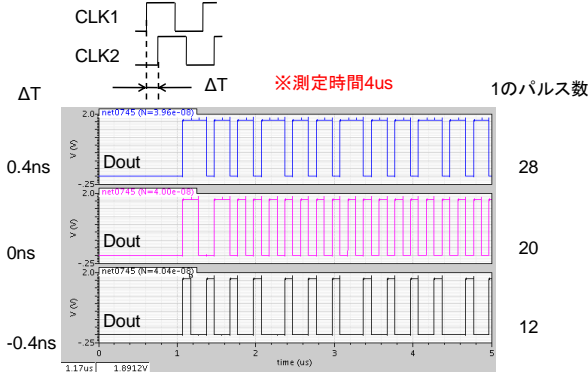


図 10 1ビットΔΣ型 TDC の出力波形
Fig. 10. Output of a single-bit ΔΣ TDC.

表 2 入力的时间差と出力

Table 2. Time difference of input clocks & output.

CLK1が先に立ち上がる		CLK2が先に立ち上がる	
時間差(ns)	1の数	時間差(ns)	1の数
0.95	39	0.95	1
0.9	38	0.9	2
0.8	36	0.8	4
0.7	34	0.7	6
0.6	32	0.6	8
0.5	30	0.5	10
0.4	28	0.4	12
0.3	26	0.3	14
0.2	24	0.2	16
0.1	22	0.1	18
0	20	0	20

4-2) 3ビットΔΣ型 TDC

遅延素子の遅延値 τ は 125ps とした。3ビットΔΣ型 TDC の出力 Do1~7 の波形を図 11 に示す。1ビット時同様時間差に応じたパルスを出力していることを確認した。分解能は図 12 から 7.14ps であることを確認した。

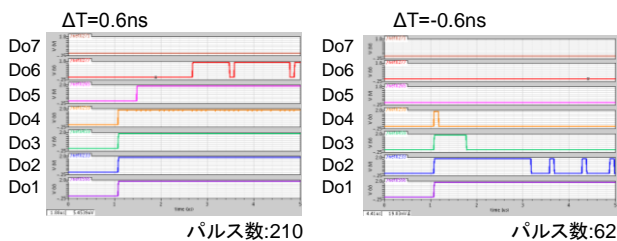


図 11 3ビットΔΣ型 TDC の出力波形.

Fig. 11. Output waveforms of 3-bit ΔΣ TDC.

ΔT

-100ps
-107.14ps
-114.28ps

Do4波形

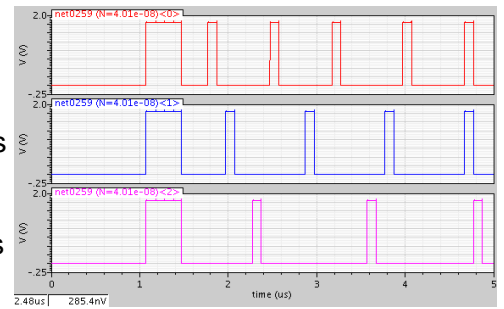


図 12 3ビットΔΣ型 TDC の出力波形

Fig. 12. Output waveforms of 3-bit ΔΣ TDC.

4-3) DWA 回路

3ビットΔΣ型 TDC に DWA 回路を適用する前後の波形を図 13 に示す。DWA 後、信号がシフトしていることを確認した。

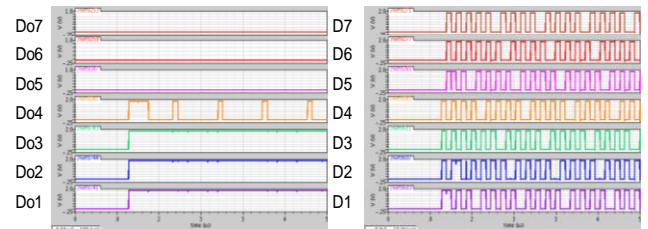


図 13 DWA 前後の 3ビットΔΣ型 TDC の出力波形.

Fig. 13. DWA. inputs & outputs in a 3-bit ΔΣ TDC.

5. まとめ

ΔΣ型 TDC の回路で設計を行いシミュレーションで動作を確認した。ΔΣ型 TDC で 2 つの繰り返し信号の時間差を測定できることを示した。さらに DWA を用いたマルチビット構成で高分解能・高精度に測定可能となることを示した。提案回路は簡単な回路で短時間・高精度タイミング測定が可能であり、BIST, BOST としての使用が期待できる。

文 献

- (1) J. Moreira, H. Werkmann, "An Engineer's Guide to Automated Testing of High-Speed Interfaces", Artech House (2010).
- (2) B. Young, K. Sunwoo, A. Elshazly, P. K. Hanumolu, "A 2.4ps Resolution 2.1mW Second-Order Noise-Shaped Time-to-Digital Converter with 3.2ns Range in 1MHz Bandwidth", IEEE Custom Integrated Circuits, San Jose (Sept 2010).
- (3) D.-W. Jee, Y.-H. Seo, H.-J. Park, J.-Y. Sim, "A 2 GHz Fractional-N Digital PLL with 1b Noise Shaping ΔΣ TDC", IEEE VLSI Circuit Symp. 11-4, Kyoto (June 2011).
- (4) 石井正道、上森聡史、小林春夫、土井佑太、小林修、松浦達治、新津葵一、「デジタル信号時間差測定用回路の構成の検討」第 6 回 F T C 研究会、大分 (2012 年 1 月 20 日)
- (5) 上森聡史、土井佑太、小林春夫、小林修、松浦達治、新津葵一:「シグマデルタ型タイムデジタル回路の検討」, 電気学会電子回路研究会, ECT-11-077, 長崎 (2011 年 10 月 20 日)
- (6) R. Schreier, G. Temes, "Understanding Delta-Sigma Data Converters", IEEE Press (2005).