

# 2011 IEEE International Test Conference 参加報告

## Part I: 日本から優れた発表

群馬大学大学院 小林春夫

2011年9月18日-23日に米国カリフォルニア州アナハイム市で行われた IEEE International Test Conference で ATE 技術, アナログ/ミックスド・シグナル SOC テスト技術関係のセッションに参加した。日本の産業界からの発表が特に目を引いたので紹介したい。

### (1) 新テスト手法 「マルチ・ドメイン・テスト」が提案

Session 3 Paper 3.3 Actual Implementation of Multidomain Test: Further Reduction of Cost-of-Test

ヴェリジー(アドバンテスト・グループ)の小倉光裕氏より新しい概念のテスト手法”マルチ・ドメイン・テスト”が紹介・提案された。現在 テスト・コスト低減のために、マルチ・サイト・テスト、コンカレント・テストのテスト手法が使われている。しかしマルチ・サイト・テストでは必要なテスター・リソースがサイト数倍必要となり、コンカレント・テストでは専用 DFT が必要である。提案マルチ・ドメイン・テストはこれらの問題点を解決し、より少ないテスター・リソースで、より短いテスト時間を実現し、テスト・コストの低減を可能にする。

マルチ・ドメイン・テストでは DUT 内の IP コアあるいは回路ブロックをグループに分け1つのグループを1つのドメインとして定義する。ドメイン数が2つのデュアル・ドメイン・テストの場合は次のようになる。DUT のテストの対象となる回路をドメイン A とドメイン B の2つのグループに割り当てる。DUT ボード上にソケット1、2を用意し、ソケット1に載せた DUT 1 のドメイン A とソケット2に載せた DUT 2 のドメイン B を ATE で同時にテストする。実際には2つの DUT を同時にテストしているが、ATE からは DUT 1 のドメイン A と DUT 2 のドメイン B からなる擬似的に1つの DUT に対してコンカレント・テストを実行していることになる。そして、次にテストされる DUT を未テスト・トレイからソケット1に、ソケット1の DUT 1 (既にドメイン A はテスト済) はソケット2に、ソケット2の DUT 2はテスト済トレイに移動させる。

そして先程と同じ様にテスト実行する。これによりソケット2の DUT はドメイン A とドメイ

ンBが順次テストされ全てのテストが終了したことになる。これを繰り返し実行する。ドメインAのテスト時間とドメインBのテスト時間を等しくすることが出来ればシングル・サイトのほぼ1/2のテスト時間が実現できる。しかも必要となるテスター・リソースはシングル・サイト時とほぼ同等である。

発表では上記新テスト手法の説明とともに、マルチ・ドメイン・テストを実際にミックスド・シグナルSOCのテストに適用した場合について、テスト・セル・コスト、テスト時間等、実データを元にした解析によってマルチ・サイト・テストに対する優位性が示されている。今後半導体メーカーに提案していきたいとのことである。



小倉光裕氏(ヴェリジー(アドバンテスト・グループ))の発表

## (2) 多値信号伝送の普及を見越したそのテスト技術の先行開発

### Session 11: Paper 11.3 Real-Time Testing Method for 16-Gbps 4-PAM Signal Interfaces

近年、多値で信号伝送する技術の提案がなされてきているが、アドバンテスト社 石田雅裕氏により多値信号のリアルタイム試験技術が提案された。多値信号をリアルタイム試験するために、電圧レベルを変調可能な多値ドライバや、被試験信号の期待値に応じて動的にしきい値電圧を制御して比較を行う新しいコンセプトの多値コンパレータを試作し、16 Gbps 4-PAM信号のリアルタイム試験を実現している。提案する動的しきい値コンパレータは、高速な試験システムに向いている。また、ディエンファシス信号やアナログ信号のリアルタイム試験に応用可能である。実用化に向けて性能向上を行っていくとのことである。

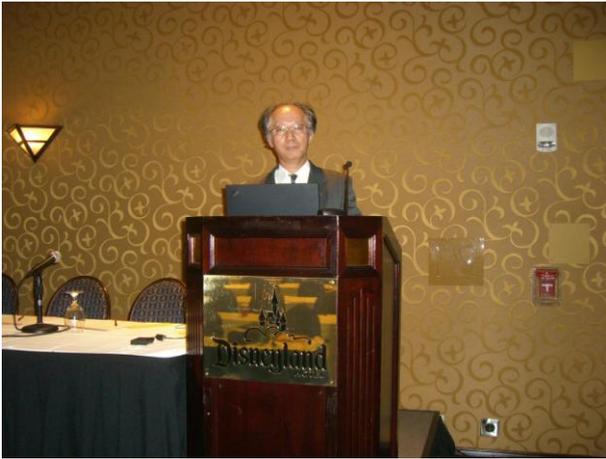


石田雅裕氏(アドバンテスト社)の発表

### (3) 可能性を秘めた広帯域タイミング・ノイズ測定手法の提案

Session16 Paper 16.2 Application of a Continuous-Time Level-Crossing Quantization Method for Timing Noise Measurements

アドバンテスト研究所の山口隆弘氏は東京大学等との共同研究として、コンパレータ1個で、一方の入力を被測定クロック、他方を ATE 等で参照電圧を可変にして与え、コンパレータ出力をデジタル演算処理することでランダムジッタの周波数帯域を広帯域で計測できる方式を提案した。これはレベル・クロッシング ADC の新しい応用とみることができる。タイミング・ノイズ測定への応用についての理論的な解析を踏まえて 65nm CMOS テクノロジーによる試作チップの評価結果を示している。提案手法はクロックト・コンパレータを用いて等しい時間間隔でサンプリングすることで、実際には不等間隔に存在する RF 信号のレベル・クロッシングの特性をスペクトラム解析によって得るものである。これは、SOC テスタのデジタル・ピンによって、アンチ・エイリアシング・フィルタを利用せずに RF 信号をエイリアス・フリーでデジタル化する等に応用できる。また、65nm CMOS 試作チップの測定結果では、クロックト・コンパレータを用いた提案手法で広いダイナミック・レンジと周波数レンジを持った測定が可能であることを示している。BIST(コンパレータ 1 個)とATEとの協調で実現できる等、可能性が広がる技術のように思われる。



山口隆弘氏(アドバンテスト研究所)の講演

#### (4) 洗練された信号処理アルゴリズムでスペクトラム拡散クロックを任意波形発生器から発生

Session 11: Paper 11.2 Elegant Construction of SSC-Implemented Signal by AWG and Organized Undersampling of Wideband Signal

ヴェリジー(アドバンテスト・グループ) 大河原秀雄氏よりスペクトラム拡散クロックを任意波形発生器(Arbitrary Waveform Generator: AWG)で発生させ、またこのような広帯域信号をサンプラ回路で測定する手法が提案された。

Serial ATA(SATA)のような高速シリアルデジタル通信において、装置内部クロックのエネルギーが外部に漏れることに対して監督官庁の規制がある。この EMI 規制値をクリアするために、クロックに微小な FM を掛けてエネルギーを散らして、ピークレベルを下げる手法が推奨されている(スペクトル拡散クロック、Spread Spectrum Clocking : SSC)。この発表では SSC のかかった(すなわち FM のかかった)デジタル信号を AWG で作る方法と、SSC のかかったデジタル信号のような広帯域信号をサンプラで測定する手法について例題として 1.5Gbps SATA を取り上げて述べている。

SSC を発生する際の FM 変調処理は、SSC の三角形を積分して、PM 変調処理に載せている。PM の処理の中で、 $-90$  度波形の位相をまわす作業と積分処理を FFT&IFFT 法と名づけて波形を FFT で周波数スペクトラムに変換して  $-j$ 、 $-j/k\omega$  を掛ける等で、スペクトラムに手を加えてから IFFT して波形に戻すことで実現している。後半のサンプラでの広帯域信号を取得するためアンダーサンプリングのアルゴリズムも含めて、非常に美しく問題を解いており、講演を聴きながら一種の感動すら覚えた。講演者が信号処理アルゴリズムにかなり手慣れているのを感じさせた。提案手法はハードウェア依存性が少ない汎用的な手法・アルゴリズムである。

