

# デジタルアシスト アナログ技術

微細CMOSの強みを生かす回路技術

小林春夫

群馬大学大学院 工学研究科 電気電子工学専攻  
〒376-8515 群馬県桐生市天神町1丁目5番1号  
電話 0277 (30) 1788 FAX: 0277 (30)1707  
e-mail: k\_haruo@el.gunma-u.ac.jp



# 発表内容

---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ



# 発表内容

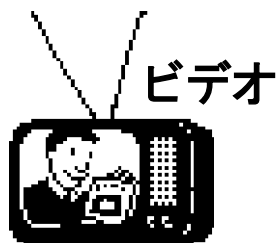
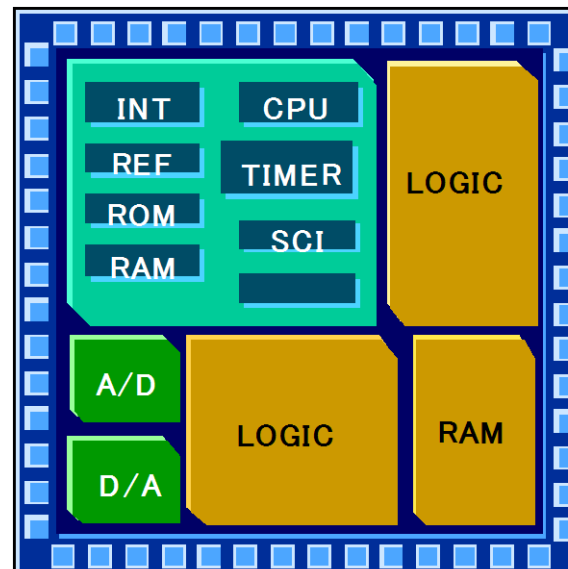
---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

# デジタル技術をささえる AD/DA変換器

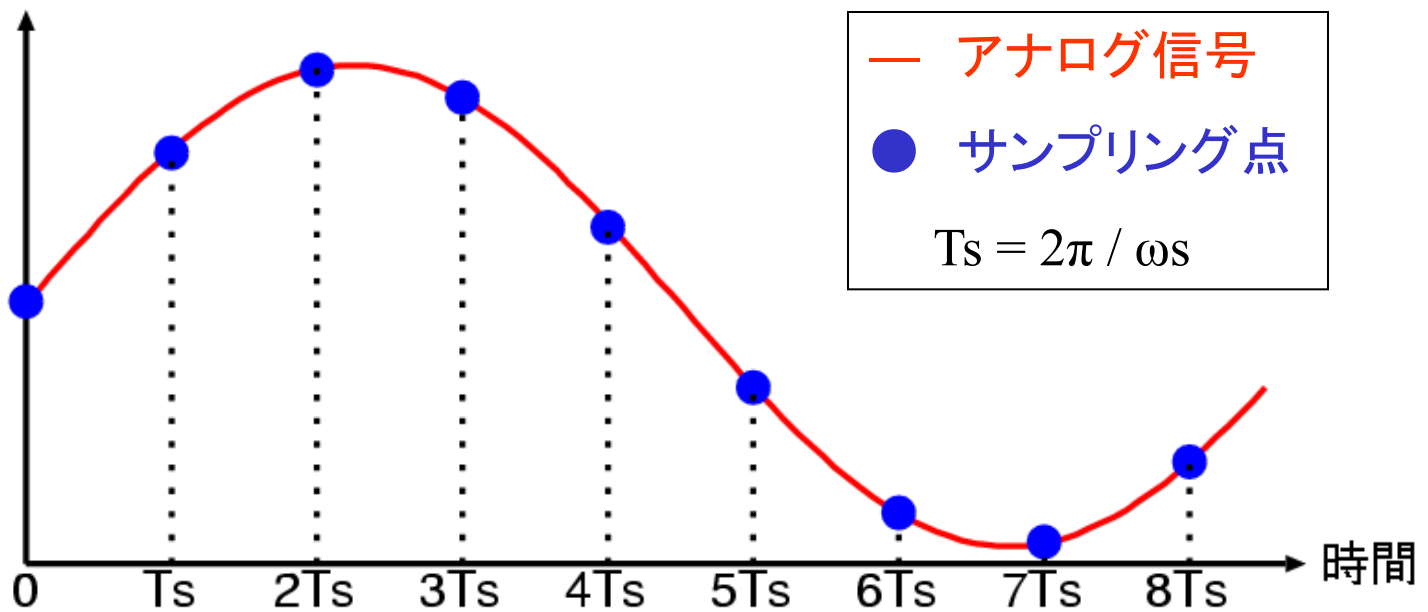
自然界の信号は  
アナログ

LSIでの信号処理は  
デジタル



# デジタル信号の特徴(1)

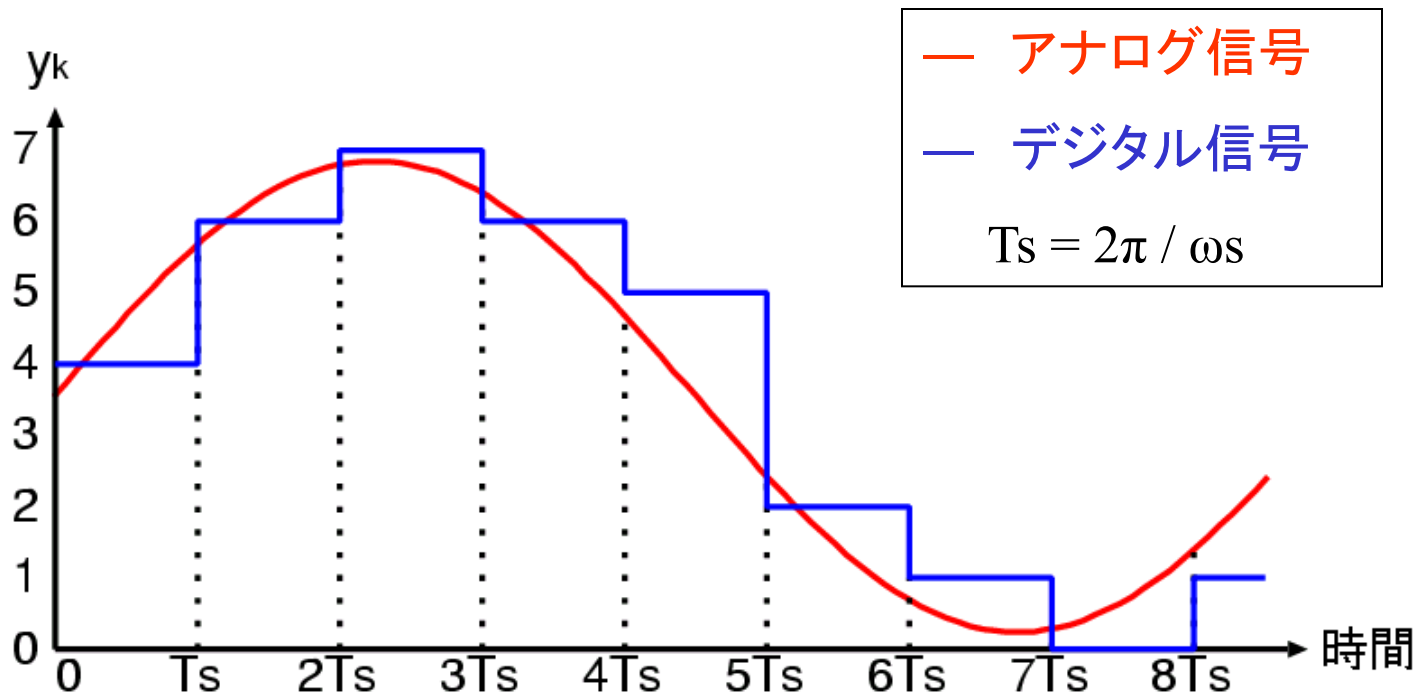
## 時間の離散化 (サンプリング)



一定時間間隔のデータを取り、間のデータは捨ててしまう。

# デジタル信号の特徴(2)

## 振幅の離散化 (信号レベルの数値化)



デジタル信号はアナログ信号レベルを  
四捨五入(または切り捨て)



# 究極は自然界はデジタル

---

「量子論を工学的に解釈すれば  
自然界はデジタルである。」  
(稲村實 群馬大学名誉教授)

半導体デバイスの微細化が進むにつれ  
「自然界はデジタル」が  
集積回路設計分野で見えてきつつある。



# 見方を変える必要がでてくる

---

よく言われている

「自然界はアナログ。

デジタルはアナログの近似。」

は誤り。

Max Planck の量子論を工学的に解釈すると

「自然界はデジタル。

アナログはデジタルの近似。」

(稲村實先生)





# 数学も見直す必要あり ？

---

微積分等の解析学(アナログの数学)は  
物理学と密接に結びついている。

離散数学(デジタルの数学)を中心とし、  
それと連続性をもった近似が  
解析学であるべき。(？)



# 半導体デバイスのノイズ

---

**電流:** 電子群の平均的な移動

**ノイズ:** 電子が有限個、それぞれ独立した動き

半導体デバイスのノイズは  
電荷の運び手がデジタルであるがゆえに生じる。

ノイズの解析式は、デジタルをアナログで  
近似したもの



# CMOS微細化で「自然界はデジタル」 が見えてきている

---

MOS チャンネル内の電子の有限個数が見えてきている。

MOSチャンネル長が近未来に原子レベルに近づくことが外挿できる。



# 世界観を変えた研究

---

Max Planck:

アナログとデジタルの世界観を変える

「自然界はデジタルである」

Albert Einstein:

時間と空間の世界観を変える

「時間、空間は相対的である」



# 特定の学問・技術、 それを用いた産業が発展する

---

アナログ回路の特殊なものがデジタル回路



デジタルが急速に発展

デジタルの特殊なものがメモリ



半導体メモリが急速に発展

((元)アジレント 山田庸一郎氏)



## さらに考察すれば

---

究極のデバイスはCMOS。

全てのデバイスはCMOSに収束する。

(東工大 松澤昭先生)

物理学の一分野にすぎなかった

エレクトロニクスは学問的・産業的に急速に

発展



# さらに考察すれば (続き)

---

デジタル回路での同期設計

数学、物理学の分野で線形を扱うもの

線形代数

ニュートン運動方程式

マクスウェル電磁気学方程式

物理学は線形なものを扱うので急速に発展した。



# デジタル、CMOSはブラックホール

---

技術・産業の流れ:

- アナログをデジタルに置き換える。
- 化合物半導体、バイポーラトランジスタをCMOSで置き換える。

その逆は(ほとんど)ない。



# 計測制御機器とアナログ回路

計測器(電子計測器)

制御システム(ファクトリーオートメーション):

➡ アナログ回路は重要

例:



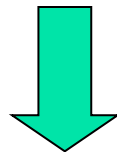
デジタルオシロスコープ内のAD変換器



# アナログ電子回路に 計測制御技術が必要

---

微細半導体アナログIC, ミクストシグナルIC  
高性能化のために  
計測技術、制御技術の考え方がより重要



チップ内計測制御技術



# アナログ回路と計測工学

---

- ADC/DACのチップ内自己校正
  - ➡ 校正技術は以前から電子計測器で使用
- ADC/DACの非線形性、  
電源電圧、電流、温度、  
基板ノイズ、ジッタ・タイミングの  
“チップ内計測技術”がより重要。
- 計測した値に基づき、  
“チップ内制御・信号処理・校正”を行う。
- アナログ回路のテスト法・テスト容易化設計も重要。



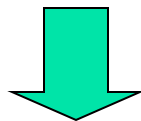
# アナログ回路と制御工学

- 微細CMOSではバイアス回路が重要
  - バイアス電圧制御(regulation)
- 自動可変ゲインアンプ(AGC)
- アナログフィルタの自動調整
- 電源回路の制御
- 設計・解析手法:
  - ラプラス変換、ステップ応答、ボード線図、ナイキスト安定判別等の線形システム理論

アナログ回路と計測・制御技術は密接な関係

# 現在のエレクトロニクスでの アナログ技術の位置づけ

- デジタルは偉大な技術。
- アナログ技術の理解はデジタル技術への Appreciation（敬意）からはじまる。
- 現在要求されているアナログ技術はデジタル技術を生かすためのもの。



デジタル時代のアナログ技術

# デジタル技術の発展は 産業・社会を変えた

- アナログ: 連続信号 「坂道」  
デジタル: 0, 1 「階段」
- デジタルは 産業的に  
技術のコピーを容易化
  - ➡ キャッチアップ早い
  - インターフェースを容易化
    - ➡ エレクトロニクス産業の  
水平分業化 (産業構造が変わる)
- デジタルにより 社会的に  
人は数値で管理されるようになった



# 発表内容

---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ



# 低電源電圧でのアナログCMOS

---

2000年8月

半導体メーカー 研究所訪問

0.35 $\mu$ m CMOS, 3V の時代

研究所長さん

「CMOS微細化が進み

電源電圧がやがて1V近辺になると

アナログ回路設計が

難しくなってくるのではないか。」



# なぜ RF CMOSか

## 日本セットメーカー関係者

- RF CMOS の重要な点は、  
バイポーラRF 回路をCMOS で置き換える  
ことではない。
- RF回路もCMOS化することで  
デジタル、ベースバンドアナログ(ADC等)と  
1チップ化できることが最大のメリット。
- **1990年代前半**に米国Fabless メーカーから  
提案された。



# RF CMOS は高周波技術だけでは 産業化できなかった

---

1990年代前半

日本メーカー:

CMOSは特性ばらつきが大きく産業化難。

Abidi 先生(UCLA):

米国Fablessメーカー がRF CMOSを製品化。

CMOS特性のばらつき大を

デジタル補正技術を開発して

歩留まり90%以上に。

「従来のRF研究者は何もわかっていない。」



# デジタルアシスト技術のテストの問題

## ATEメーカー技術者

- 自己校正、冗長性によるデジタルアシストアナログ回路の設計の立場からの議論はあるが、そのテストの問題をいう人はいない。
- LSIテスト現場では自己校正回路のテストの問題が顕在化してきている。

TI社のDigital Radio Processor

テスト容易化技術が多々使用されていることが

推測できる (E. Obaldia, IEEE VLSI Test Symp. 2010)

Digitizing the Radio to the Antenna ? Will Radios Still Need Analog in 2010 ?

Organizer: A. Matsuzawa, M. Huang,

Moderator: P. Kignet

Panelists: T. Arnaud, Q. Huang, C.-M. Hung, H. Kobayashi, I. Mehr, S. Tanaka

Analog Rump Session, Symposium on VLSI Circuits, Kyoto (June 2005).

## Digital-assisted analog technology

(Analog performance improvement supported by digital technology)

- Just “RF circuit technology” is not enough.
- In SOC, powerful CPUs are available.
- The first chip should work.
- CMOS scaling generation independent system is desirable.

Digital calibration and dynamic element matching techniques will realize digital-rich analog-minimum radio system.

Signal processing and control theory people are from Jupiter.

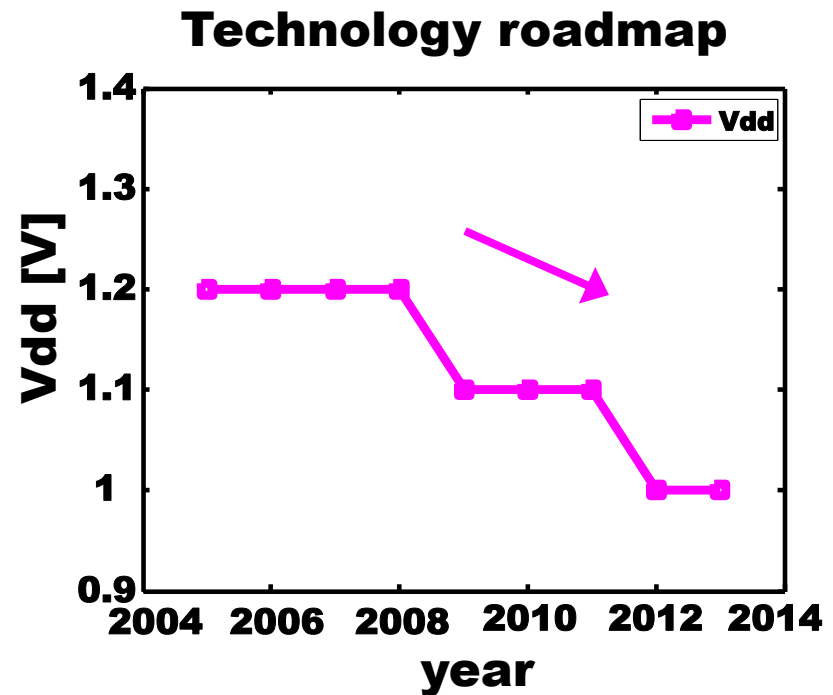
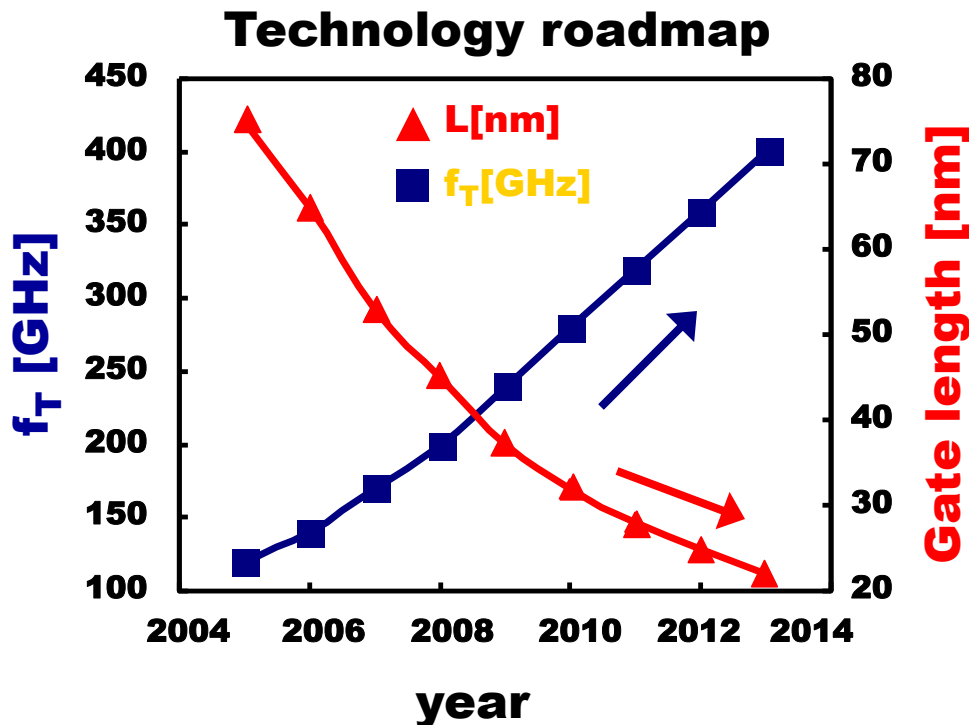


# 発表内容

---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術 (私論)
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

# 半導体はナノの時代へ



CMOSプロセス微細化 ⇒ 高速動作（時間領域：分解能向上）

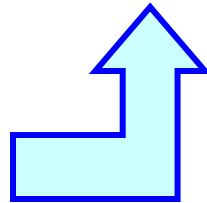
耐圧低下 ( $V_{dd} \rightarrow$ 小), ドレイン抵抗  $\rightarrow$  小

# ナノCMOSでのアナログの パラダイムシフトの必要性

## ■ 近年、LSIの超大規模化・超微細化

### ■ デジタル回路

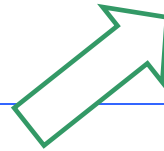
- ・チップ面積縮小
- ・高速動作
- ・低消費電力



必ずしも微細化の恩恵  
を受けられるわけではない

### ■ 従来アナログ回路

- ・素子ばらつきが増大
- ・低電圧化によるSNR劣化



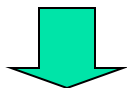
- ・短チャネル効果
- ・狭チャネル効果
- ・スレッショルド電圧ミスマッチ

⋮

# 半導体プロセスと回路

## — 目的と手段 —

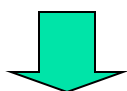
「デジタルは半導体プロセス微細化のトレンドに適合。  
アナログは適しているとは限らない。」



半導体ロードマップの呪縛にかかった発想・表現

半導体プロセスの微細化はデジタルの低消費電力・  
高速・高集積化・低コスト化のために行う。

デジタルでメリットなければ半導体微細化をする理由なし。



微細化プロセスでもデジタルは必ず動く、高性能・低コスト





# デジタル・アシスト・アナログ技術

CMOS微細化にともない

→ デジタルは大きな恩恵

高集積化、低消費電力化、高速化、低コスト化

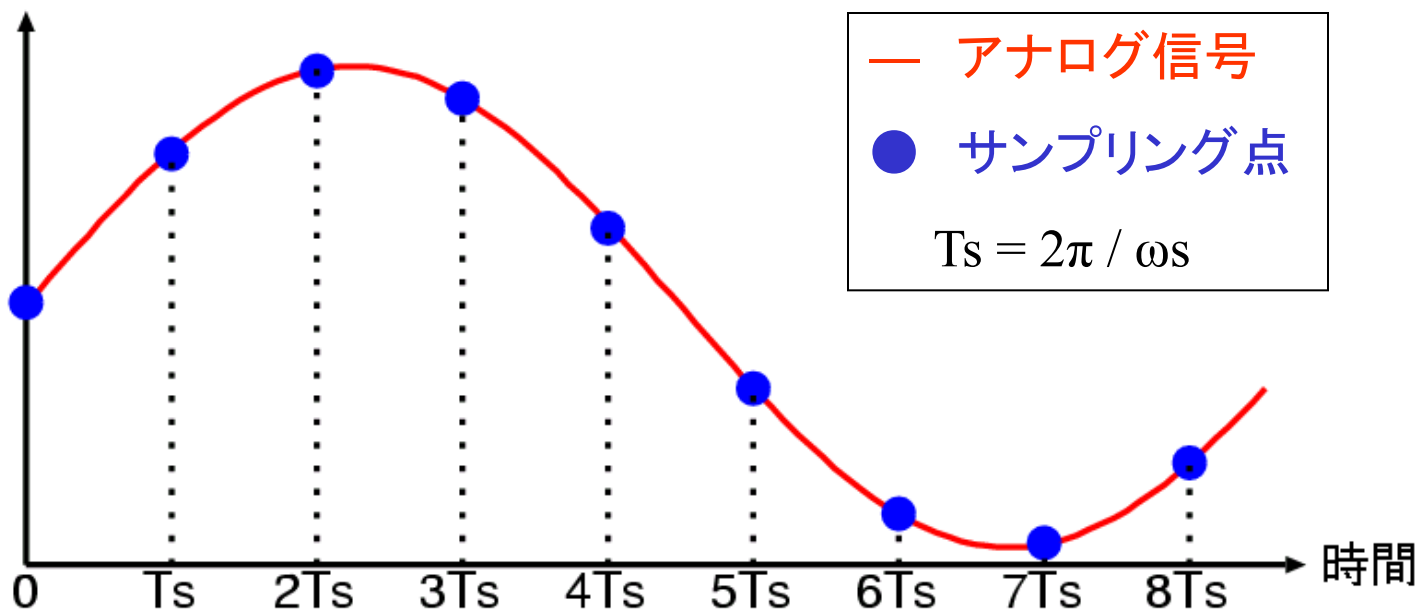
→ アナログは必ずしも恩恵を受けない

電源電圧低下、出力抵抗小、ノイズ増大

- 「デジタル技術を用いて  
アナログ性能向上する技術」が重要
- 「デジタルリッチ・アナログミニマムな構成」が重要
- SOC内 $\mu$ Controller はPAD程度のチップ面積

# デジタル信号の特徴(1)

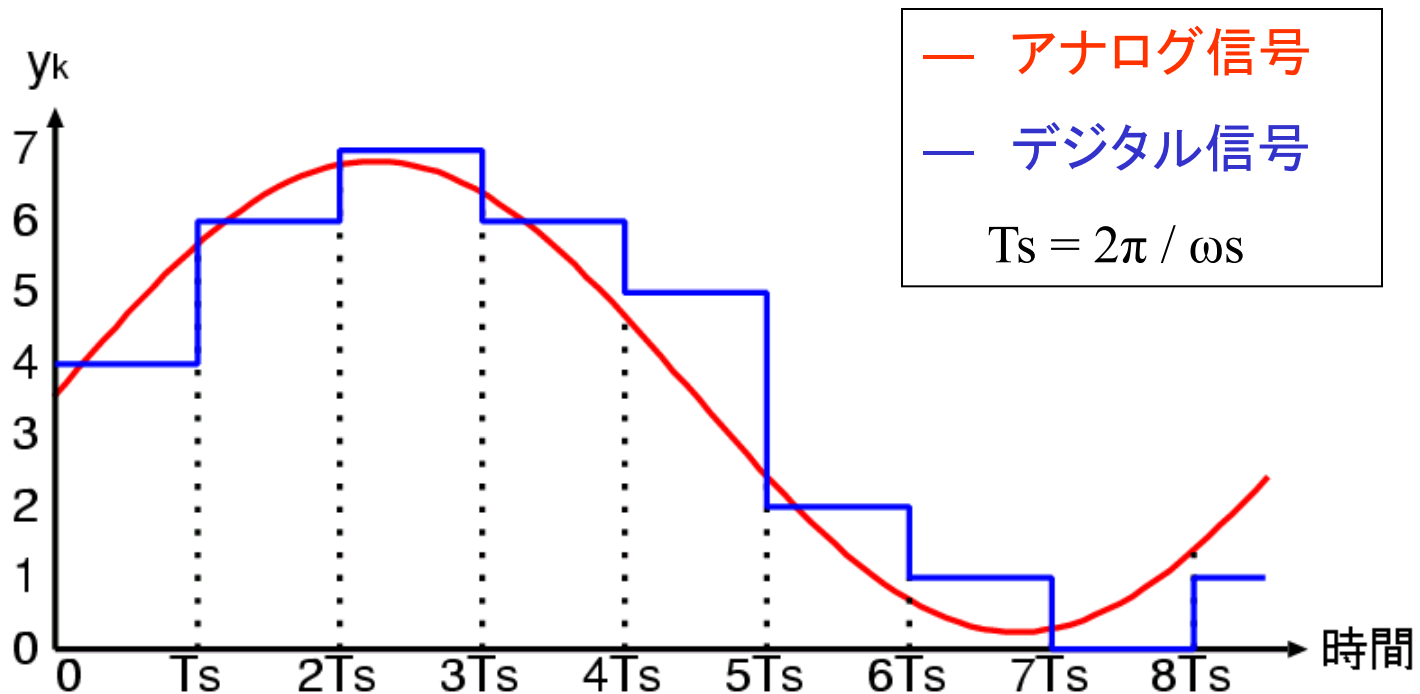
## 時間の離散化 (サンプリング)



一定時間間隔のデータを取り、間のデータは捨ててしまう。

# デジタル信号の特徴(2)

## 振幅の離散化 (信号レベルの数値化)



デジタル信号はアナログ信号レベルを  
四捨五入(または切り捨て)

# 回路技術の4つの領域

	時間 連続	時間 離散
振幅 連続	領域1 アナログ	領域2 スイッチドキャパシタ サンプリング回路
振幅 離散	領域3 TDC、PWM	領域4 デジタル

領域1: バイポーラ、化合物が得意

領域2, 3, 4: CMOSが得意

4つの領域 全てを用いるのが ナノCMOSアナログ回路技術

# ナノCMOS 時代の新アナログ

## 微細CMOSでアナログ高性能化

- 微細デジタルCMOS
- 4つの回路領域を全て用いる
- デジタルリッチ、高速サンプリング、時間領域
- 回路、設計手法、検証手法、テストをデジタル的に行う



- 小チップ面積、低消費電力、高性能化
- 設計容易化
- プロセス・ポータビリティ、スケーラビリティ
- 初回の試作で動作



# 発表内容

---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- **デジタルアシストアナログ技術**

領域1： 振幅連続、時間連続 (純粹アナログ回路)

領域2： 振幅連続、時間離散

領域3： 振幅離散、時間連続

領域4： 振幅離散、時間離散

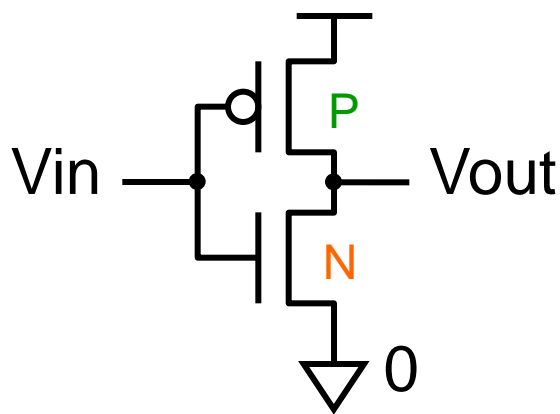
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

# 純粋なアナログ回路

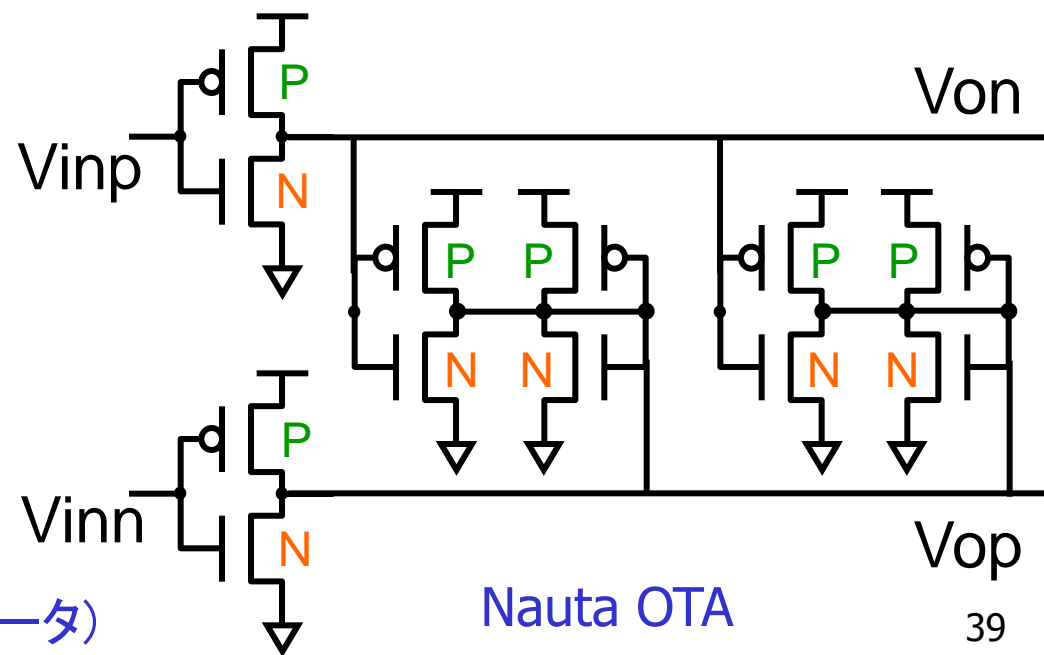
## (領域1: 振幅連続、時間連続)

- RFアナログ回路でもトランジスタレベルでは標準CMOSロジック回路に収束していく
  - インバータ型演算トランスコンダクタンス増幅回路 (Nauta OTA)

— 様々なRF回路



CMOS標準ロジック(インバータ)



Nauta OTA



# MOSの全ての動作領域を使用

---

飽和領域(2乗特性領域)

速度飽和領域

線形領域

サブスレシヨルド領域





# 微細CMOSは素子特性マッチングに 有利に働く -ある半導体メーカー技術者-

---

- 同じチップ面積なら微細CMOSのほうが  
高度な製造装置使用のため  
マッチングが良くなる
- ミスマッチを補正するための  
余分な回路が不要
- 実測でも検証

アンチスケーリングアナログ技術

# デジタルアシストと別のアプローチ

## 「智者の慮は必ず利害に雑(まじ)う」 孫子

- 単に容量、トランジスタのサイズを大きくする。
- R, C等のばらつきの小さいプロセスを使用する。
- 微細CMOSでは良い製造装置を使用するのでミスマッチは小さくなる。



従来手法の延長であるが

- Time-to-Market が短くなる。
- 思いもしないトラブル発生の確率が小さい。



Best ではないかもしれないが現実的選択の一つか。



# 発表内容

---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- **デジタルアシストアナログ技術**
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

# ナノCMOSでのサンプリング技術

## (領域2: 振幅連続、時間離散)

ナノCMOS FETの余裕ある高速特性、高周波特性を生かす設計が重要。

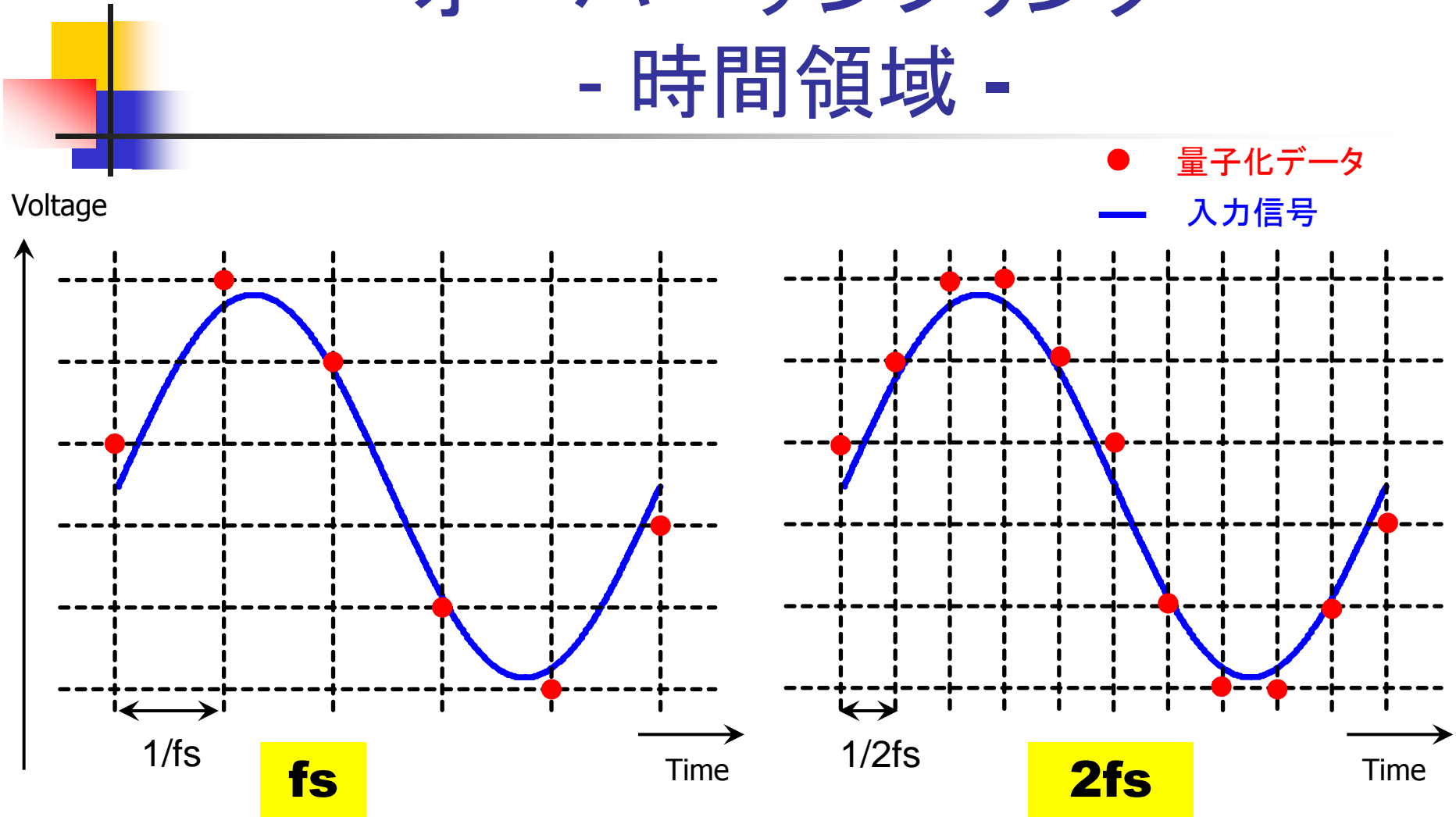
### 高周波回路

「ナノCMOSを用いたRF回路ではシステム仕様と比べてトランジスタ高周波特性 ( $f_T$ ) に余裕がある」  
(東京工業大学 石原昇先生)

### 高速サンプリングにより

電源ノイズ、基板ノイズ、量子化ノイズ、ジッタ等の  
折り返しノイズ低減  
アナログフィルタの単純化

# オーバーサンプリング - 時間領域 -



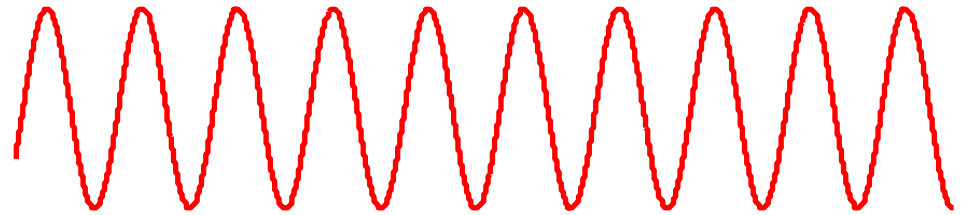
オーバーサンプリングにより入力信号  
の再現性が高まる

# サンプリング・ミキサ

## ダウンサンプリング - 時間領域 -

Down-sampling

$V_{in}$

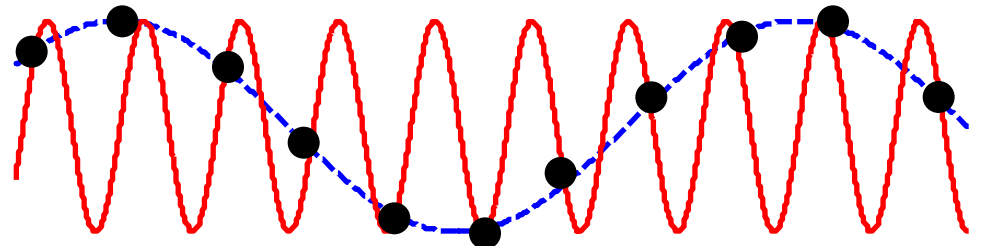


RF signal  $\Rightarrow$  Baseband signal

Sampling



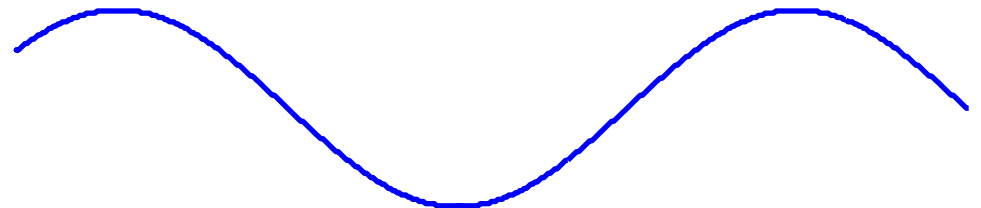
LPFで高周波成分をカット



LPF

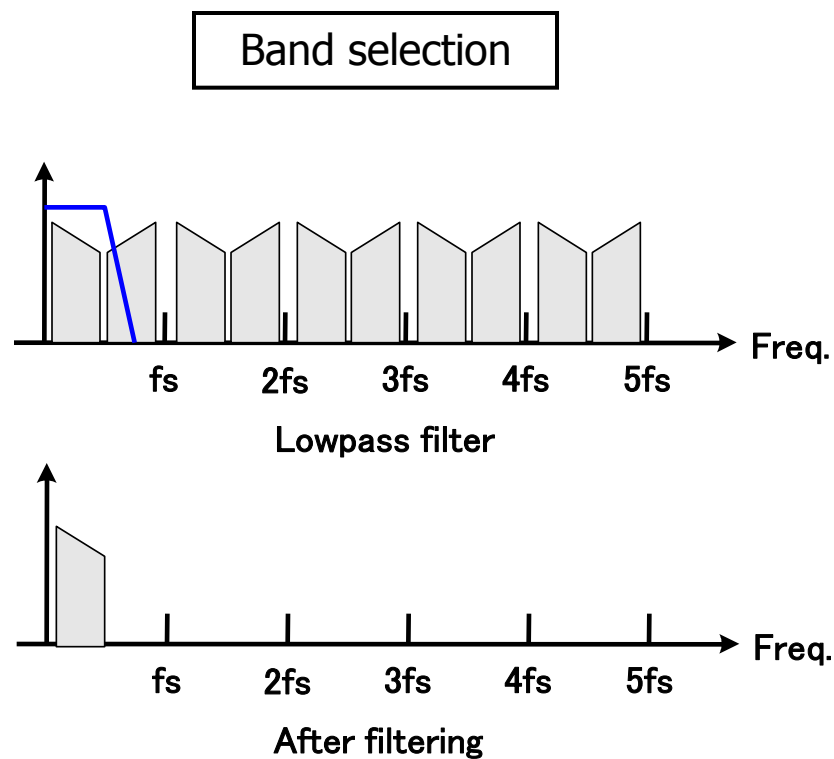
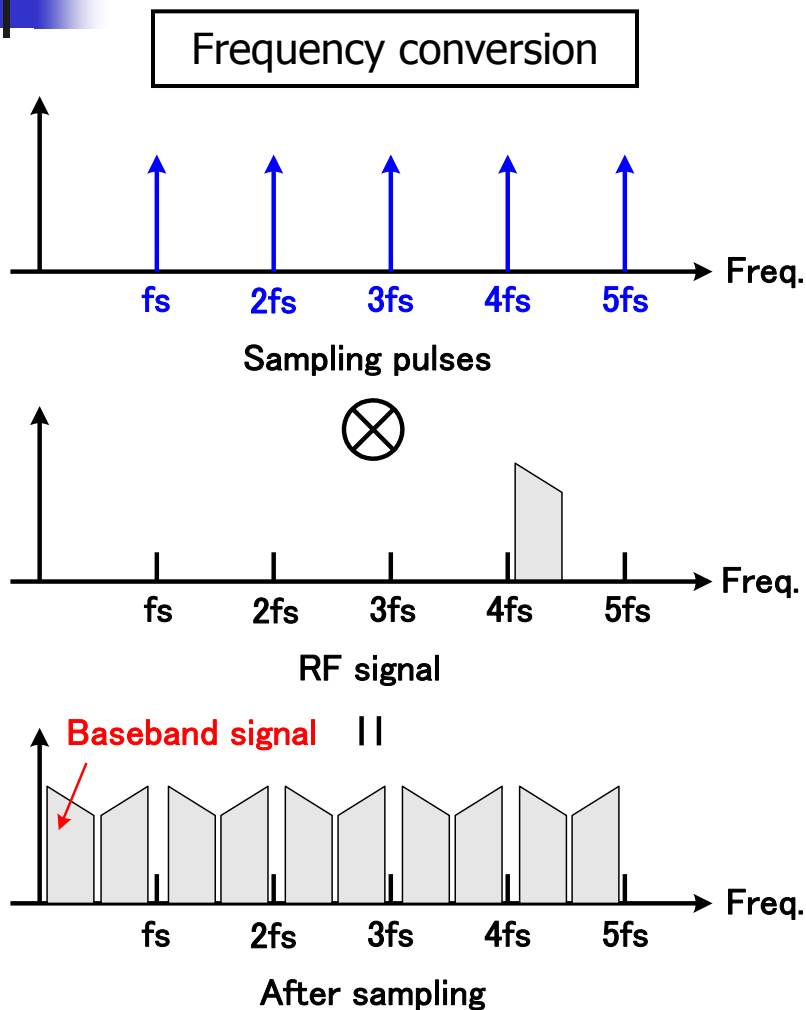


$V_{out}$

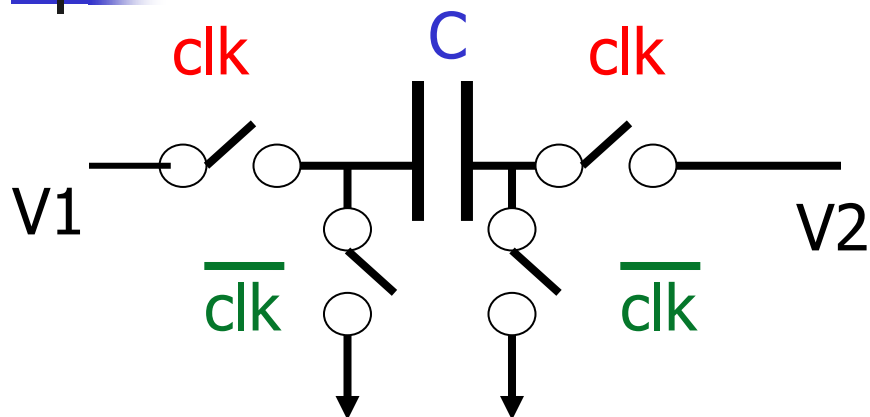


# サンプリング・ミキサ

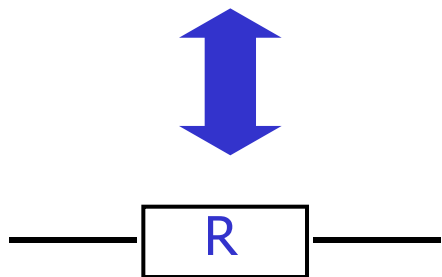
## ダウンサンプリング - 周波数領域 -



# スイッチド・キャパシタ回路

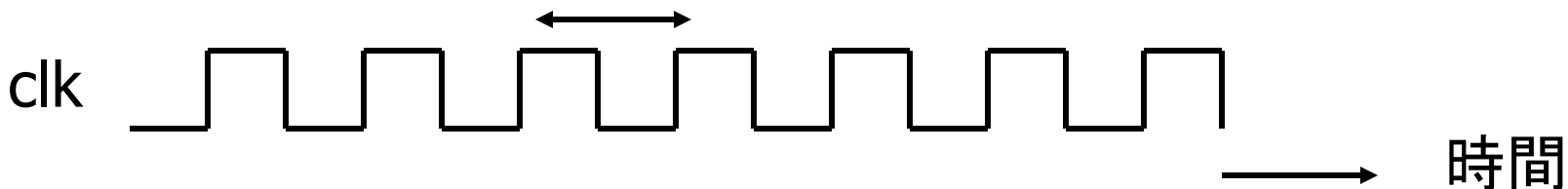


- 容量 C とスイッチで等価的に抵抗 R を実現
- MOSスイッチ使用
- **バイポーラでは実現困難**
- 米国カルフォルニア大学の大学院生が考案
- 多くの製品に使用。



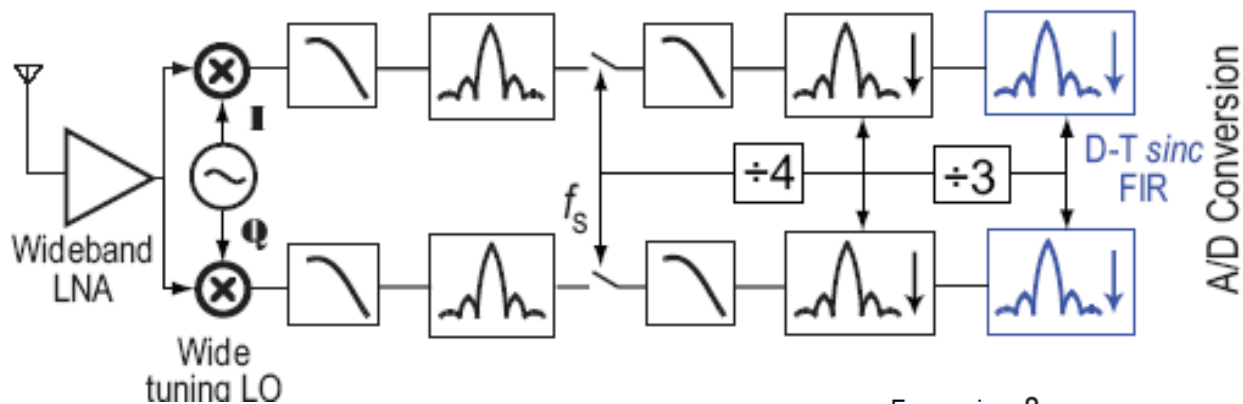
$$R = T / C$$

T: clk 周期

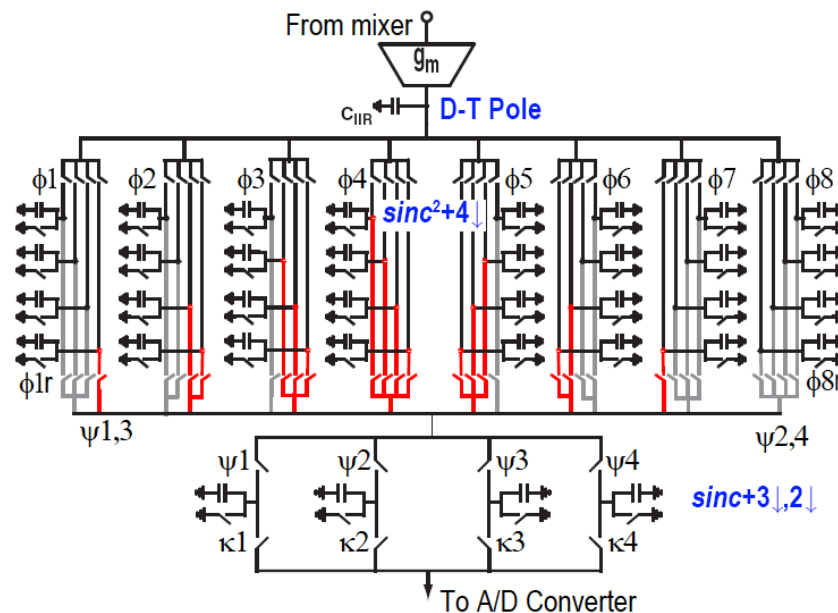




# ソフトウェア無線用受信機 (TI社、UCLA)



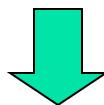
- 初段でキャリア周波数程度の高速サンプリング
- プログラマブル・アナログ・サンプリング・フィルタ
- マルチレート信号処理
- 周波数領域(伝達関数)と時間領域(畳み込み積分)





# デルタ・シグマAD/DA変調技術

- アナログ最小、デジタルリッチな構成
- スピードを精度に変換
- 高精度なデバイス、回路不要

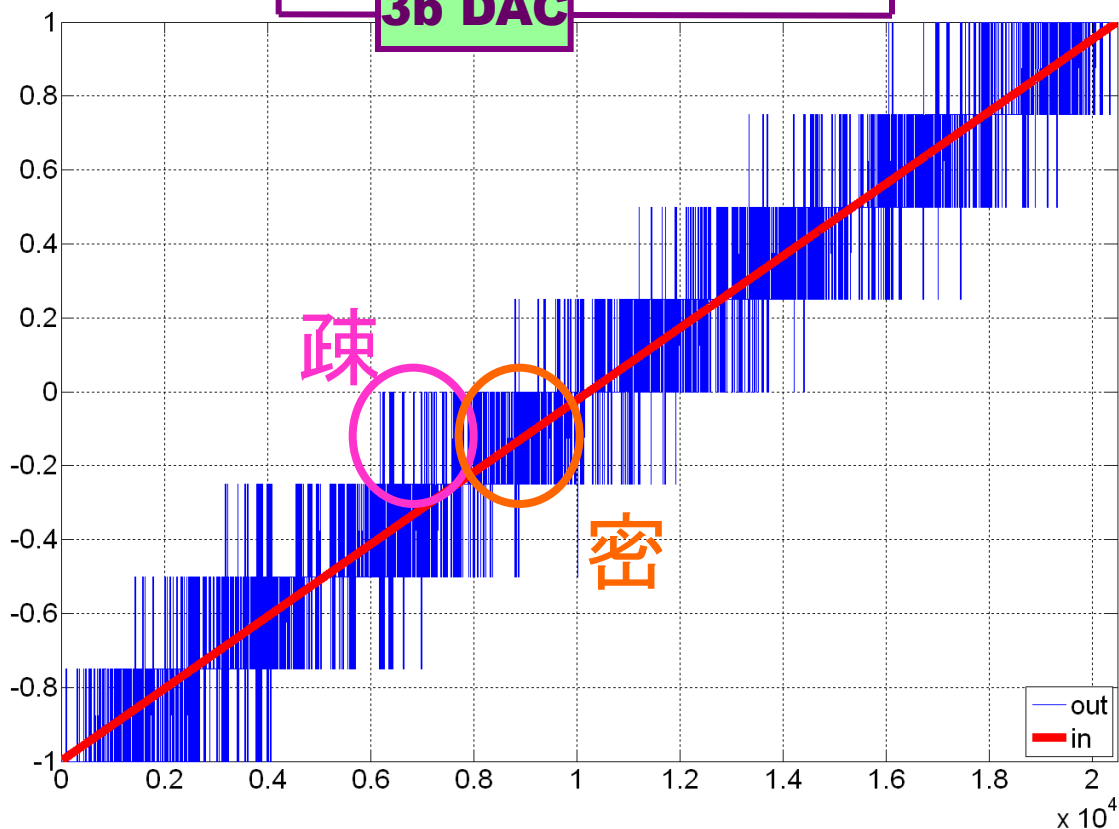
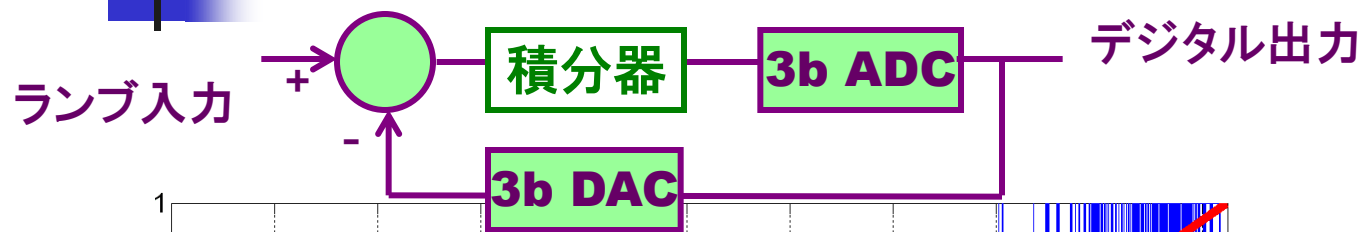


ナノCMOSで高精度なADC/DACを  
実現するのに適した構成

経験則：デルタシグマ変調技術を使うとうまくいく

- DC-DC変換器制御
- 完全デジタルPLL
- デルタシグマTDC

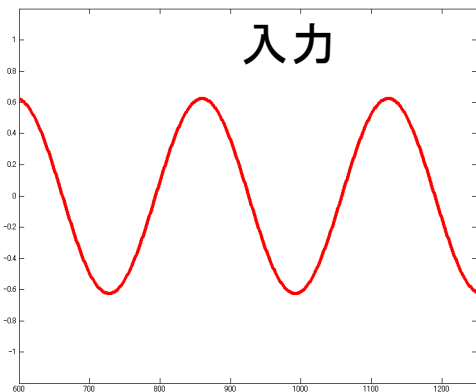
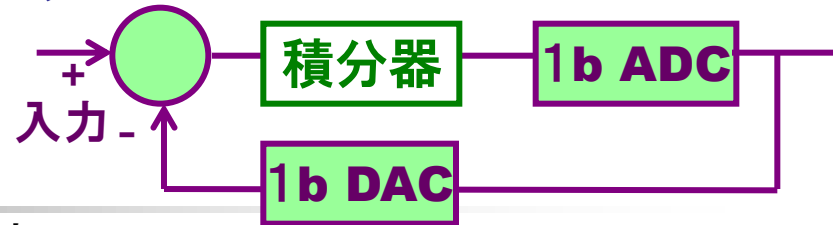
# デルタシグマ変調による高精度化



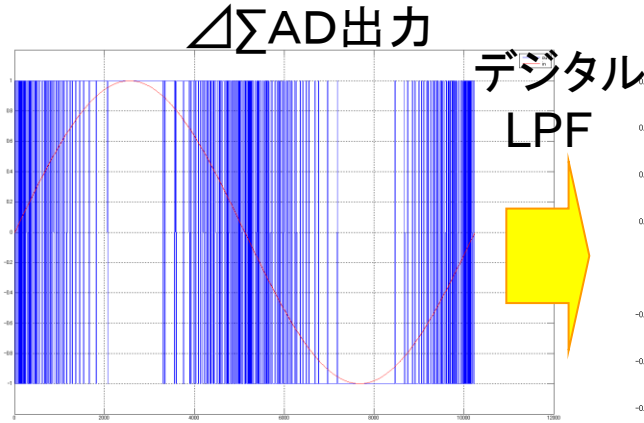
内部のADC  
は低分解能

疎密により  
より細かい  
デジタル値を  
表現できる

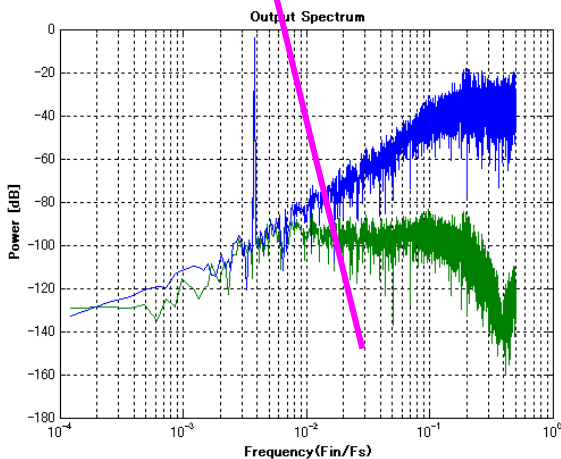
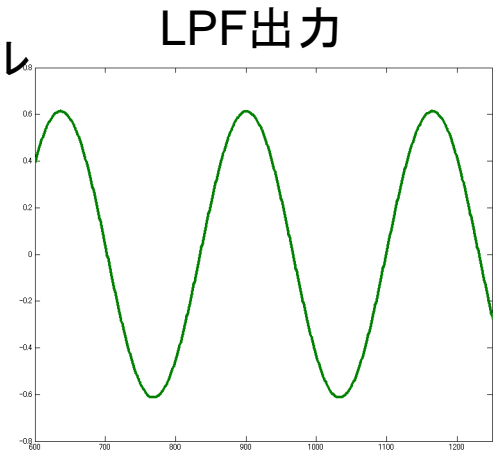
# デルタシグマAD変調器の 入出力波形



$\Delta\Sigma$ 変調



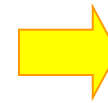
デジタル  
LPF



PDM(パルス密度変調)

↓  
フーリエ級数展開

↓  
高周波成分 大

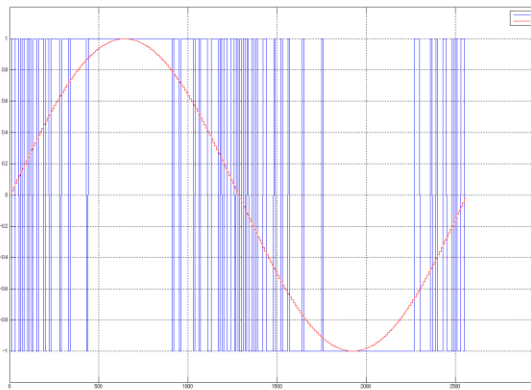


ローパスフィルタ

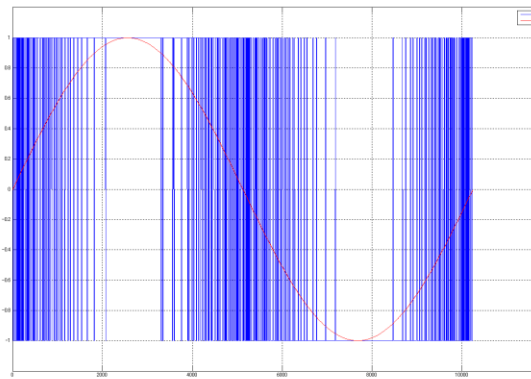
↓  
高周波成分(ノイズ)除去

↓  
元信号 復元

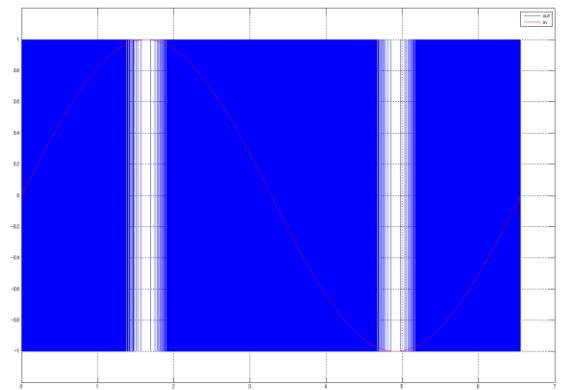
# 高速サンプリングによる高精度化



OSR=2<sup>8</sup>



OSR=2<sup>10</sup>



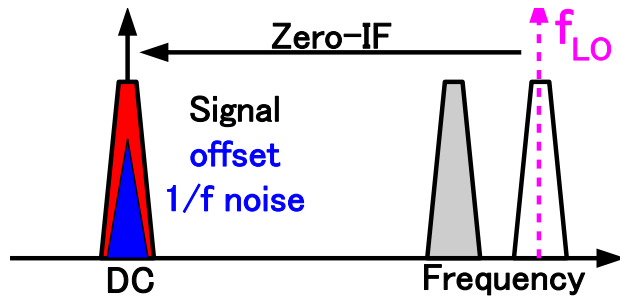
OSR=2<sup>16</sup>

OSRが大きいほどON,OFFの回数が増える  
⇒細かい値が表現可能。

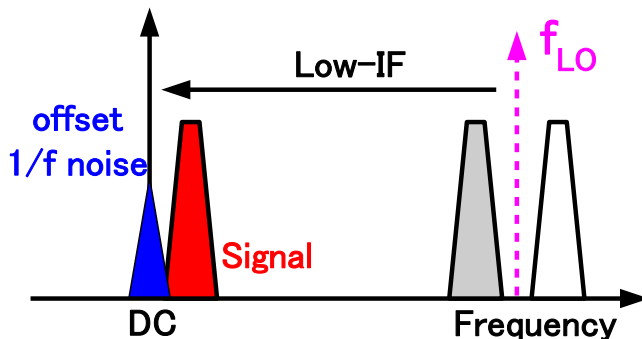
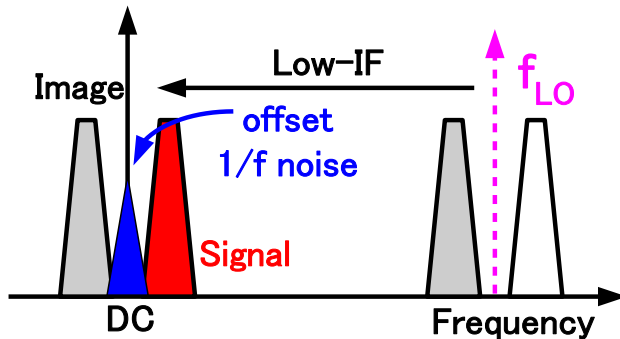
OSR: OverSampling Ratio (オーバーサンプリング比)

# 受信機方式の比較

## ダイレクト・コンバージョン受信機



## Low-IF受信機



- RF → ベースバンド
- Zero-IF
  - ⇒ イメージ成分は生じない
- DCオフセット、1/fノイズ 影響大

- RF → Low-IF
- イメージ成分もAD変換



- 消費電力の無駄



- 複素バンドパス  $\Delta\Sigma$  AD変調器  
その問題を解決

# 複素信号処理

Complex signal is NOT complex

物理的に「複素信号」は存在しない。

I, Q の2つの信号を

$$V = I + jQ$$

と数学的に表現

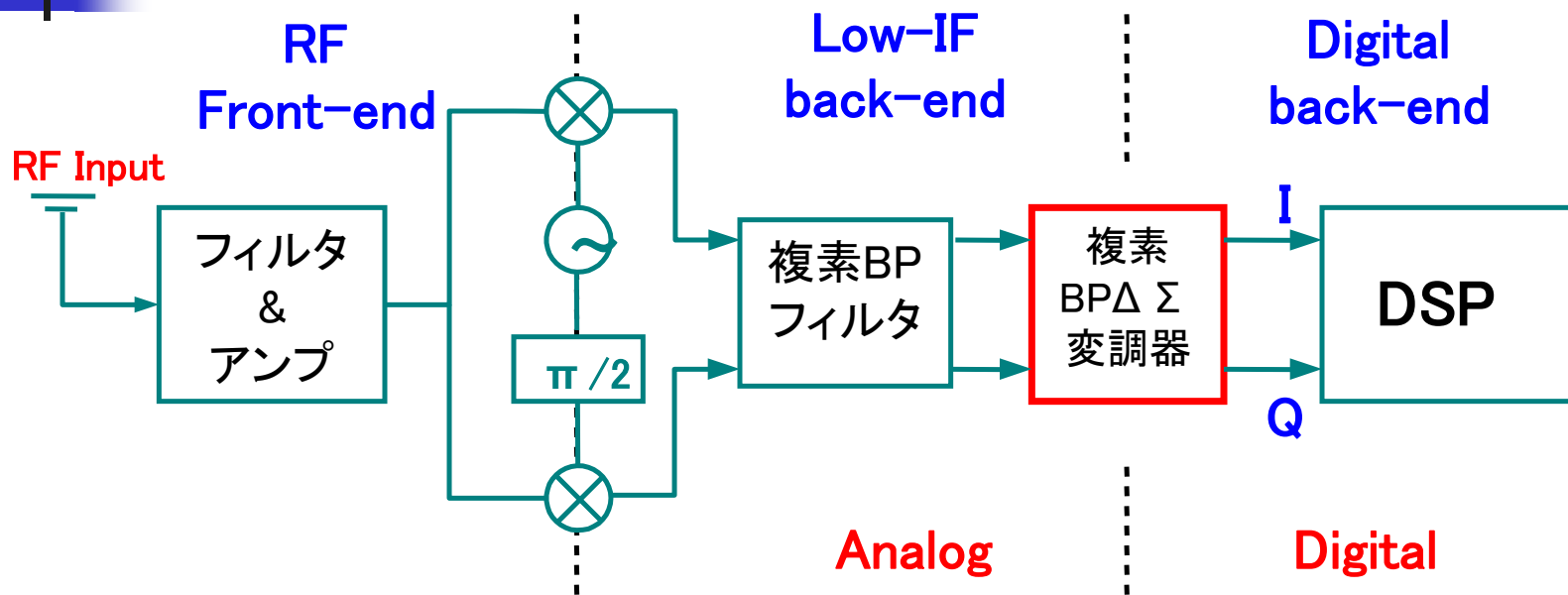
→ 理論的に見通しがよくなる。

I: In-phase (同相信号)

Q: Quadrature phase (直交位相信号)

# 複素バンドパス $\Delta\Sigma$ AD変調器を用いた 低IF受信機

携帯電、無線LAN、ブルートゥース用

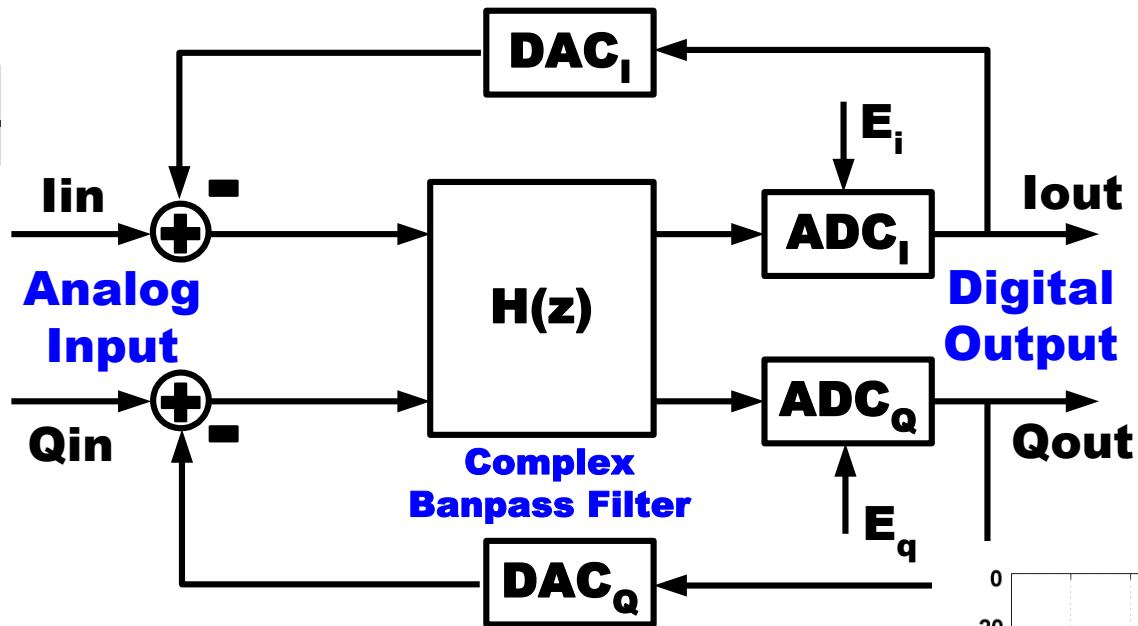


- イメージ成分をAD変換しない
- 低消費電力

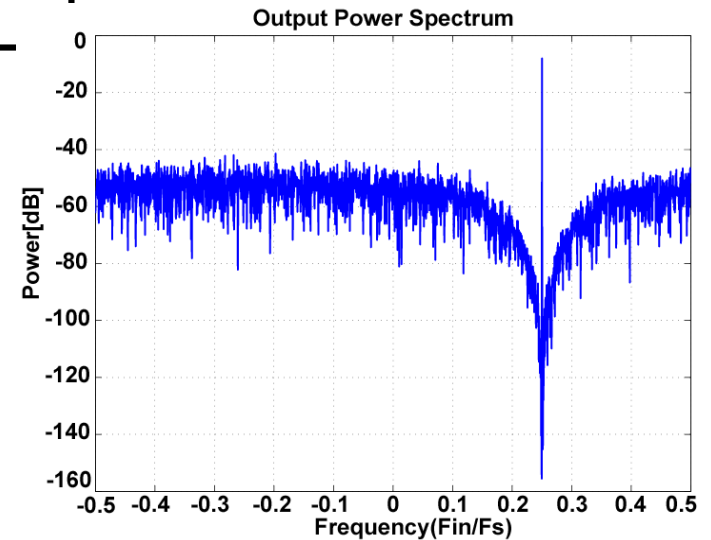
➡ 複素信号処理、ダイナミック・マッチングにより実現



# 複素バンドパス $\Delta\Sigma$ AD変調器のブロック

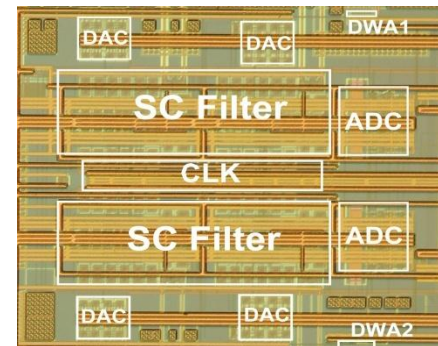


$$I_{out} + jQ_{out} = \frac{H}{1+H} (I_{in} + jQ_{in}) + \frac{1}{1+H} (E_i + jE_q)$$

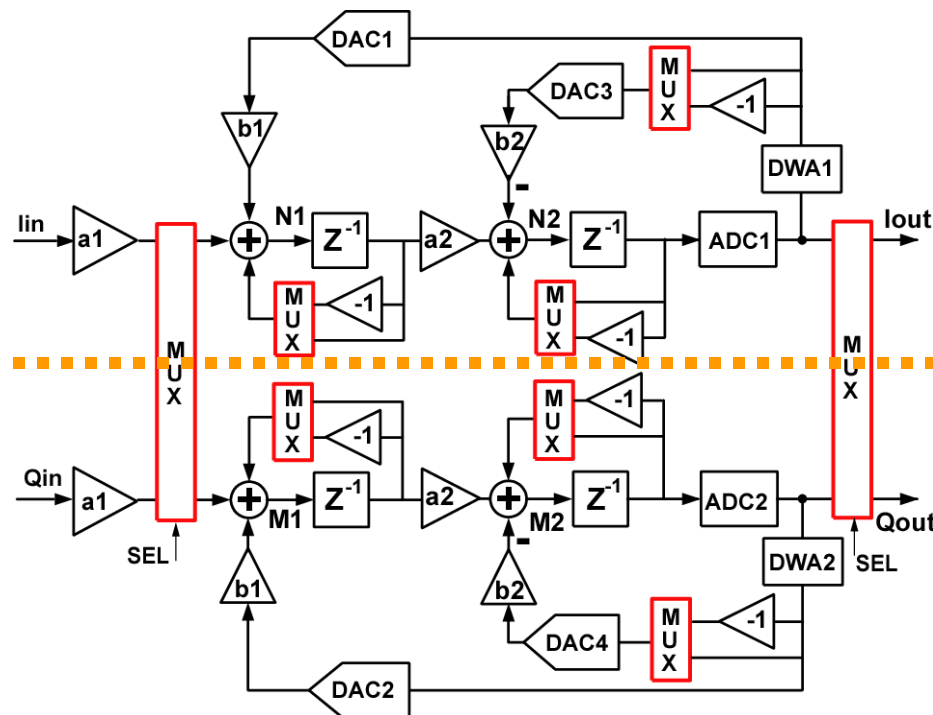
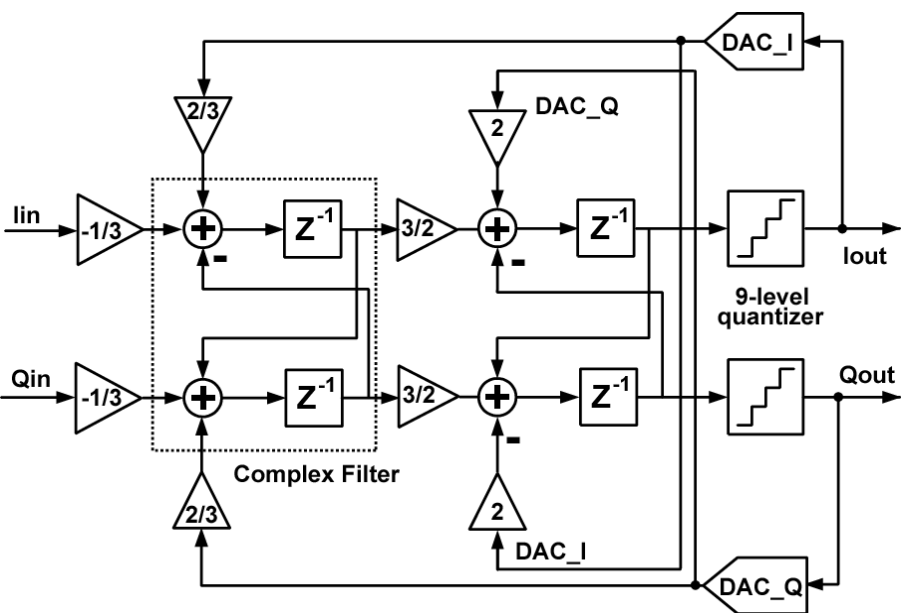


複素バンドパス・ノイズ・シェーブ

# 複素バンドパス $\Delta\Sigma$ AD変調器 の内部構成



チップ写真



- I、Q信号は上下の経路を交互的に使用  
I、Q経路間ミスマッチの影響を軽減
- マルチビットDACのダイナミック・マッチングによる線形化



# 発表内容

---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- **デジタルアシストアナログ技術**
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

# 時間領域アナログ回路

## (領域3: 振幅離散、時間連続)

- CMOSの微細化、電源電圧の低下

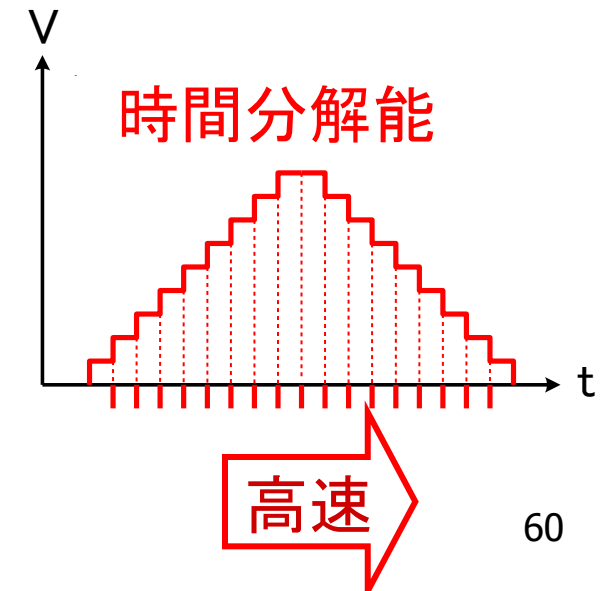
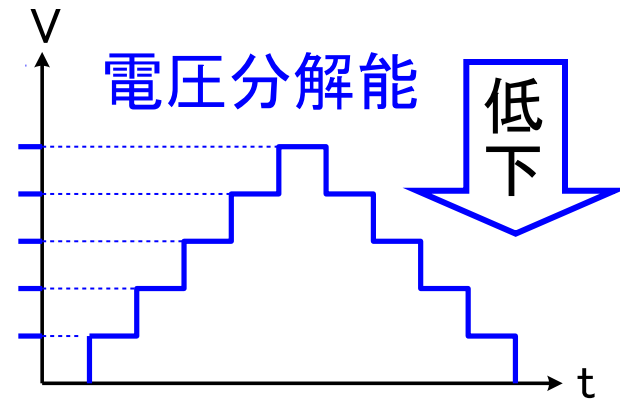
$V_{dd} \rightarrow$  小 (1V以下)  
スイッチング時間  $\rightarrow$  高速  
(数十ピコ秒)

- 微細CMOS高性能化のためには

アナログ信号での電圧分解能



デジタル信号端遷移の時間分解能





## 2名のパイオニア、中心人物

---

- CMOS TDC 回路の考案者

日本人の高エネルギー加速器実験の研究者

新井康夫 氏

1988年 VLSI Circuit Symp にて発表

- All Digital PLL の考案者

Bogdan Staszewski 氏 (元 TI社)

同社にてDigital Radio Processor のプロジェクト推進  
「微細MOSにては、  
時間分解能は電圧分解能より優れている。」

# 「時間」を信号として積極利用は 常識をはずれることに注意

Lateral Thinking : 水平思考


- デジタル回路でトラブルのは  
メモリインターフェース回路  
タイミング関係
- アナログ回路で難しいのは  
信号の時間遷移  
高周波特性



「回路で時間軸の設計は難しい」のが常識

# 時間領域回路の特徴

## — 電圧、電流とは異なる —

- リング発振回路を利用可
- 基準信号  $f_{ref}$  から正確に  $f_{ref}/2, f_{ref}/4, \dots$  の信号を生成可能  
(電圧  $V_{ref}$  から正確に  $V_{ref}/2, V_{ref}/4, \dots$  は生成は難しい。ADC/DAC設計では重要。)
- **クロック同期**  **キリヒホッフの法則に対応**
- 時間差は増幅できる(時間差増幅回路:付録参照)
- 時間は保持(hold)が困難
- ジッタ、位相ノイズ: 難しい課題

# 時間領域回路の特徴 (2)

## — 電圧、電流とは異なる —

- **電圧領域:** 使用できる電圧は電源電圧まで。

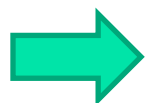
**時間領域:** 時間は無限に続く



ダイナミックレンジを無限大にできる

積分型ADC,  $\Delta\Sigma$ ADCが高分解能化できる理由

- **時間領域アナログ回路:** 時間方向に情報をもつ  
しかし**振幅は2値** ( $V_{ss}$ ,  $V_{dd}$ )



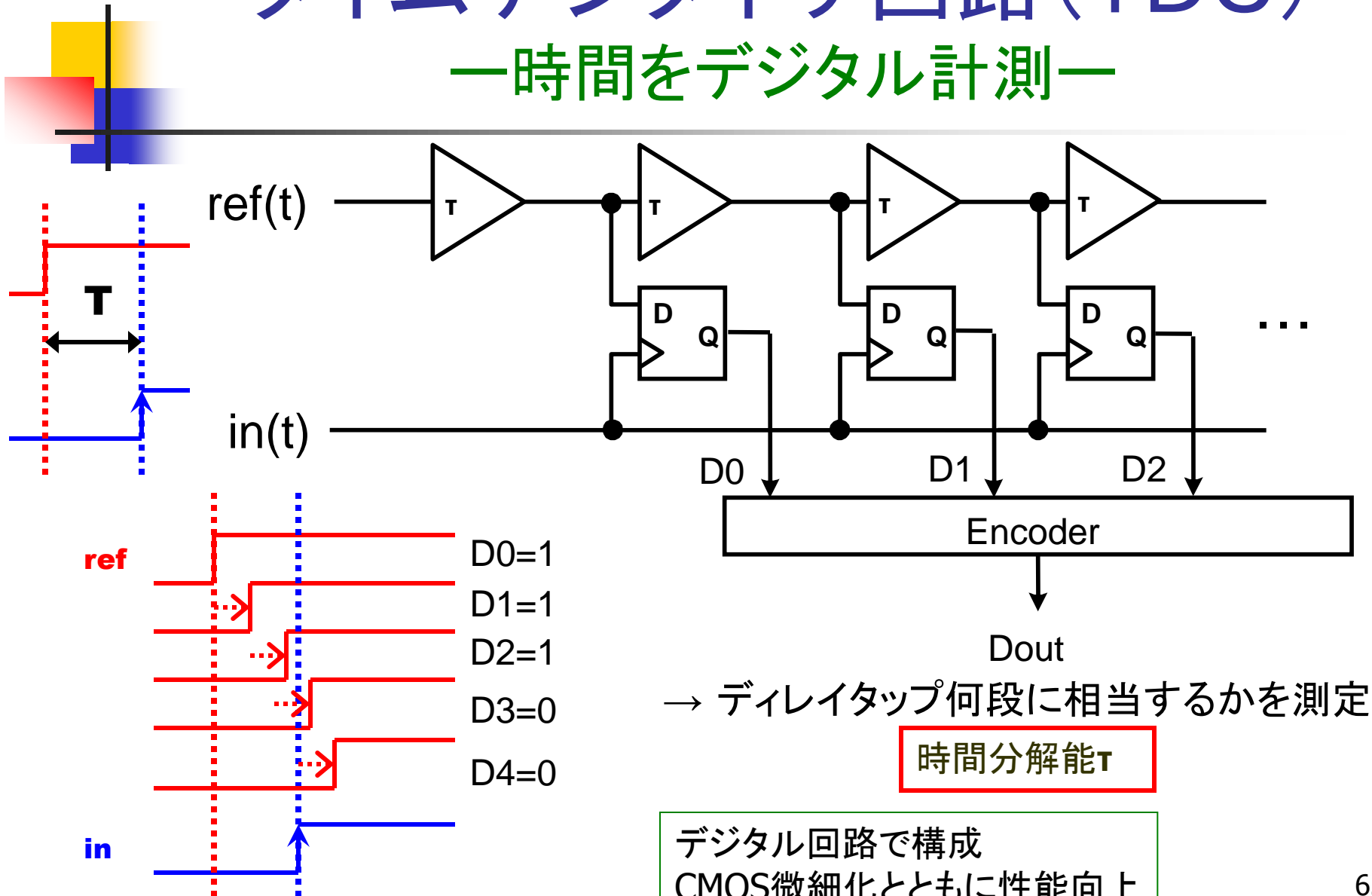
デジタル回路で構成できる。

ただし遅延の制御・調整・補正が必要。

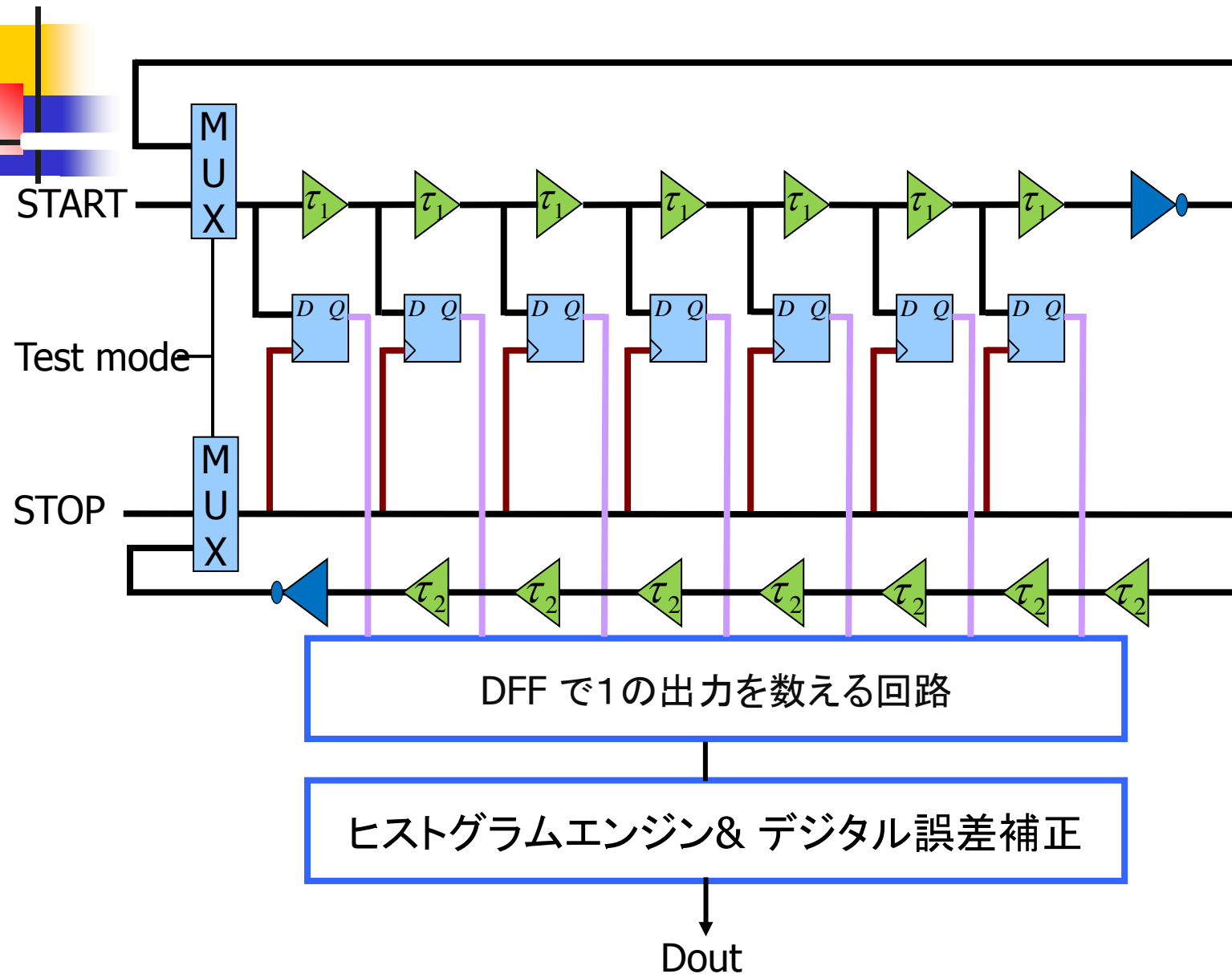


# タイムデジタイザ回路 (TDC)

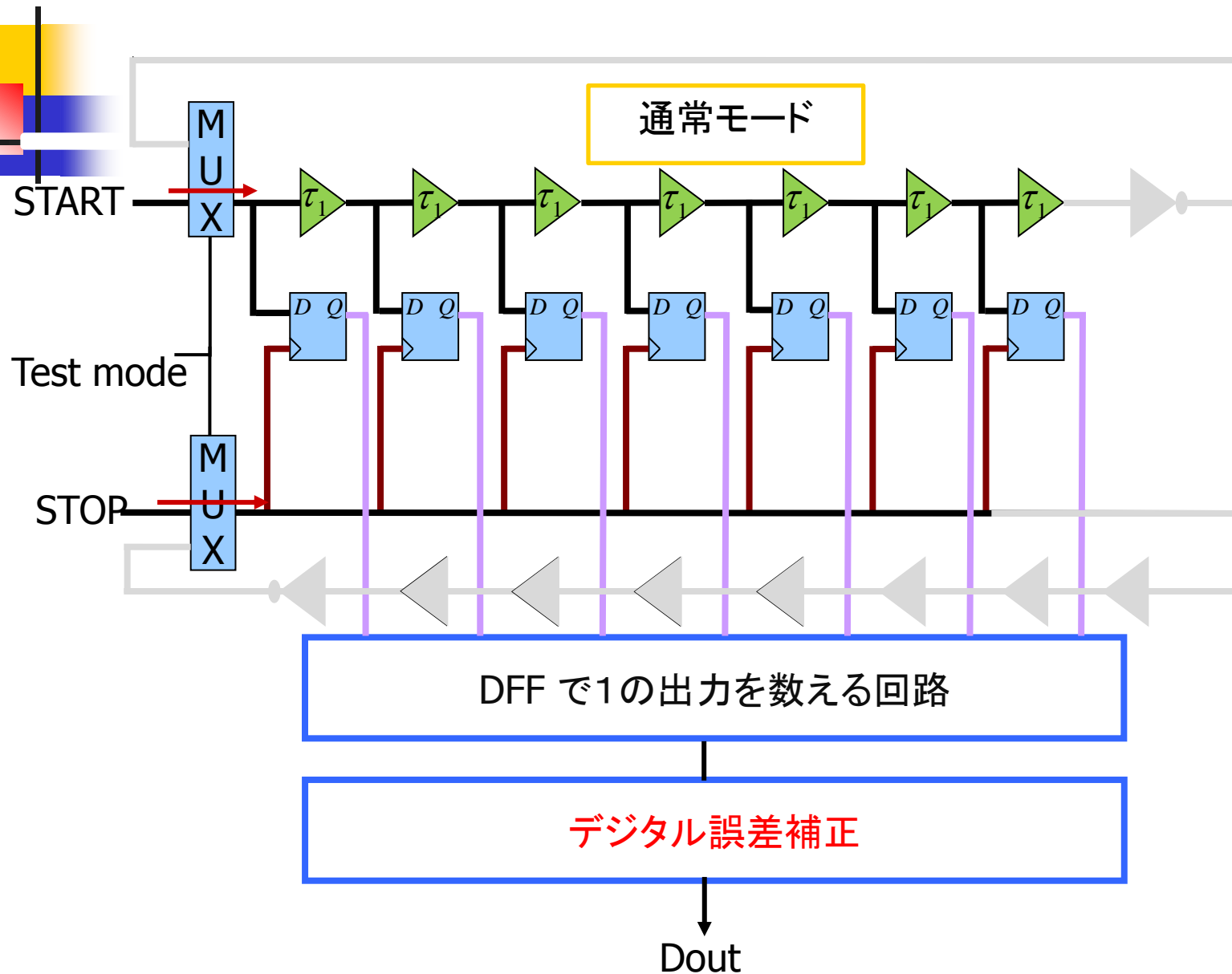
— 時間をデジタル計測 —



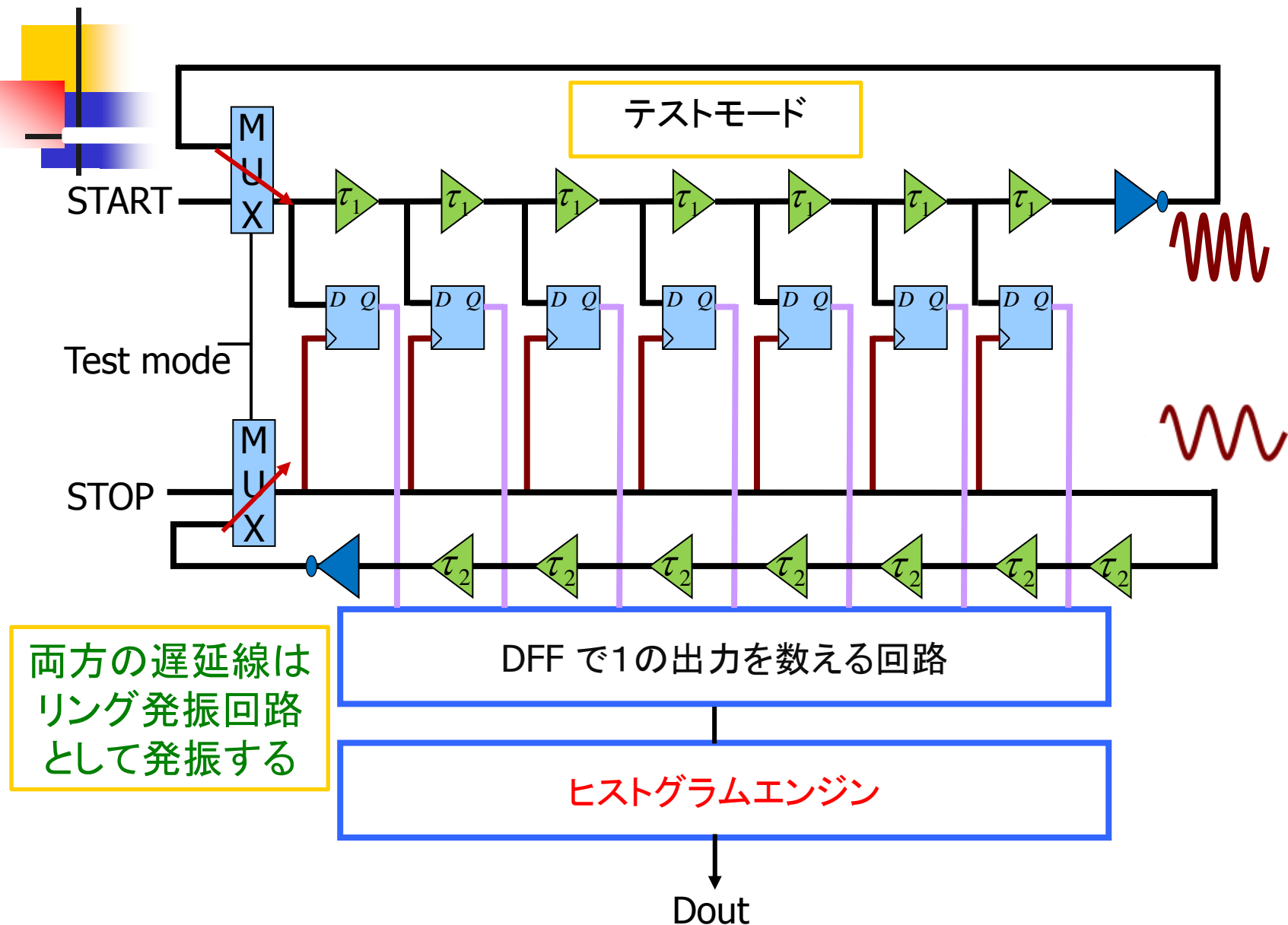
# 自己校正機能を備えたTDC回路の構成



# 自己校正機能を備えたTDC回路の構成



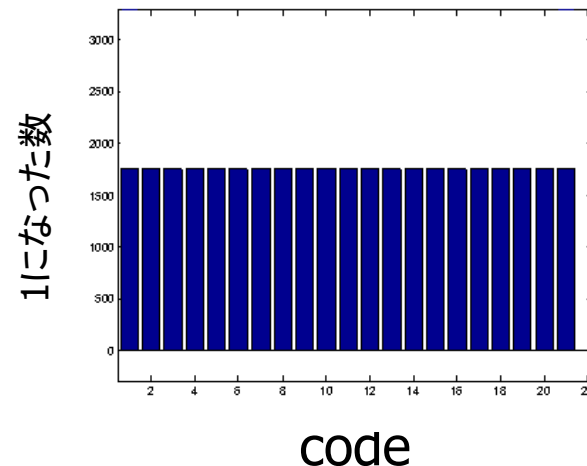
# 自己校正機能を備えたTDC回路の構成



# TDC自己校正の原理 (ヒストグラム法)

テストモード

両方のリング発振器は同期していない(無相関)



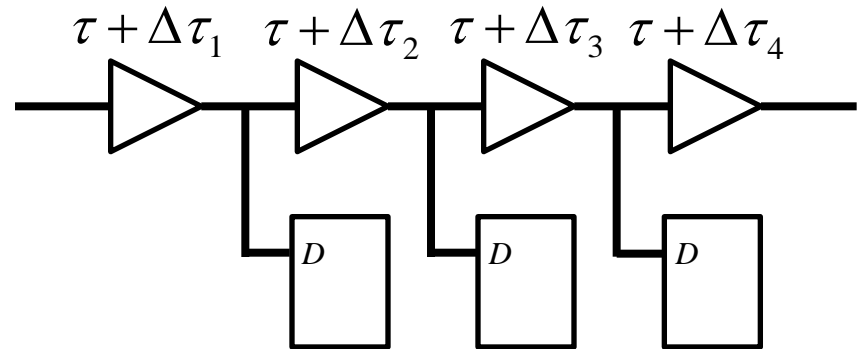
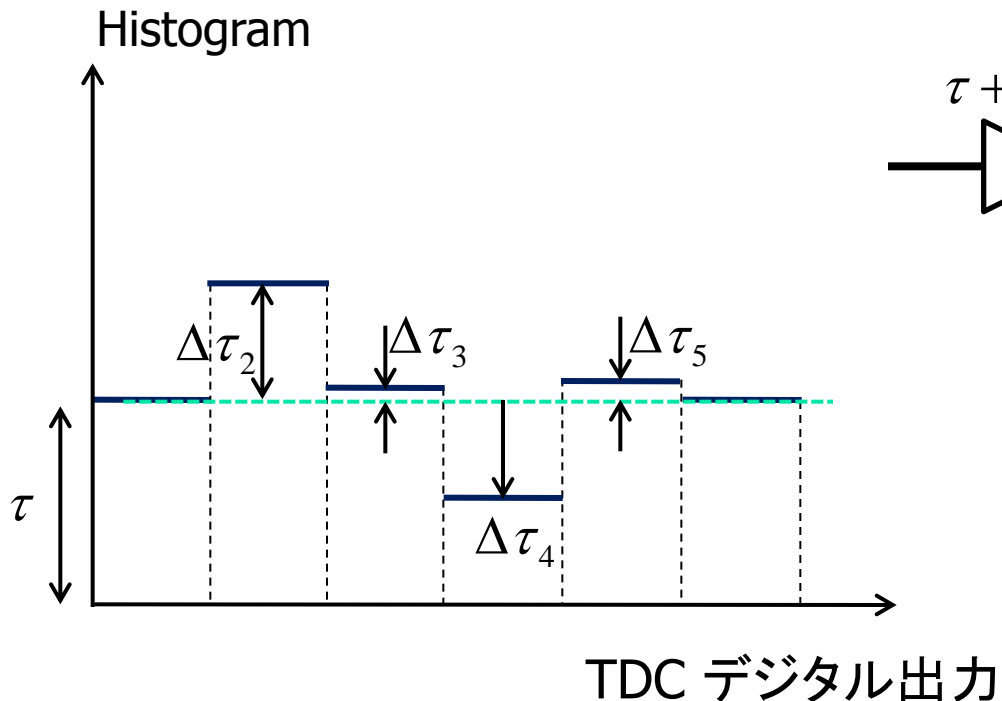
TDCが完全に線形

各出現コードの確率が等しい

- ・ 充分多くの点数をとれば各デジタルコードのヒストグラムは同一になる
  - ・ 逆に、TDCのヒストグラムデータからDNL, INLを計算

# TDC自己校正の原理 (非線形性の同定)

TDCが非線形の場合：  
遅延ばらつきによって生じるINLをヒストグラムより求め  
逆関数を計算



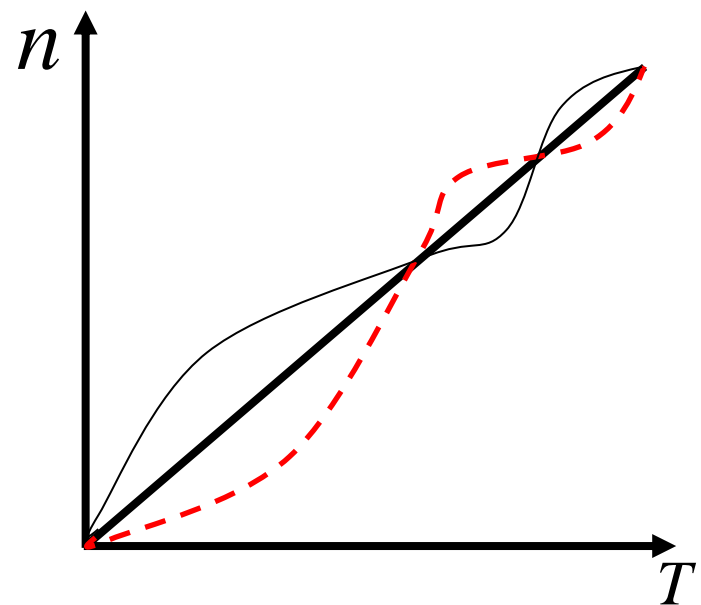
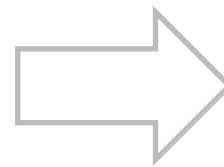
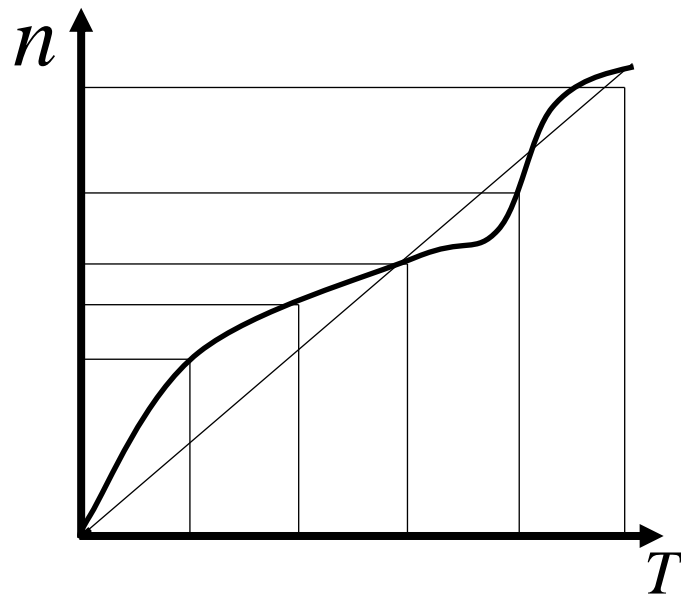
# TDC自己校正の原理 (非線形性の補正)

通常モード

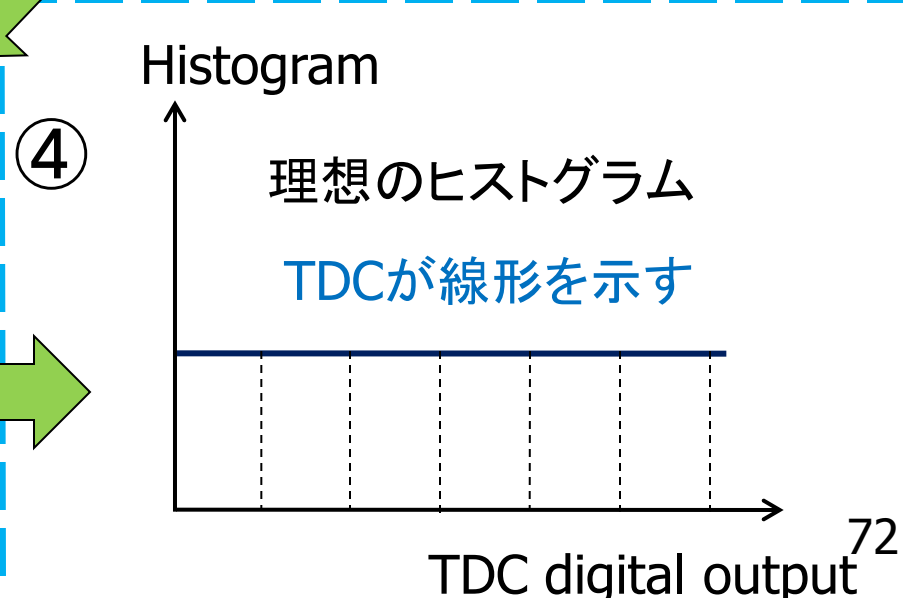
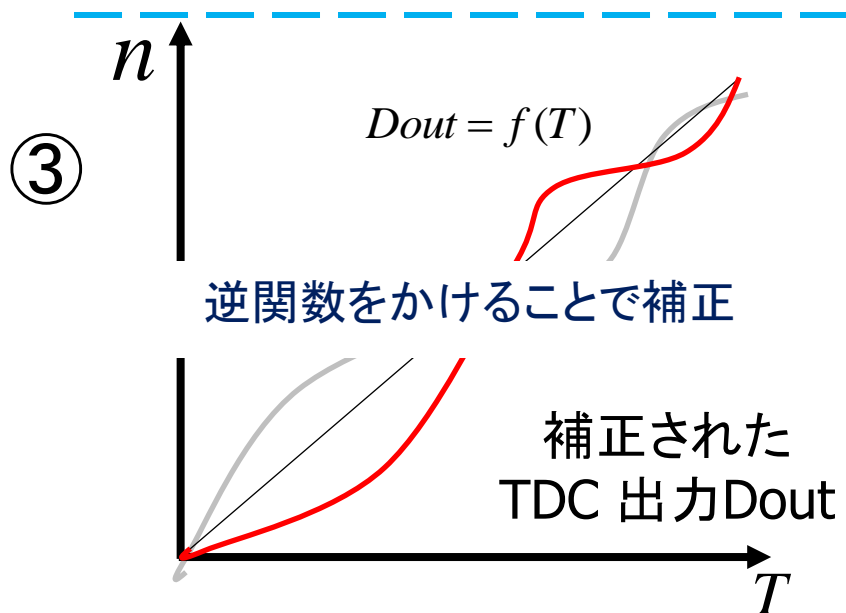
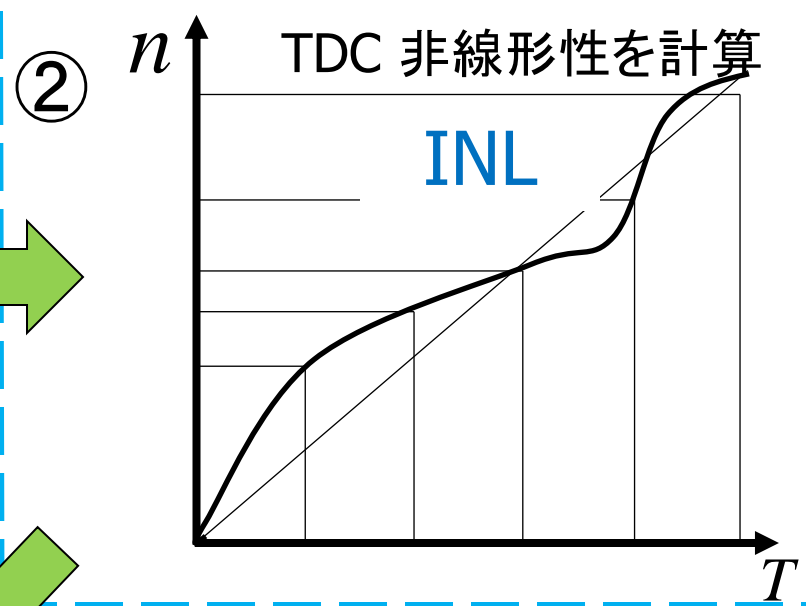
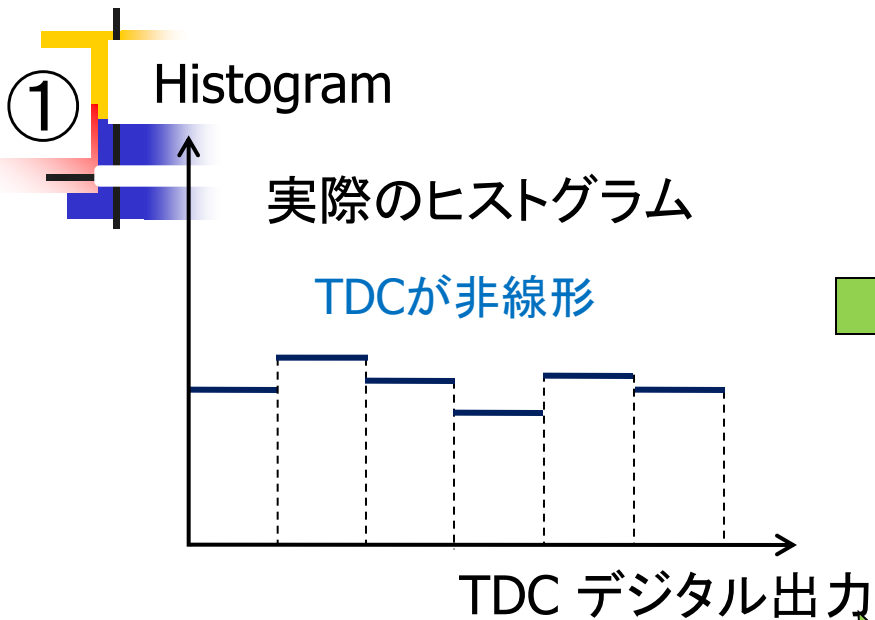
非線形性の逆関数をデジタル的にかける



線形性が得られる

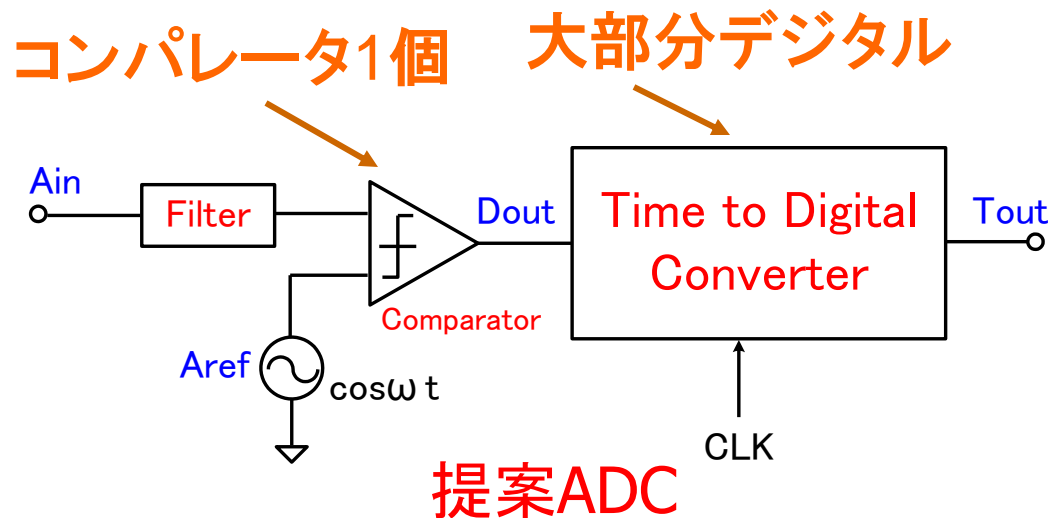


# 非線形性の自己校正





# 時間領域ADC



群馬大学  
社会人博士修了  
小室貴紀氏  
考案

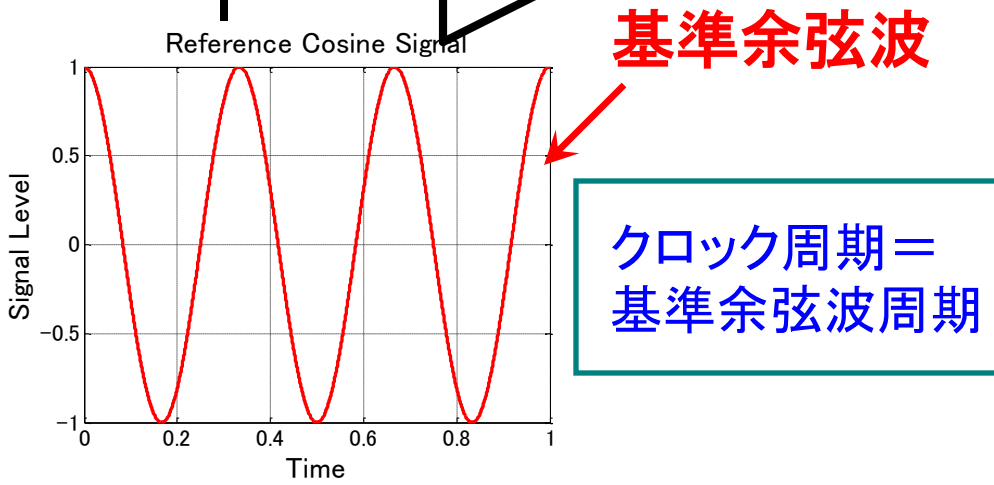
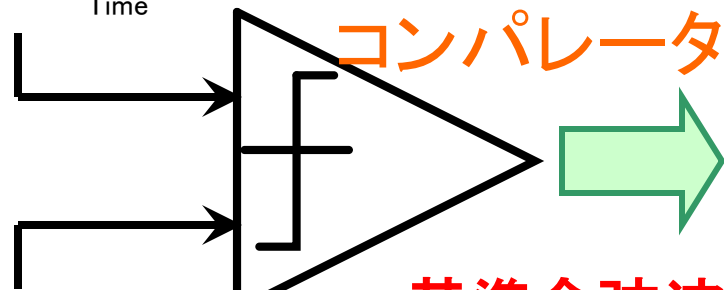
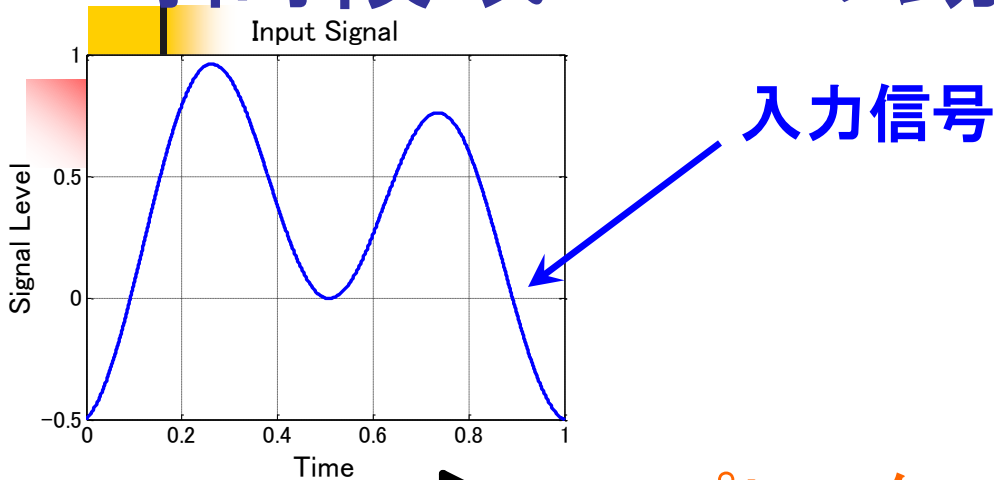
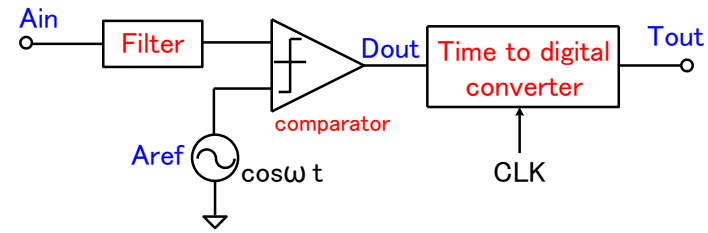
- 高速、高精度なサンプルホールド回路不要
- 非同期サンプリング
- デジタル信号処理が複雑

アナログの問題

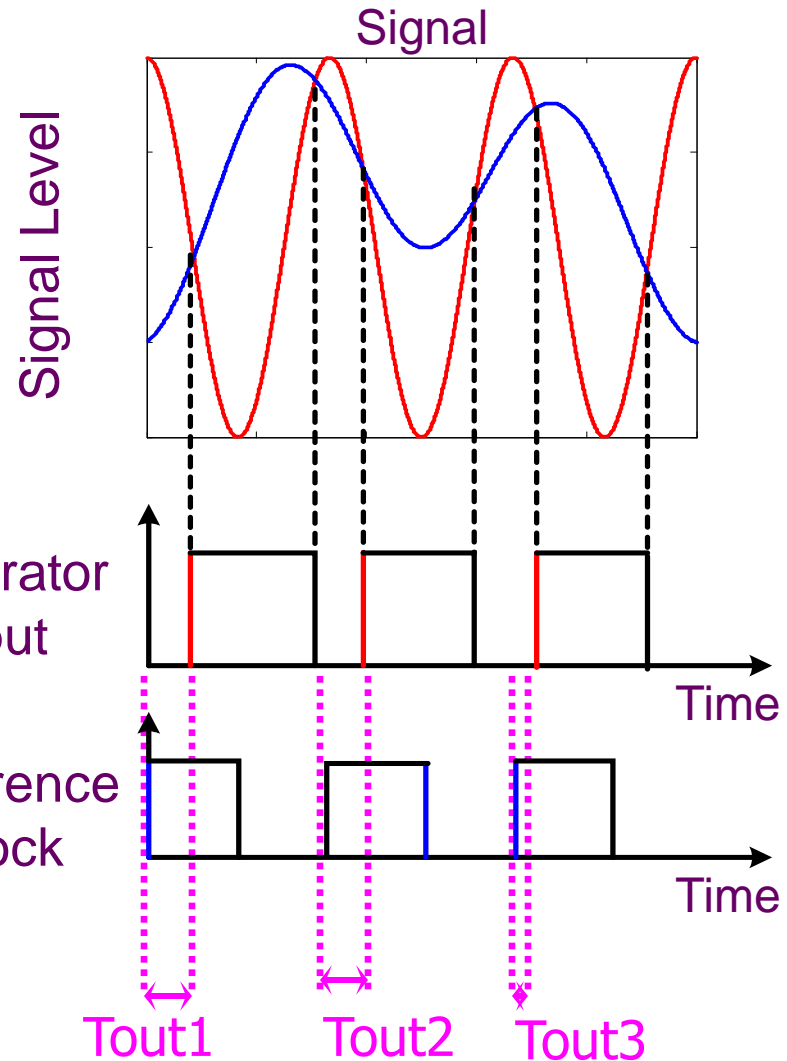


デジタルの問題

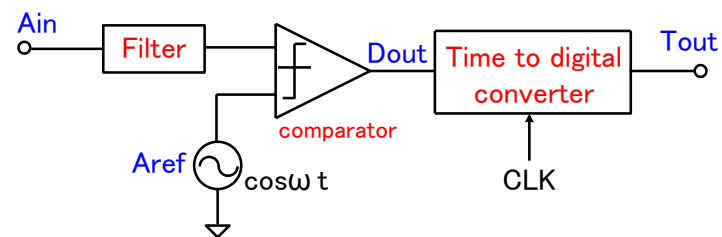
# 時間領域ADCの動作



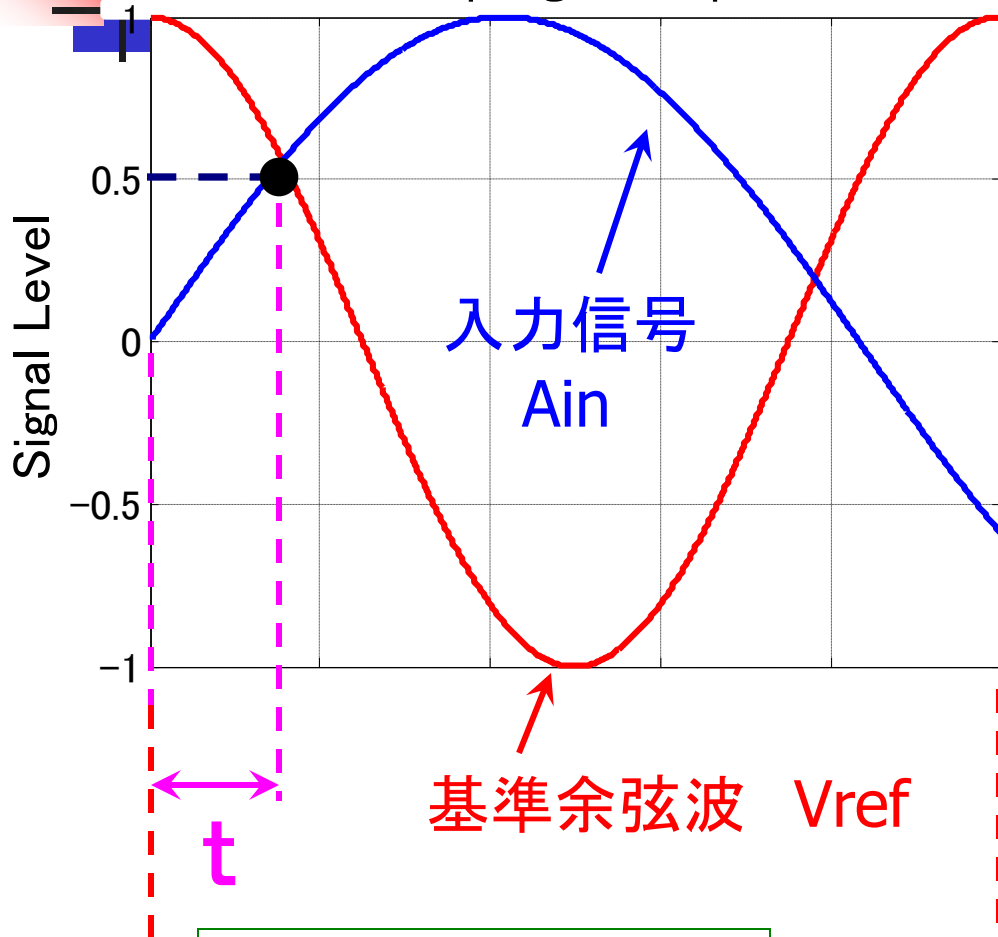
クロック周期 = 基準余弦波周期



# 時間領域ADCの原理

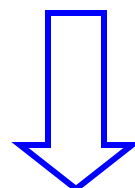


Sampling Principle



非同期サンプリング

時間tを測定



基準余弦波から振幅

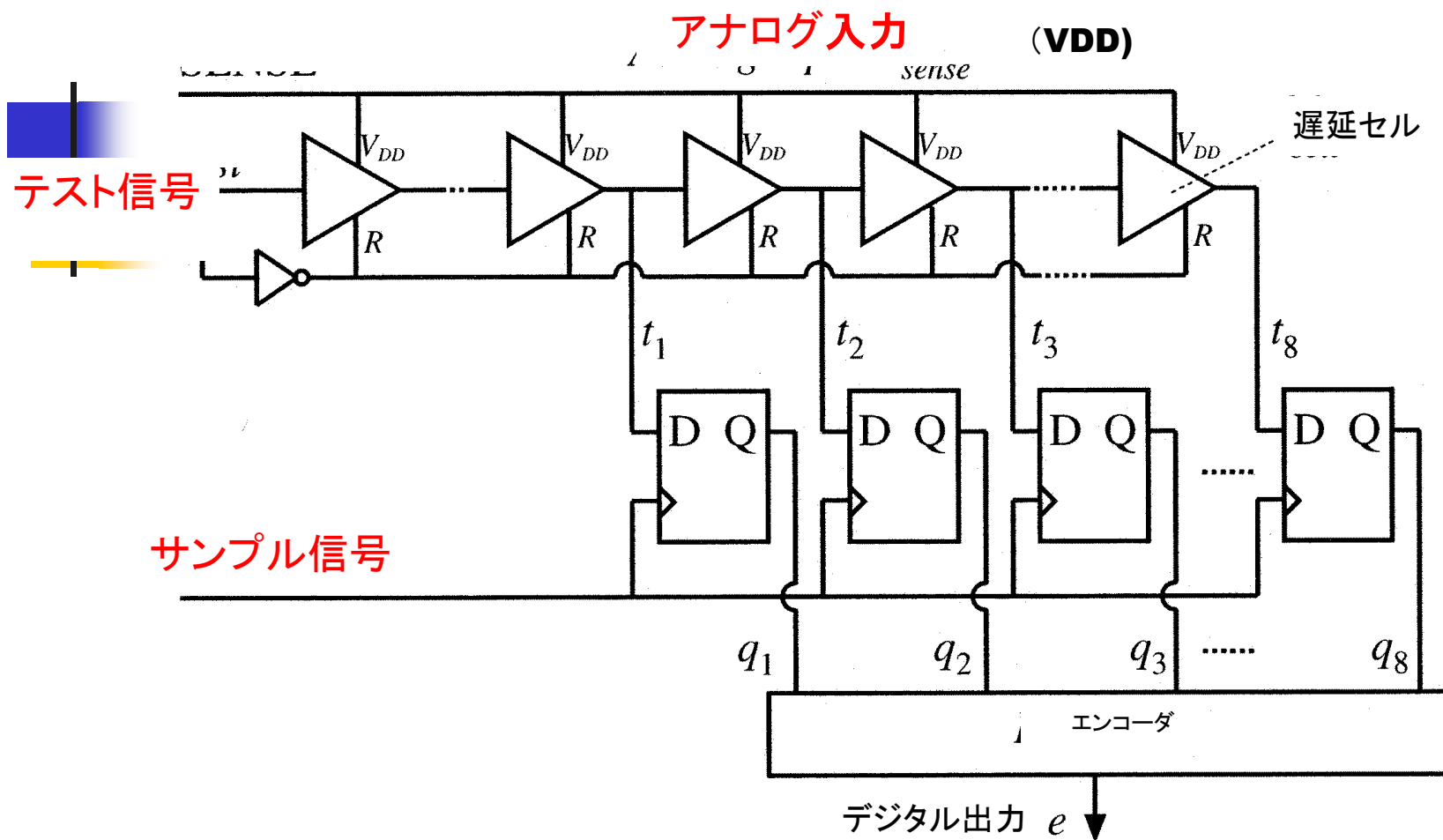
基準余弦波:  $V_{ref}(t) = A \cos\left(2\pi \frac{t}{T}\right)$

$$A \cos\left(2\pi \frac{t}{T}\right) = A_{in}(t)$$

$$\therefore t_n = T \arccos\left(\frac{A_{in}(t)}{A}\right)$$

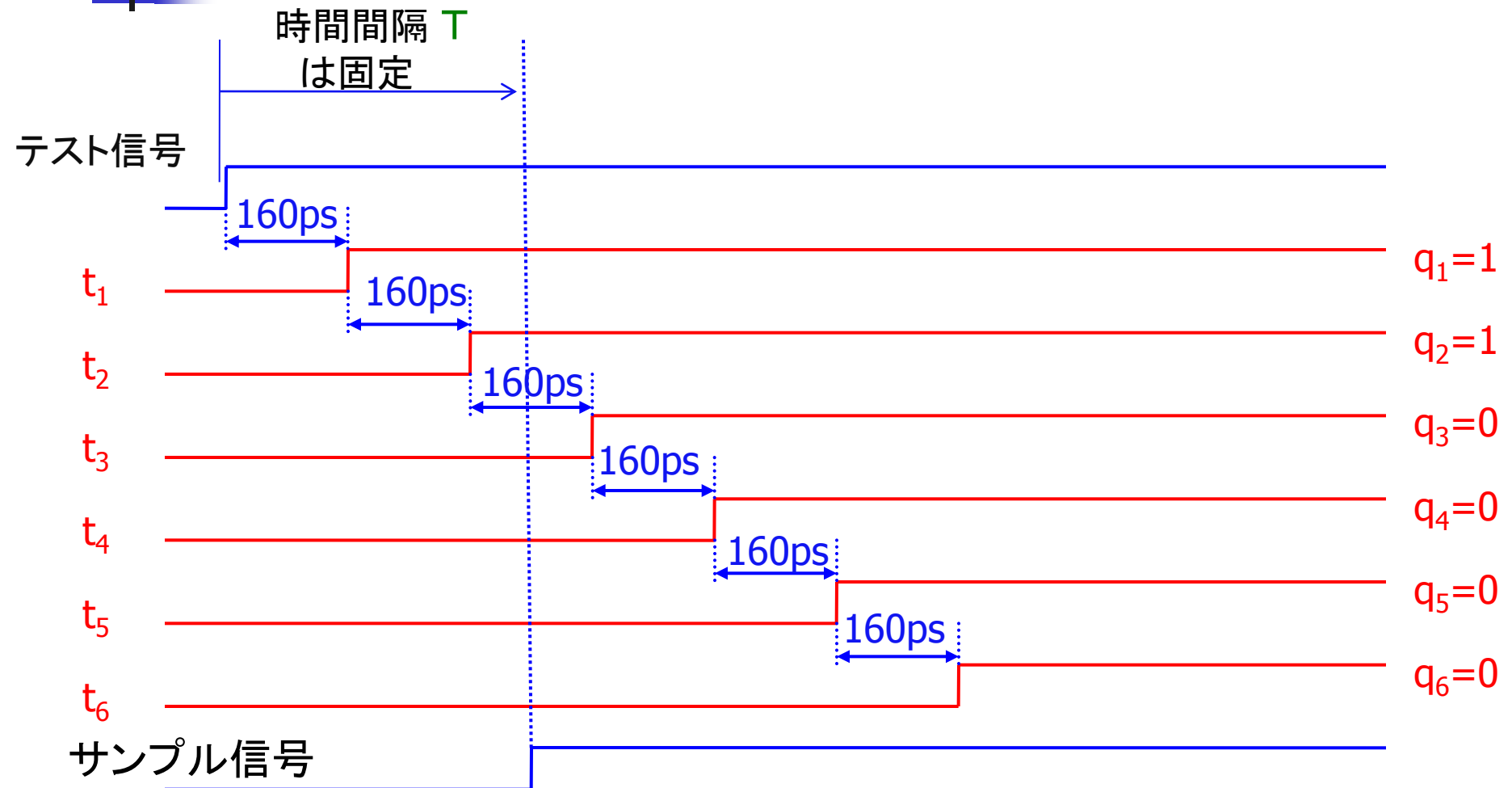
# TDCを用いたデジタル制御電源用AD変換器

## コロラド大学(米)



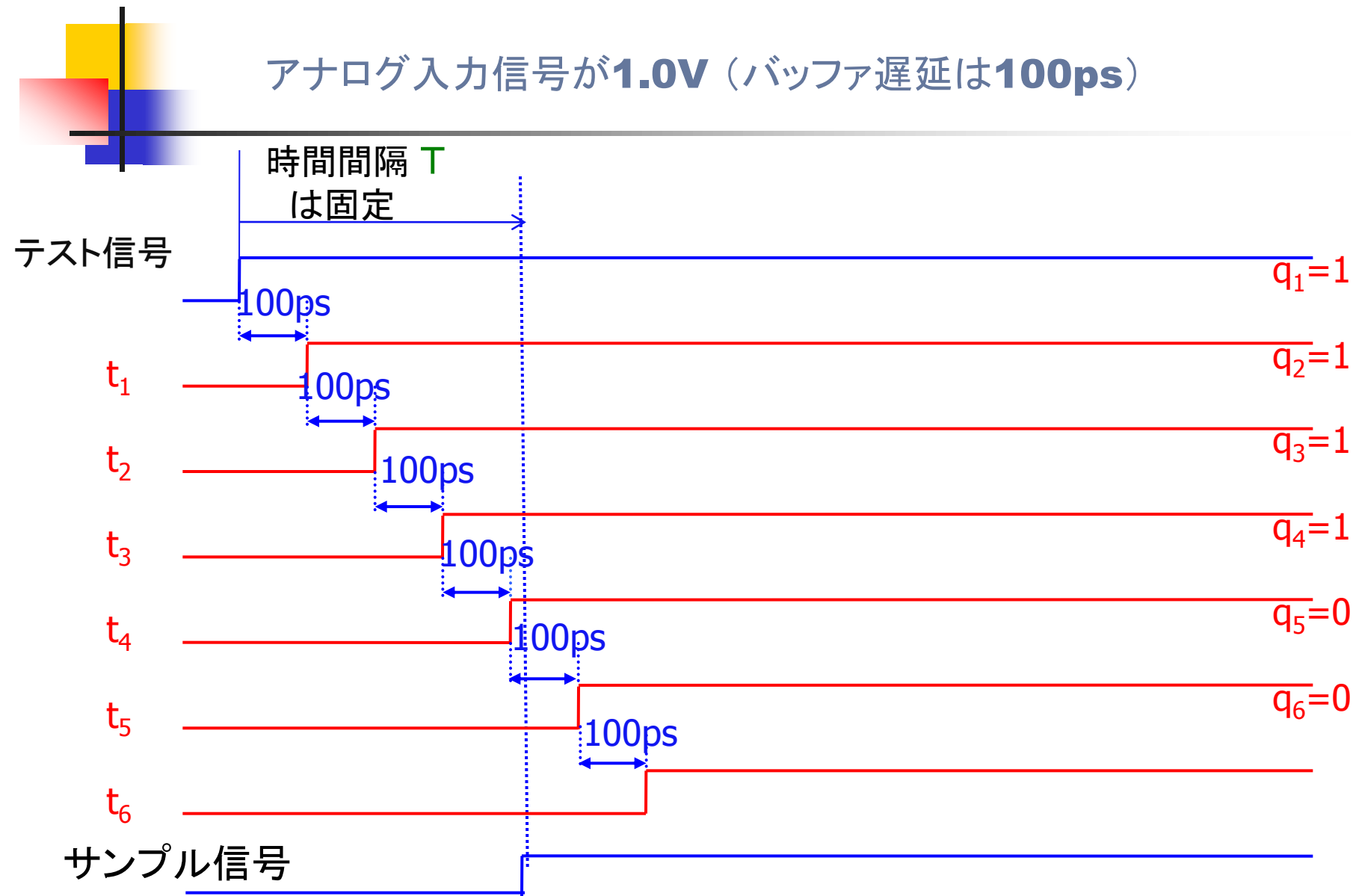
# TDCを用いたデジタル制御電源用AD変換器の動作

アナログ入力信号が**0.6V**（バッファ遅延は**160ps**）



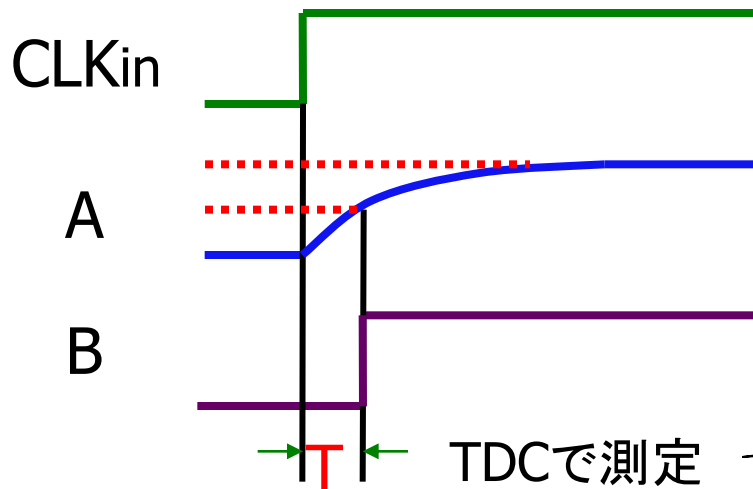
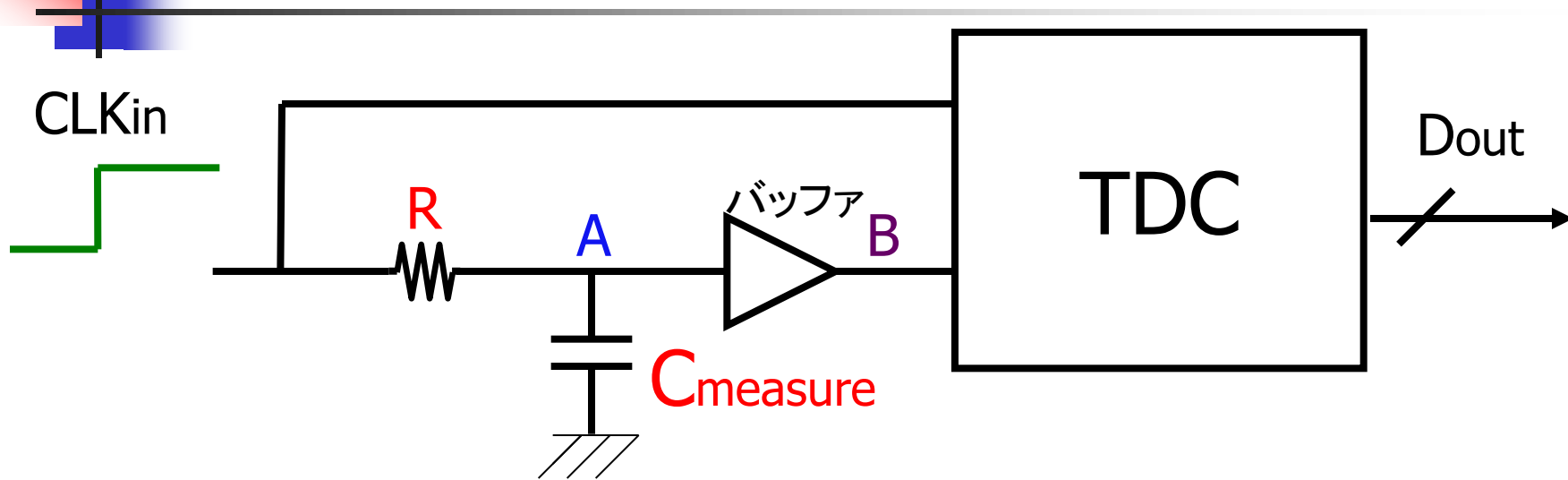
# TDCを用いたデジタル制御電源用AD変換器の動作

アナログ入力信号が**1.0V**（バッファ遅延は**100ps**）



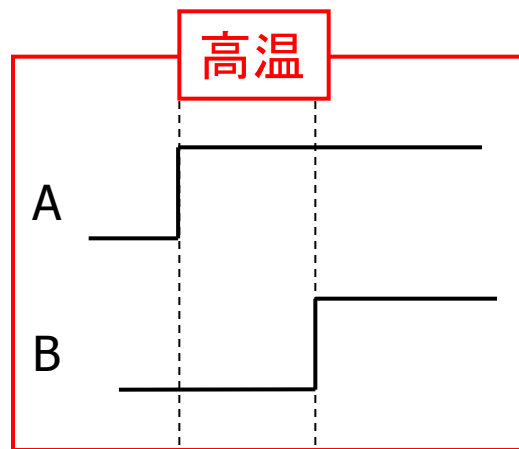
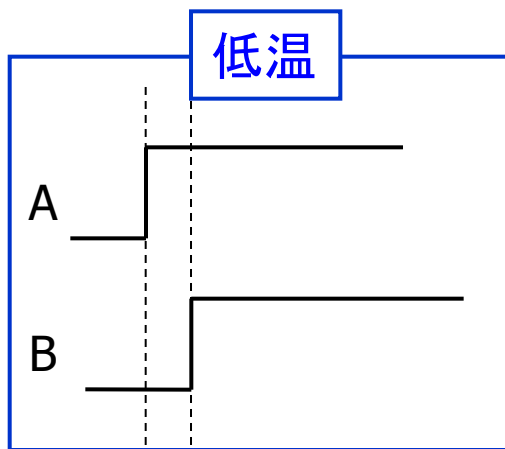
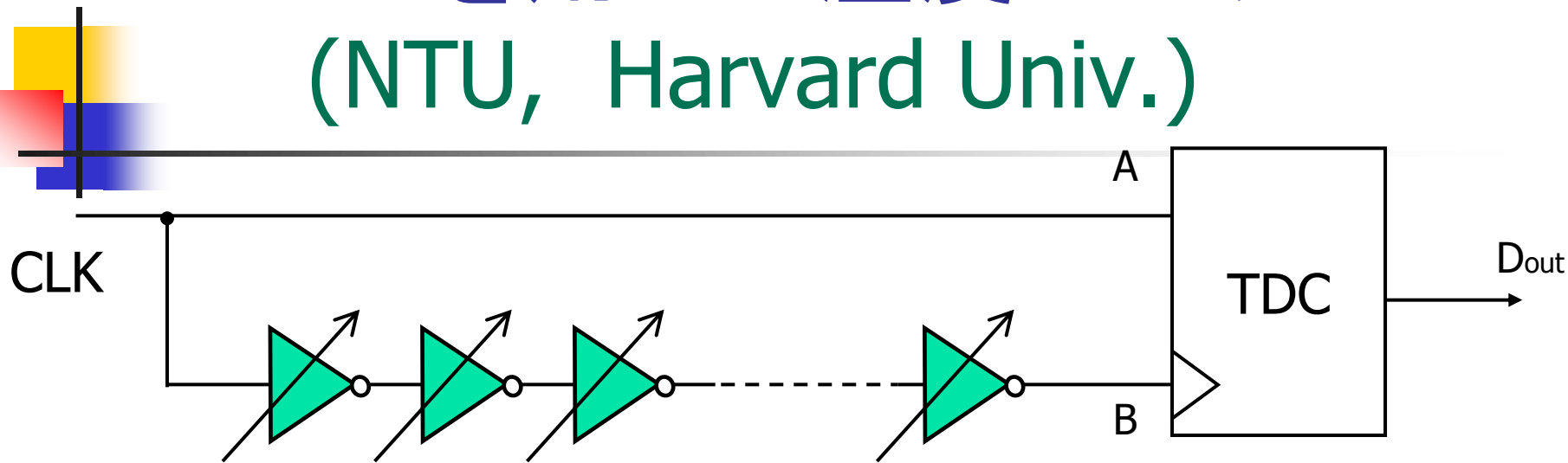
# TDCを用いた容量センサ

(ATLab Inc. (韓))



**T**は **R × C<sub>measure</sub>** に比例

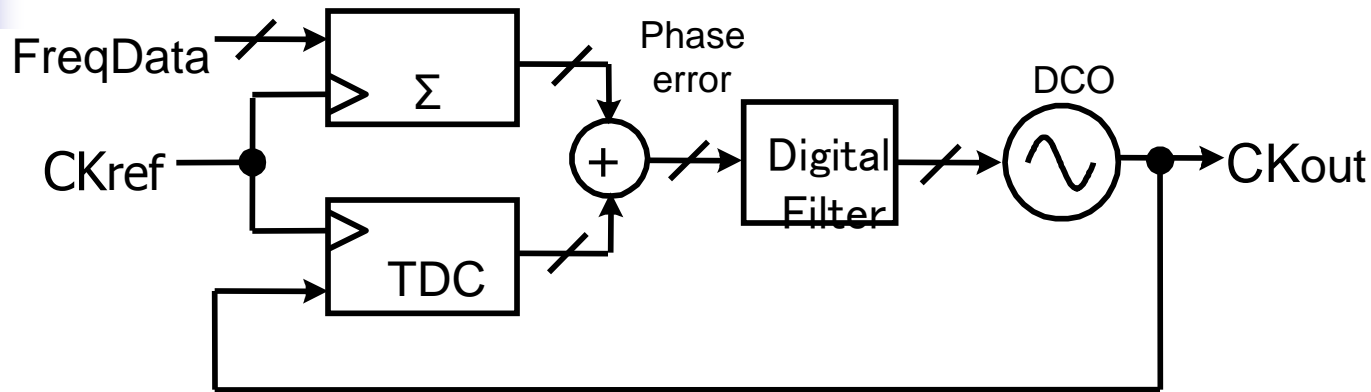
# TDCを用いた温度センサ (NTU, Harvard Univ.)



温度→遅延→TDCで測定



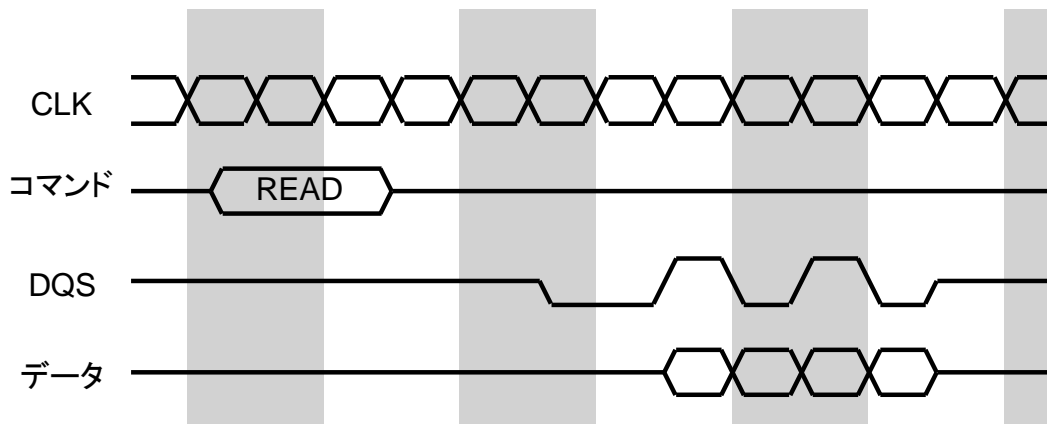
# All Digital PLL



- 回路がデジタル
- デジタル手法で設計・検証・テスト可能
- プロセス・ポータビリティ
- 小チップ面積化（デジタルフィルタ）
- ループ伝達関数をPVTによらず一定に自己校正
- 高性能化（フィルタ特性可変、低位相雑音）
- プログラマビリティ

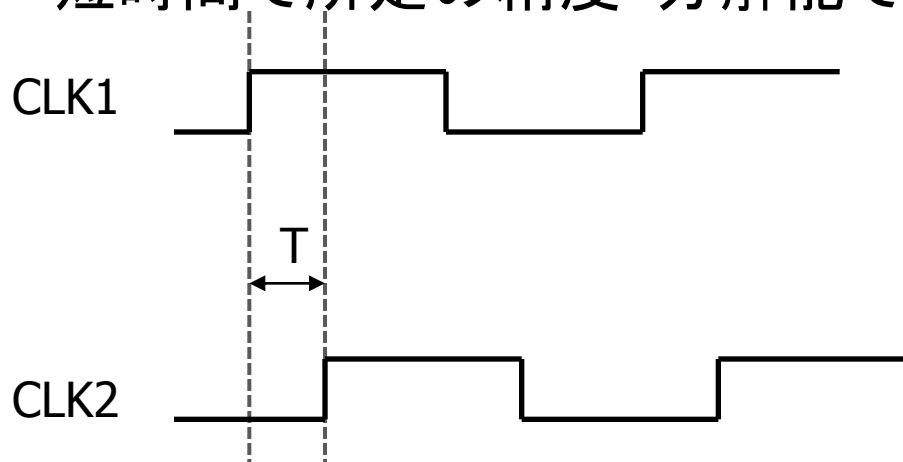
# シグマデルタTDC回路

- デジタル信号間の時間差の測定
  - 短時間で求める精度で測定する必要あり
- 適用するアプリケーションの例
  - DDR(Double Data Rate)メモリのデータ、クロック間の時間差の計測等：  
内部処理回路とメモリアクセスのタイミング、制御信号・データ信号間のタイミング



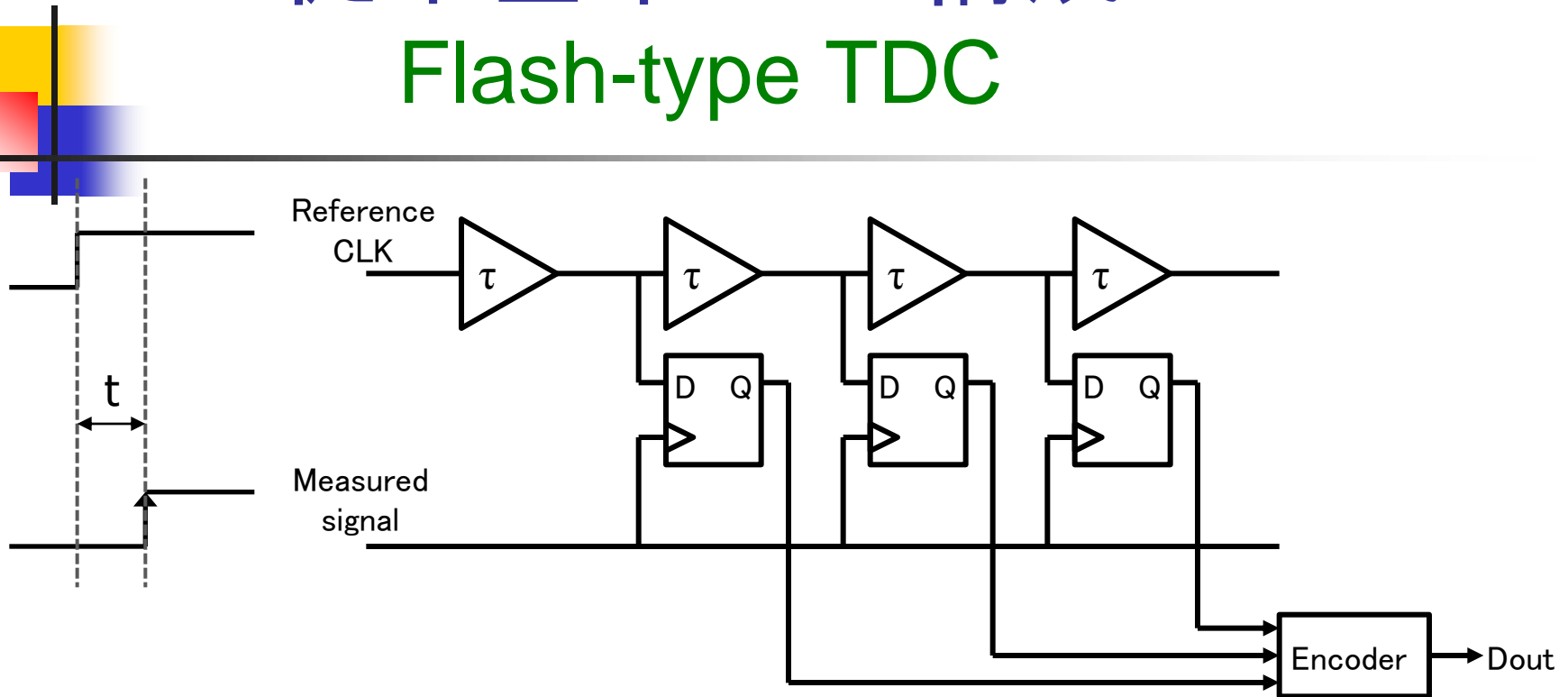
# 研究開発目的

- 2つの繰り返しクロック間の時間差を高時間分解能・簡単な回路で計測
  - シグマデルタ型タイムデジタイザを用いる
- マルチビットシグマデルタ型タイムデジタイザの提案
  - 短時間で所定の精度・分解能で時間差をテスト



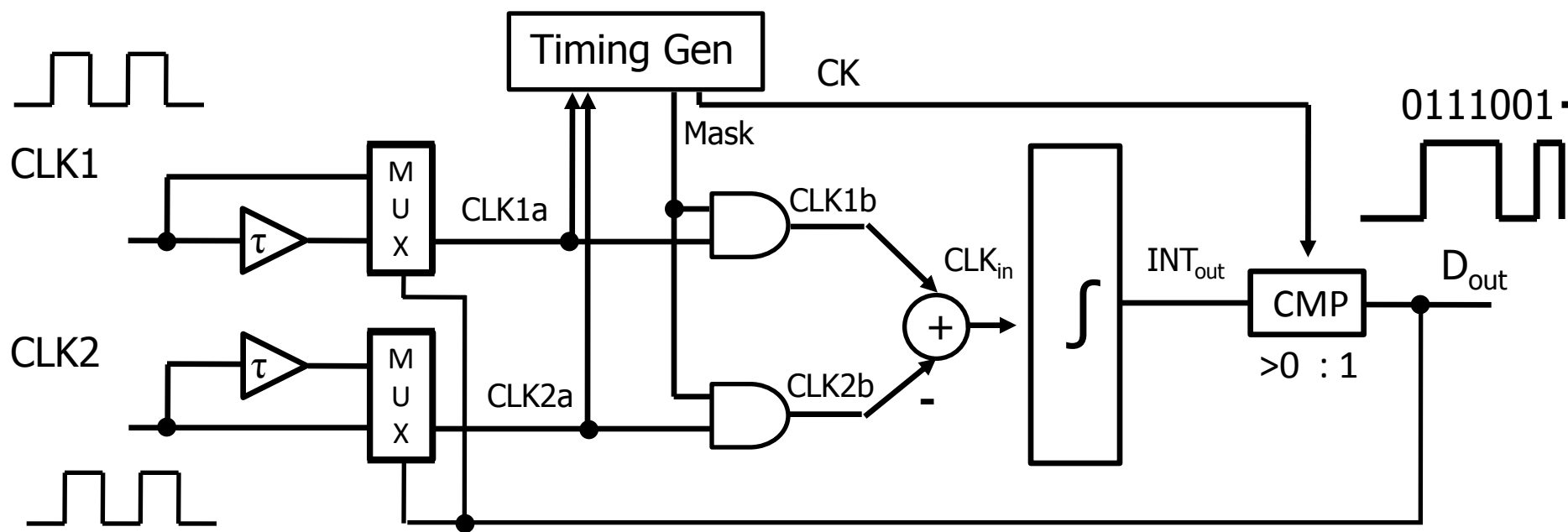
# 従来基本TDC構成

## Flash-type TDC



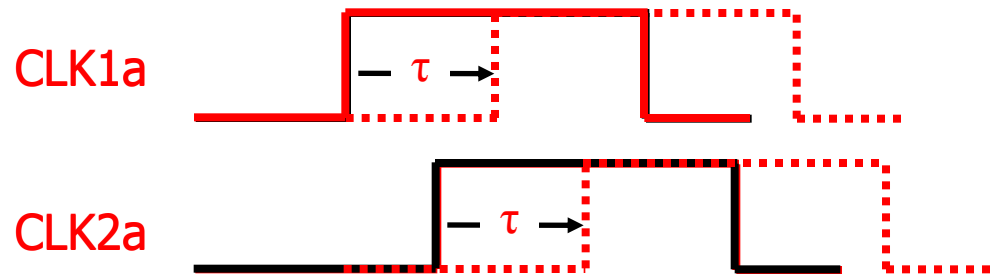
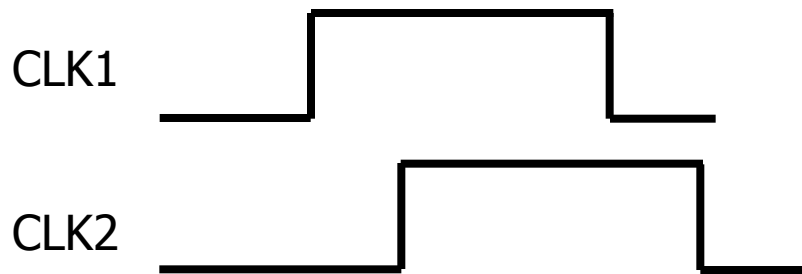
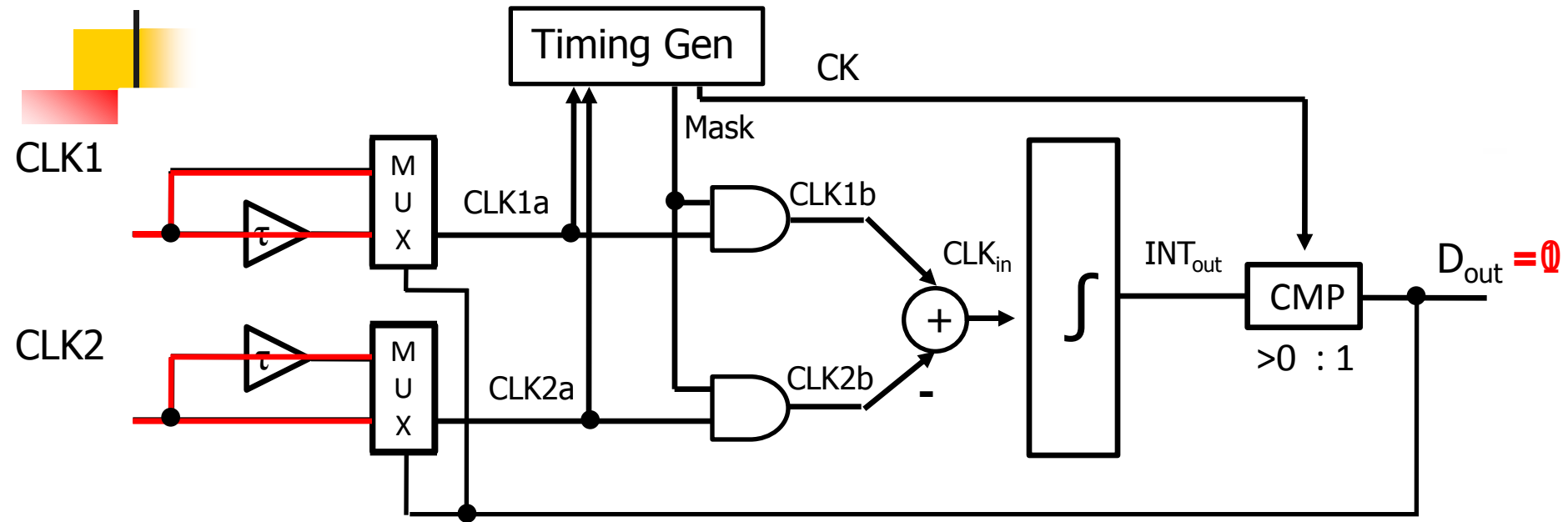
- 任意の信号でも計測可
- 回路が大きくなってしまふ
- 時間分解能は $\tau$ で決まってしまう
  
- 高精度で測定できるようにする
  - 繰返し信号を計測

# シグマデルタ型TDC回路の構成



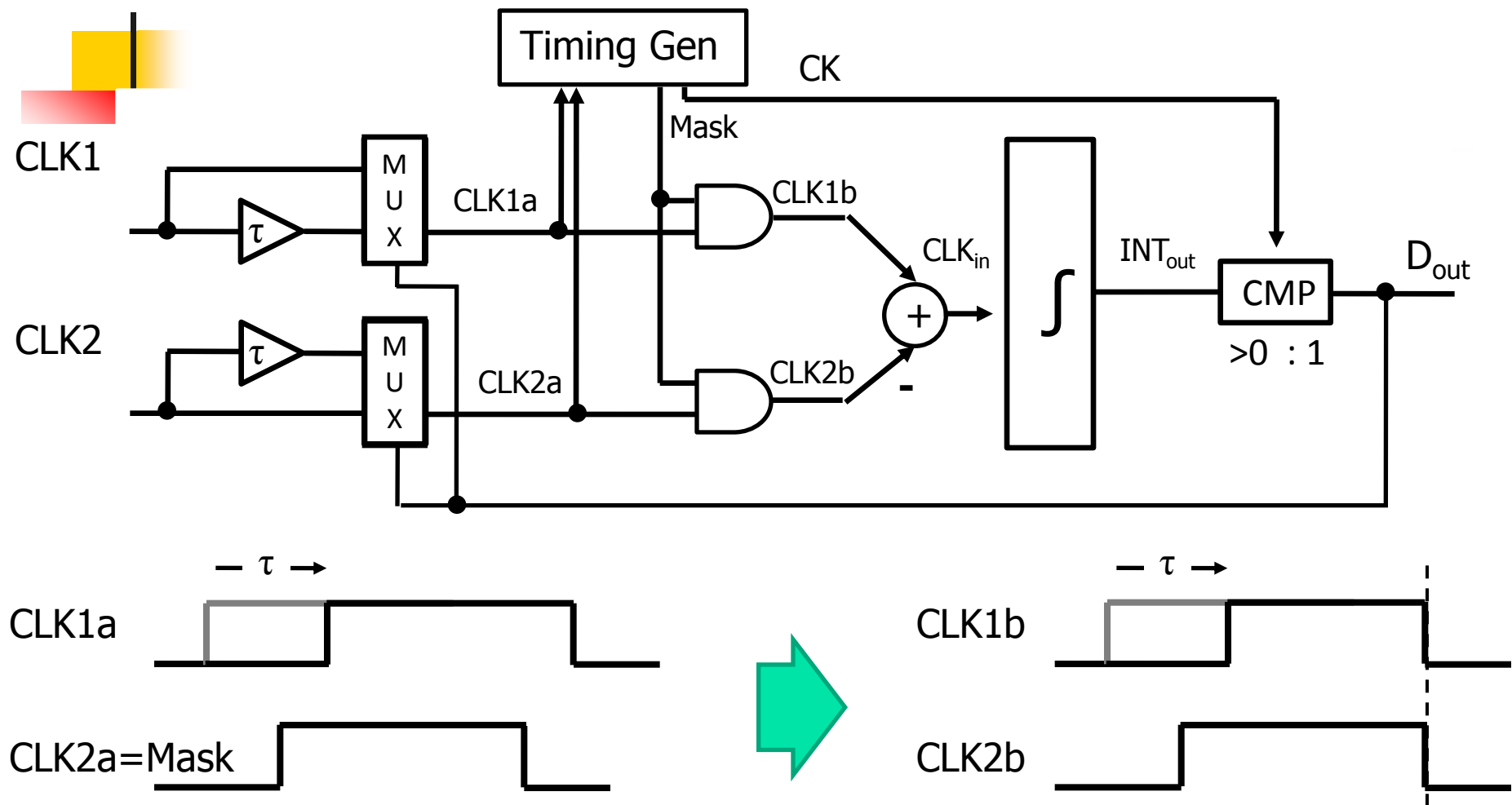
- 遅延セル, マルチプレクサ, AND回路, アナログ積分器, 比較器で構成
  - 簡単な回路で実現可能
- CLK1とCLK2間の時間差を計測

# シグマデルタ型TDC回路の動作①



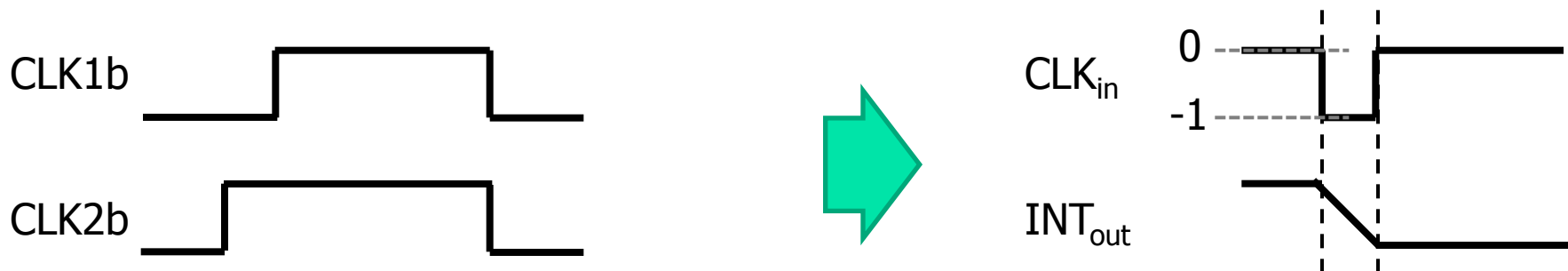
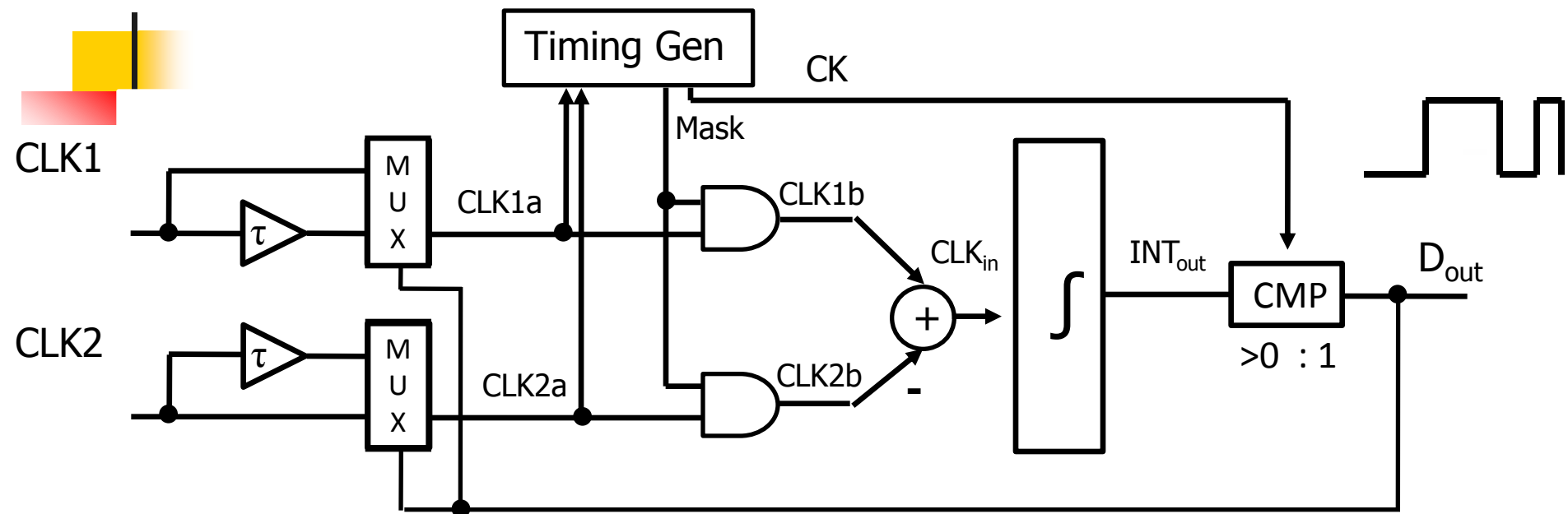
- CLK1とCLK2を入力
- 比較器出力により経路選択
  - CLK1a, CLK2aを得る

# シグマデルタ型TDC回路の動作②



- タイミングジェネレータによりMask信号(=速い方の信号)を発生させる
  - Mask信号とCLK1a, CLK2aとの論理積をとり、立下りを合わせる
  - CLK1b, CLK2bを得る

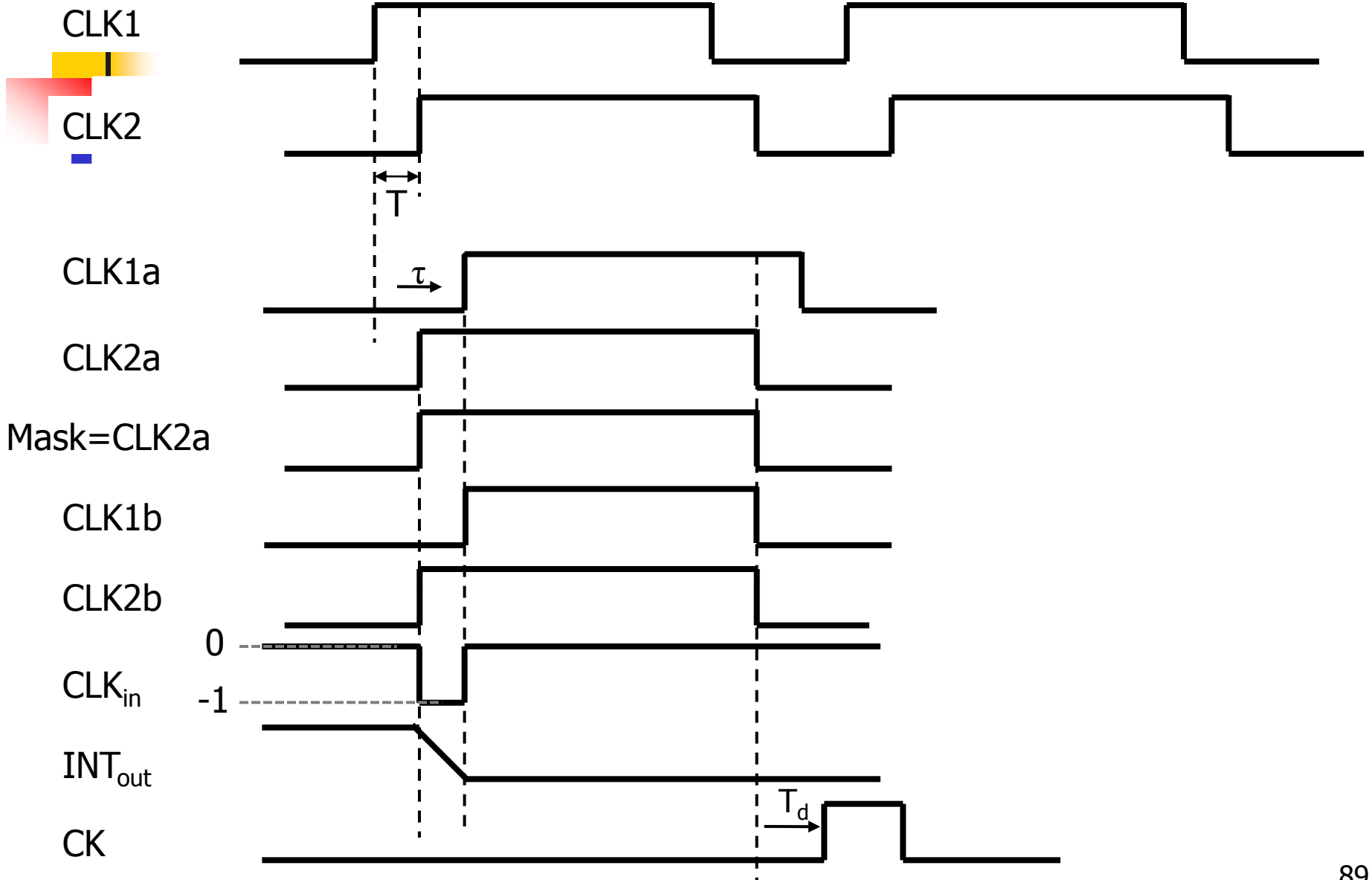
# シグマデルタ型TDC回路の動作③



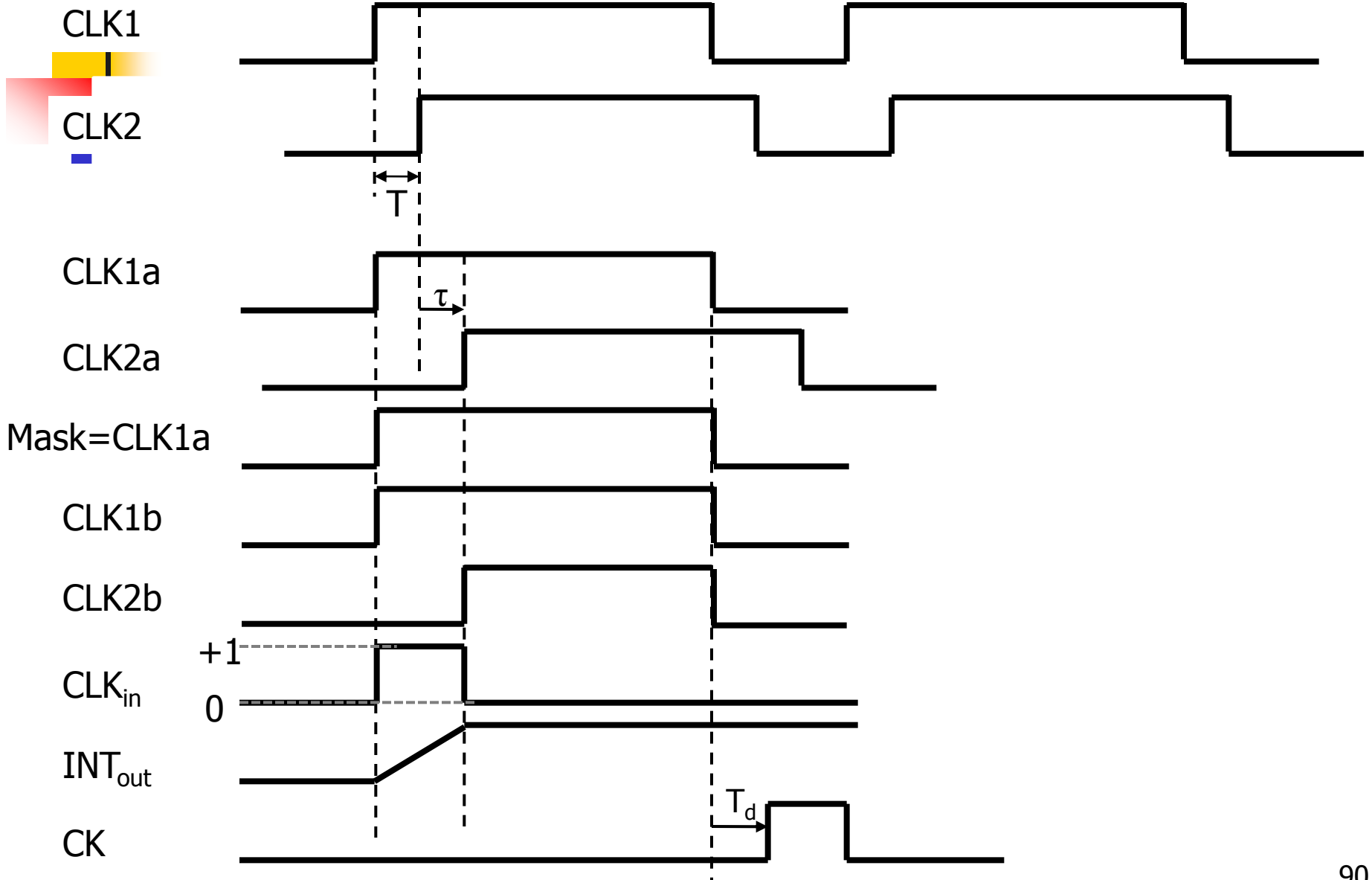
- CLK1bとCLK2bとの差をとり結果のCLK<sub>in</sub>を積分
- 比較器でINT<sub>out</sub>を0と比較し、出力D<sub>out</sub>を得る
  - 次のクロックでの経路を制御



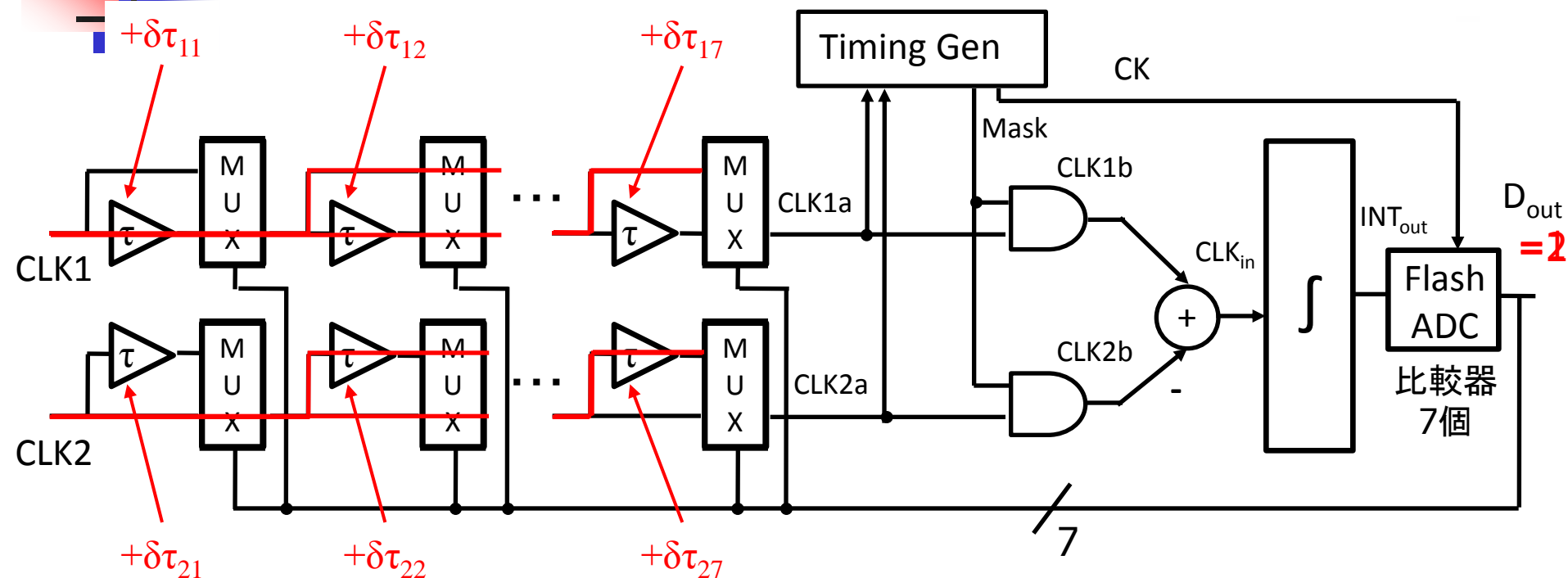
# タイミングチャート( $D_{out}=1$ のとき)



# タイミングチャート( $D_{out}=0$ のとき)

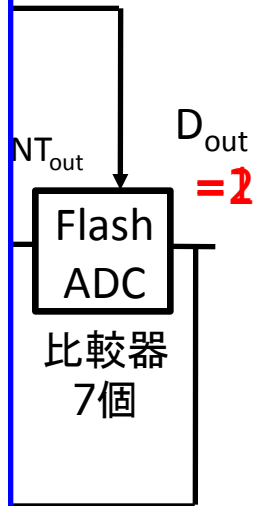
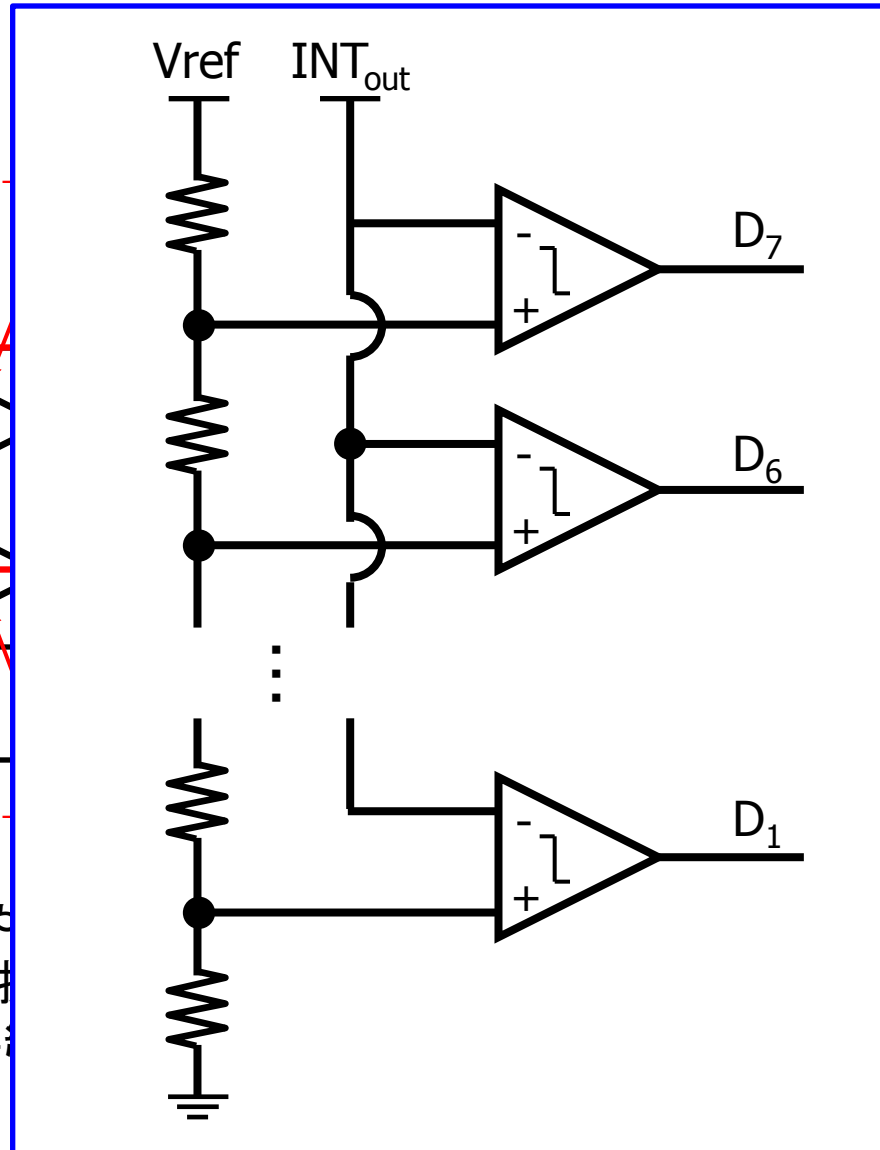
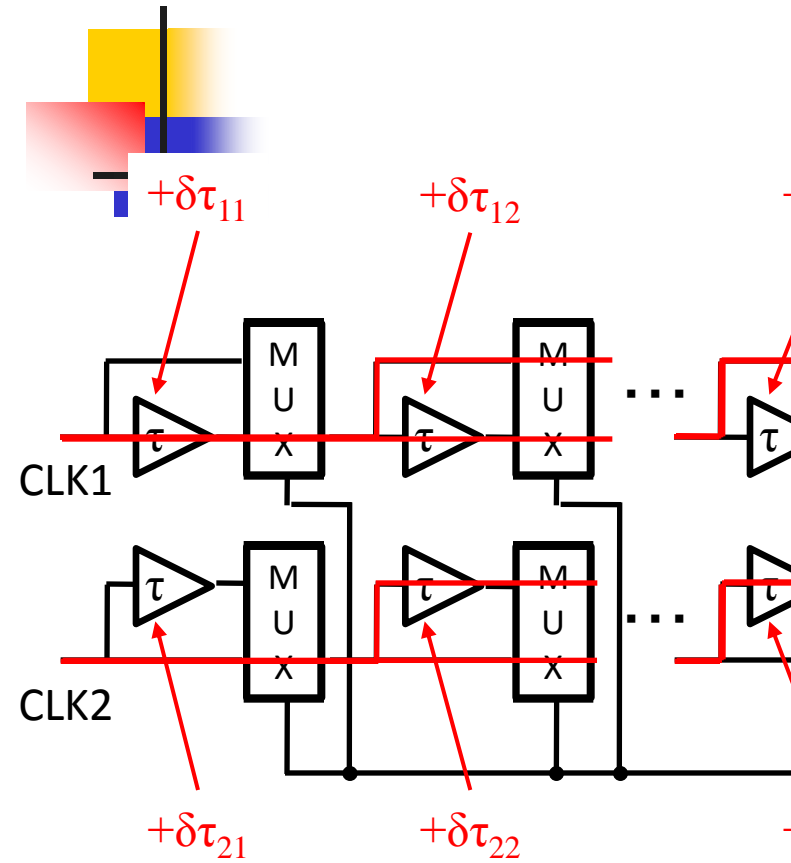


# マルチビット $\Sigma\Delta$ TDC回路の構成



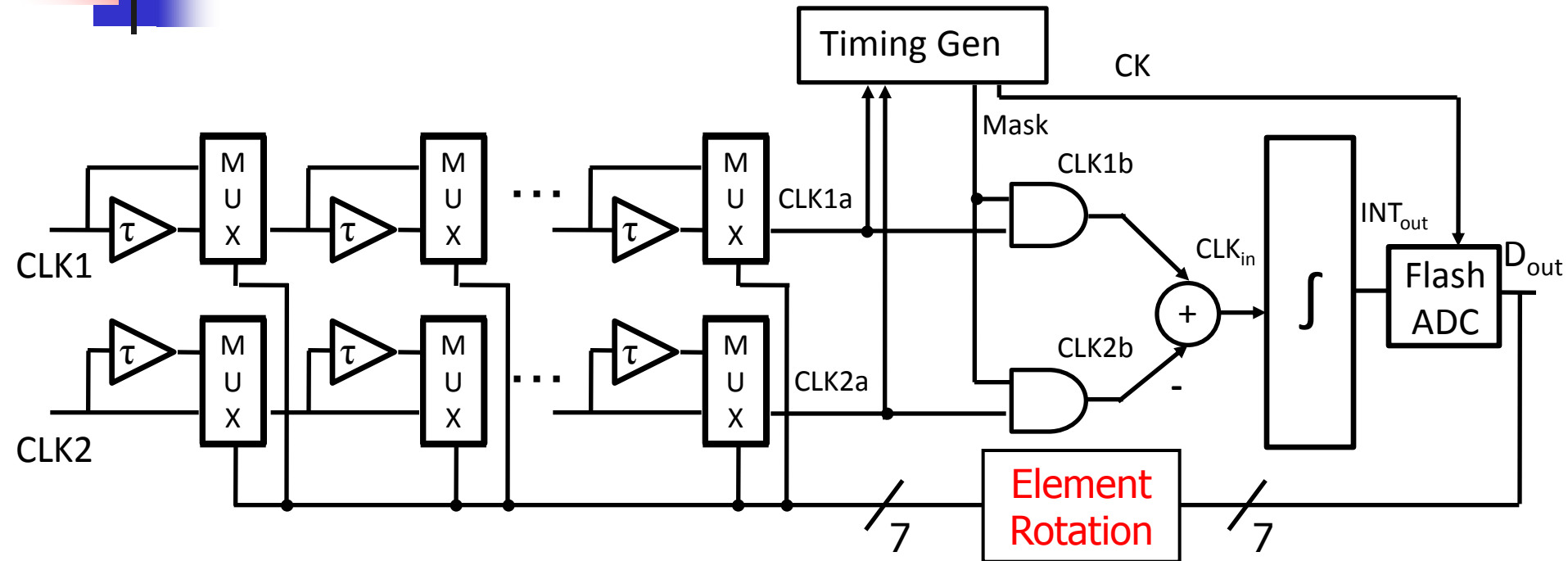
- 遅延セルとマルチプレクサを増やしマルチビット化
- Flash ADCの出力結果で経路選択
- 遅延セルのミスマッチによって非線形性が発生

# マルチビット $\Sigma\Delta$ TDC回路の構成



- 遅延セルとマルチプレクサを増や
- Flash ADCの出力結果で経路選
- 遅延セルのミスマッチによって非

# Element Rotation回路の適用



- Element Rotation回路でFlash ADCの温度計コード出力をシャッフルしてから各MUXに入力する
- 遅延ばらつきの影響を少なくする

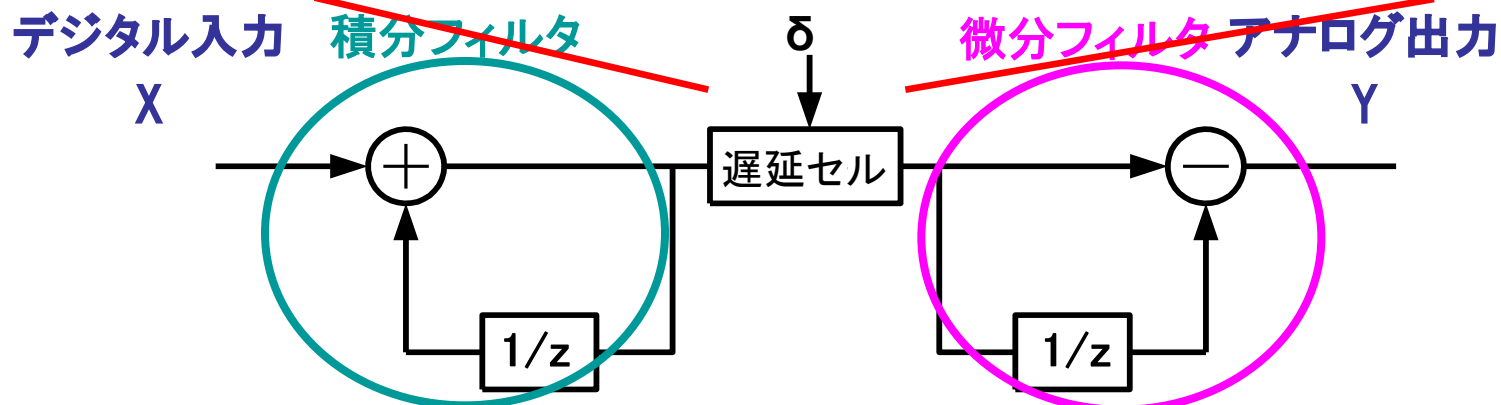
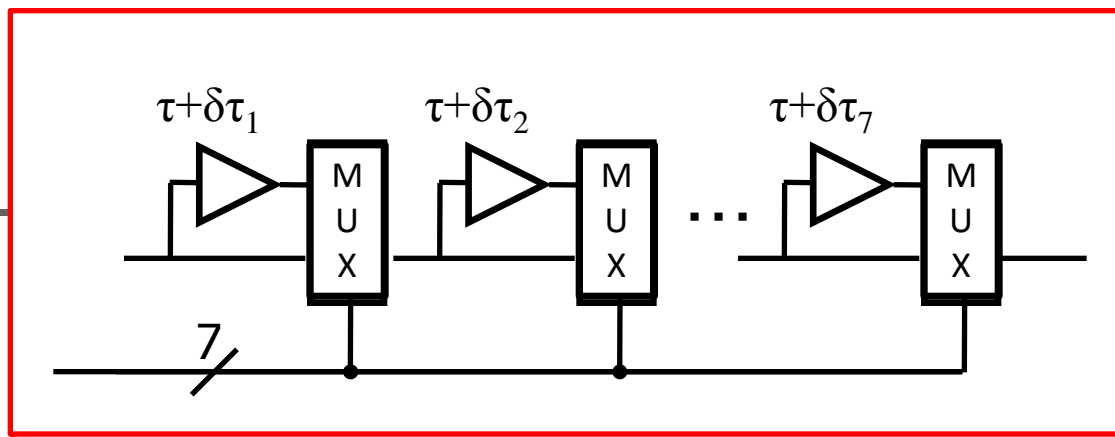


# マルチビットにする利点

---

- シングルビットシグマデルタ型TDC
  - 遅延ミスマッチが影響しない
  - 精度は出せる
- テストの際には短時間で所定の精度で評価
  - マルチビットにすることで速く計測できる
  - Element Rotation回路を用いることである程度精度が出せる

# 1次ノイズシェープ



$$Y(z) = X(z) + \underline{(1 - 1/Z)\delta(z)}$$



遅延セル mismatch が 1次ノイズシェープ  
 $1/(1-1/Z)$  されている

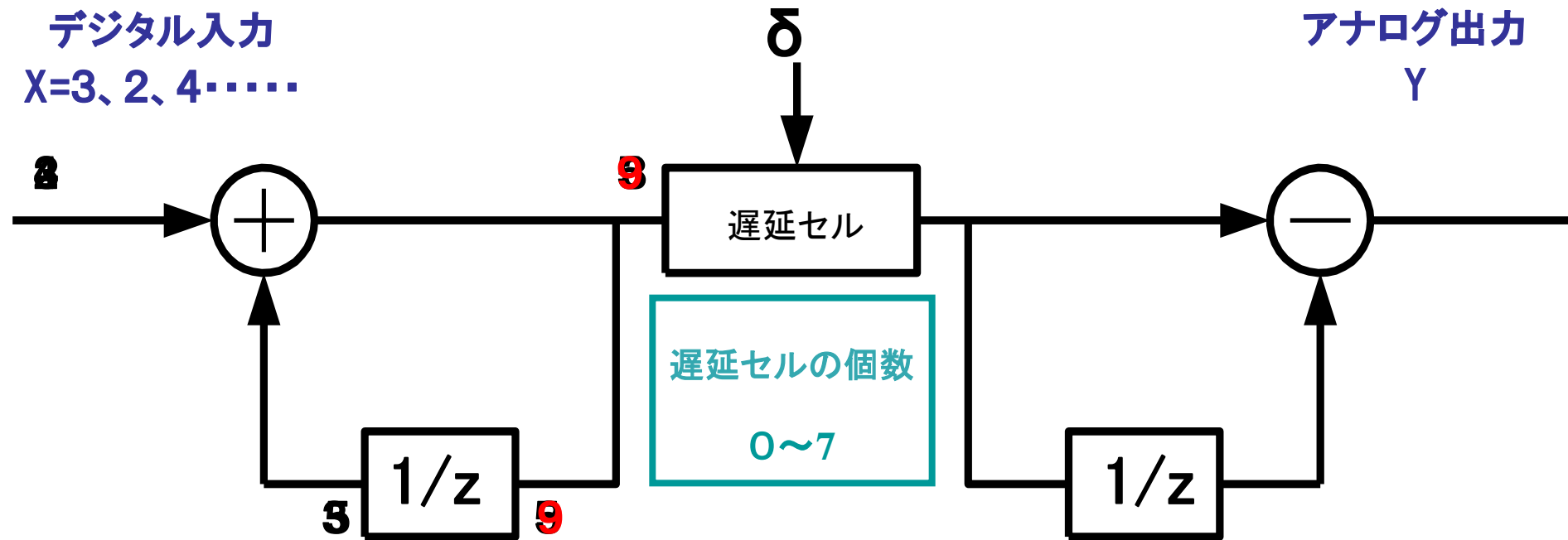
# 1次ノイズシェープの動作



デジタル入力  
 $X=3, 2, 4, \dots$

$$Y(z) = X(z) + (1 - 1/z)\delta(z)$$

アナログ出力  
 $Y$



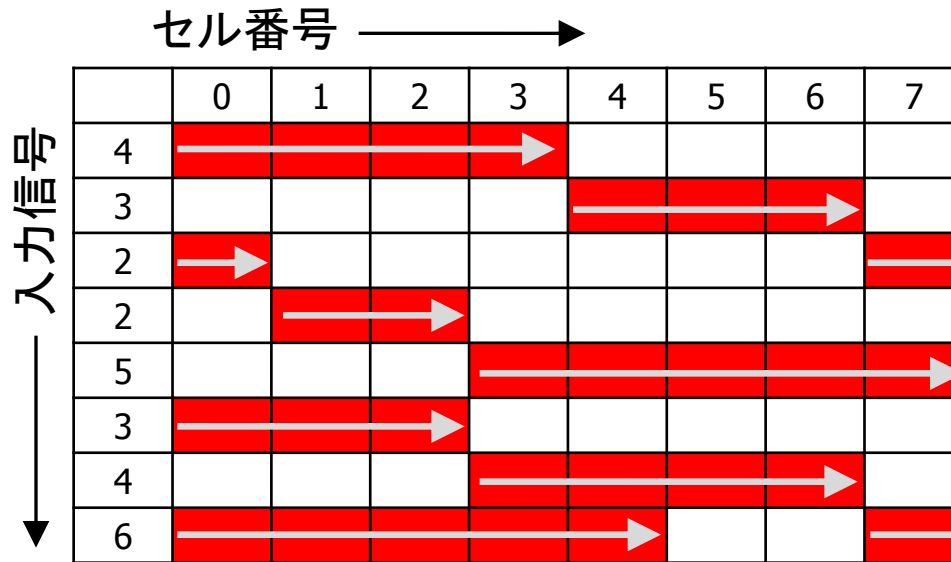
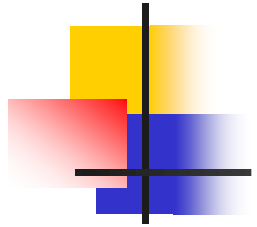
遅延セルの数

$0 \sim +\infty$

直接実現不可能

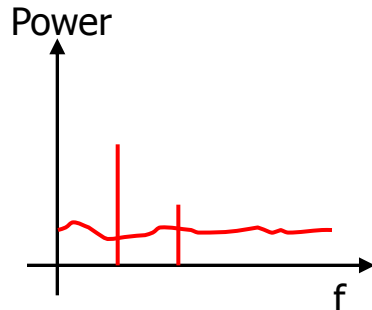


# Element Rotation回路の効果

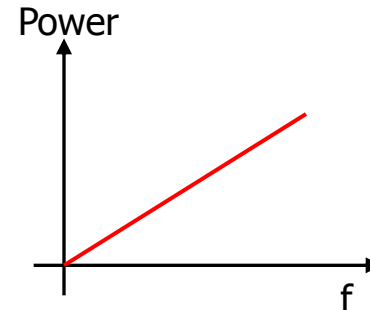


- 積分して微分を等価的に実現
  - 遅延セルミスマッチが1次ノイズシェープ

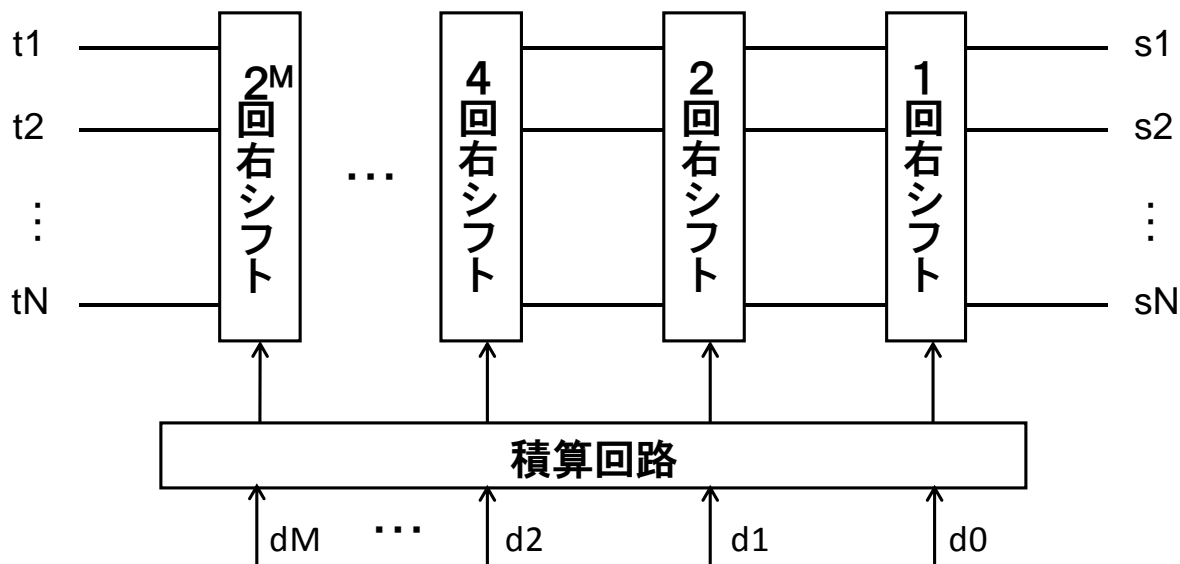
遅延セルミスマッチ



遅延セルミスマッチ



# Element Rotation回路の動作



d	$t_1$	$t_N$	$s_1$	$s_N$	
1	1000000000...	00	1000000000...	00	0シフト
3	1110000000...	00	0111000000...	00	0+1=1シフト
2	1100000000...	00	0000110000...	00	1+3=4シフト

• デジタル入力によりシフトする量を制御する

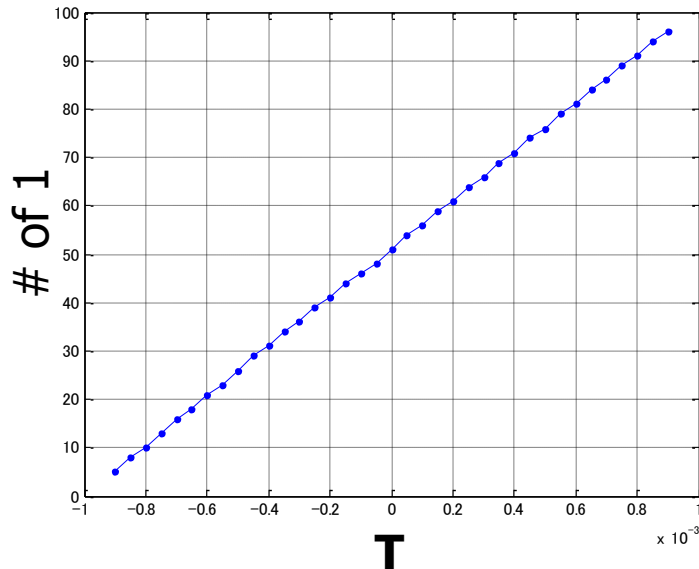
# $\Sigma\Delta$ TDCのシミュレーション結果

## MATLABシミュレーション

### 1bitの場合

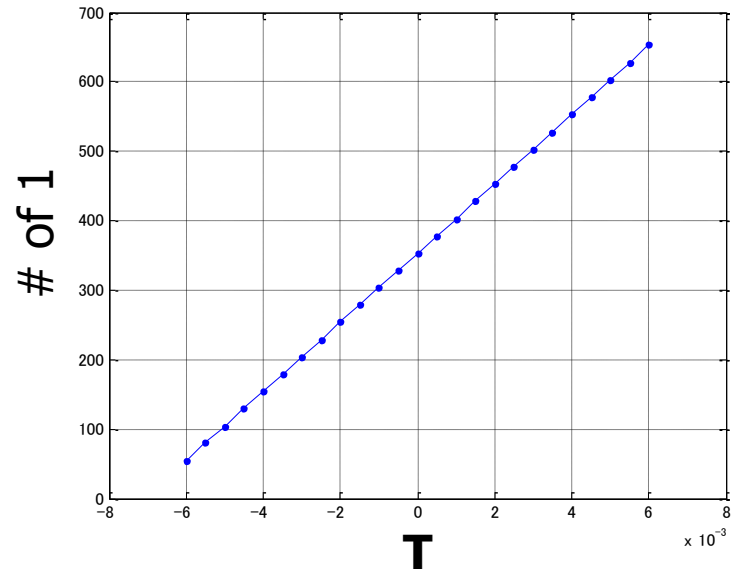
- ・立ち上がり間隔 :  $T=0.05\text{ns}$ 刻み  
-0.9~0.9ns
- ・遅延時間 :  $\tau=1\text{ns}$
- ・出力数(コンパレータで比較した回数):  
100点

### ●立ち上がり間隔 $T$ に対する1の出力数



### 3bitの場合

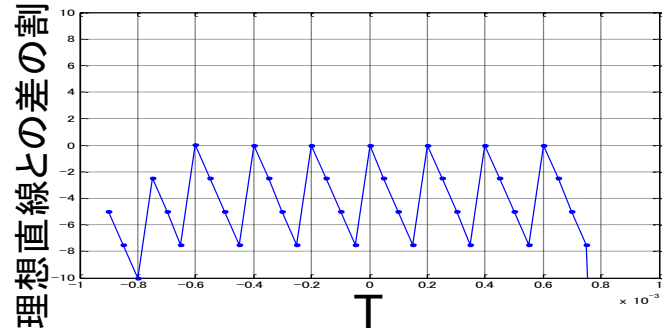
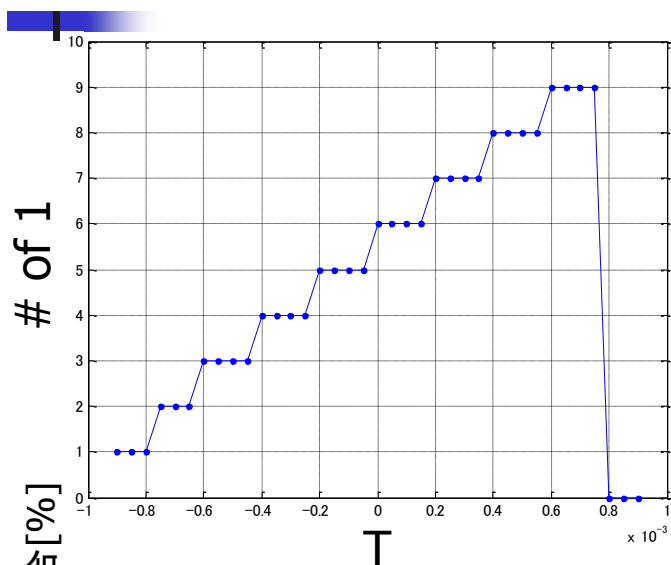
- ・立ち上がり間隔 :  $T=0.5\text{ns}$ 刻み  
-6~6ns
- ・遅延時間 :  $\tau=1\text{ns}$
- ・出力数(コンパレータで比較した回数):  
100点



# 測定時間を短縮した場合の結果

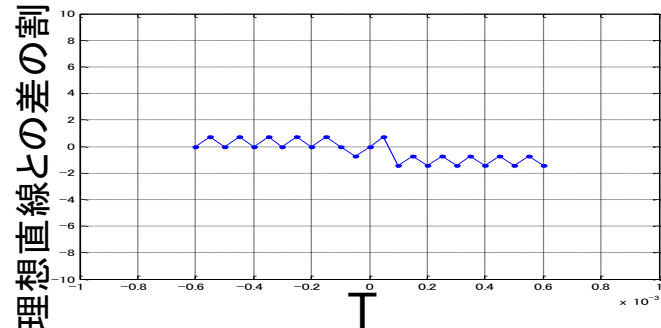
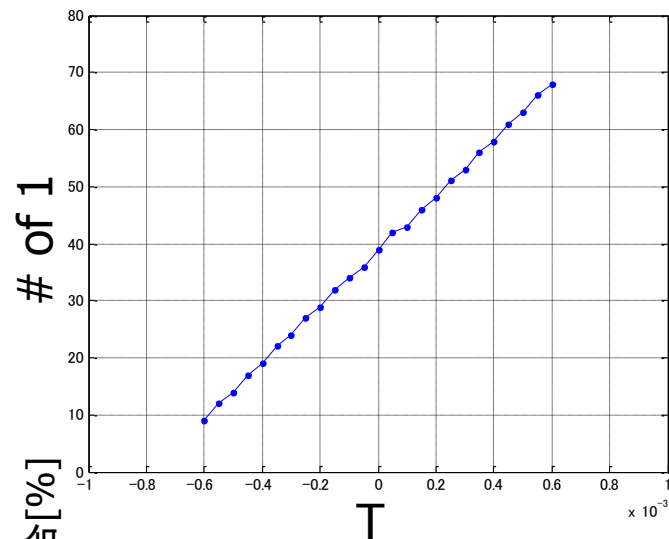
1bit

- ・遅延時間 :  $\tau=1\text{ns}$
- ・出力数(コンパレータの比較回数): 10点



3bit

- ・遅延時間 :  $\tau=0.1\text{ns}$
- ・出力数(コンパレータの比較回数): 10点



✓マルチビット化することで短時間で細かく測定可能

# 遅延ばらつきの影響の検証

- 遅延ばらつき：ガウス分布でランダムに生成  
最大で $\tau=1\text{ns}$ の $\pm 10\%$ 程度の誤差とした

- シミュレーション時に生成した遅延パラメータ

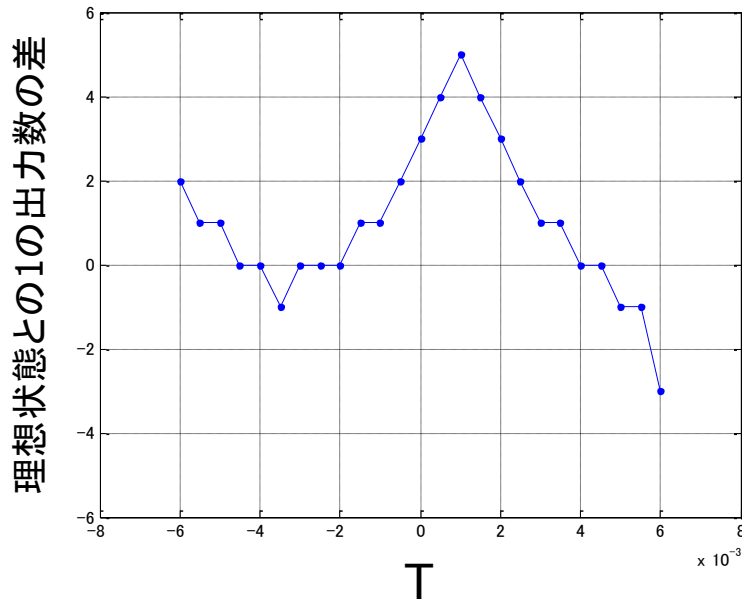
①	$\tau_1$	$\tau_2$	$\tau_3$	$\tau_4$	$\tau_5$	$\tau_6$	$\tau_7[\text{ns}]$	$\tau$ 合計
CLK1経路	1.02	1.01	1.03	0.99	0.95	1.04	1.04	7.08
CLK2経路	1.04	1.04	1.04	0.92	1.03	0.98	1.03	7.08

②	T1	$\tau_2$	$\tau_3$	$\tau_4$	$\tau_5$	$\tau_6$	$\tau_7[\text{ns}]$	$\tau$ 合計
CLK1経路	0.96	0.97	1.01	0.91	0.96	1.02	1.02	6.85
CLK2経路	1.06	1.02	0.96	1.00	1.02	1.07	0.97	7.10

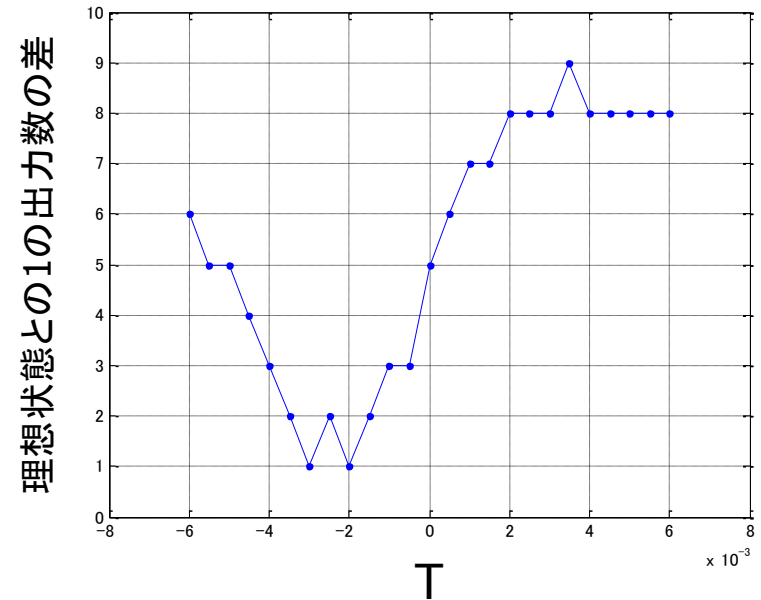
# 遅延ばらつきがある場合の結果

- 遅延ばらつきがある場合と無い場合との差

遅延素子パラメータ条件①



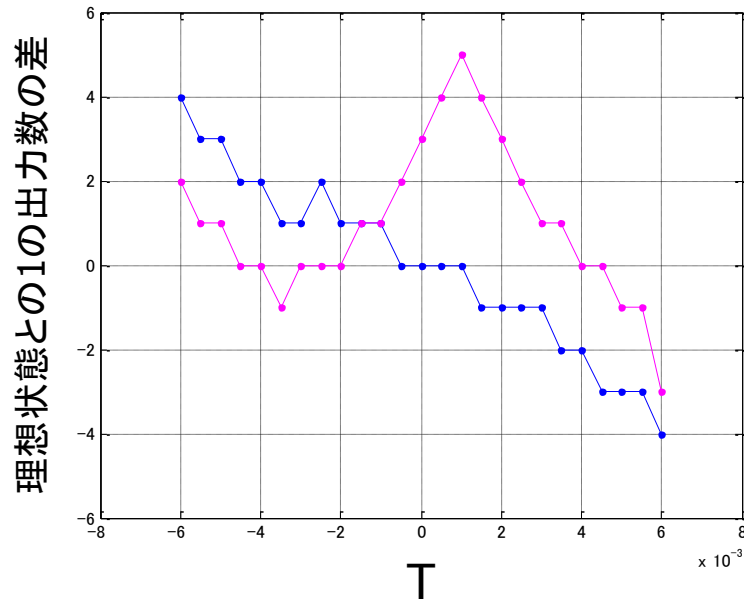
遅延素子パラメータ条件②



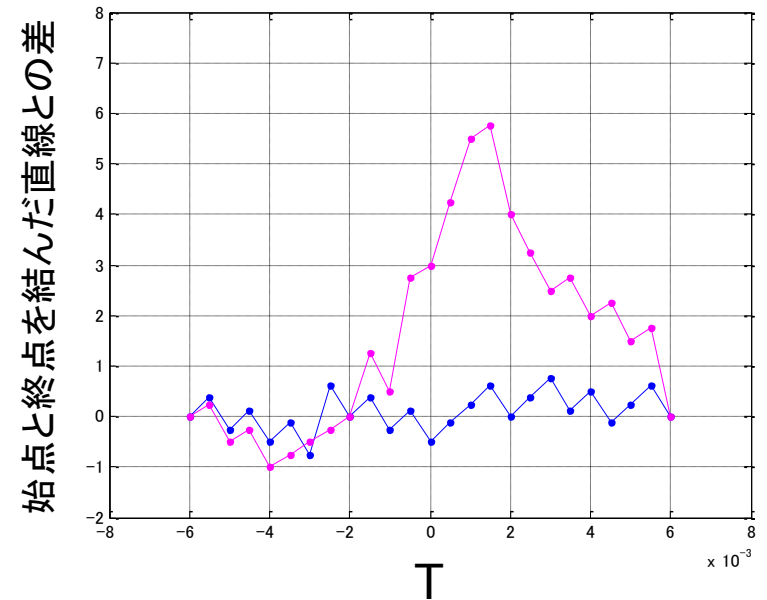
- クロック間立ち上がりタイミング $T$ に対する出力に差が生じる
- 遅延ばらつきにより出力に非線形性を生じる

# Element Rotationの効果検証(条件①)

## •理想状態との差



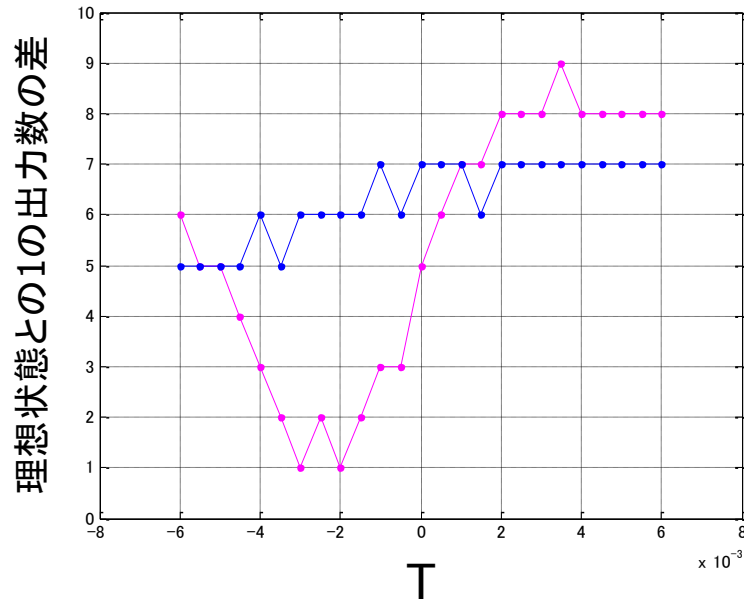
## •Element Rotationを適用しない場合と適用した場合のINL



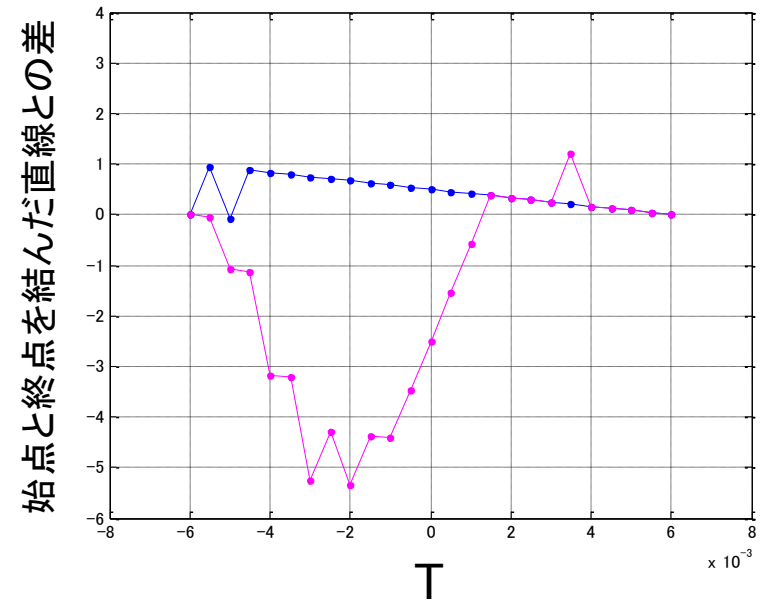
- 条件①の場合は遅延ばらつきのないときと比べ傾きが変わるが線形化される
  - 遅延ばらつきの影響を軽減できる

# Element Rotationの効果検証(条件②)

## •理想状態との差



## •Element Rotationを適用しない場合と適用した場合のINL



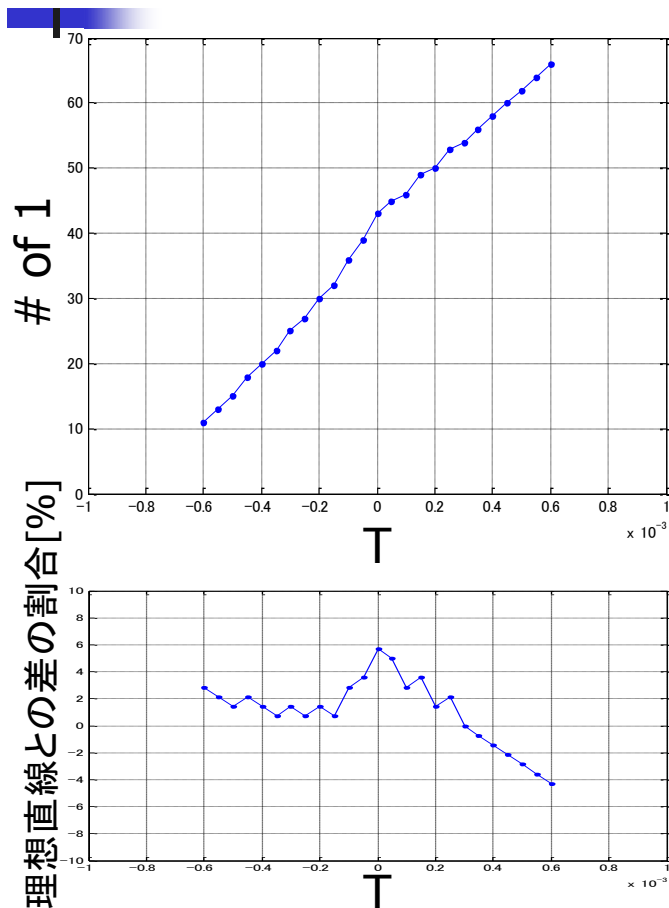
- 条件②の場合は全体的に1の出る数が増えるが線形化される
  - 遅延ばらつきの影響を軽減できる



# 測定時間を短縮した場合の結果

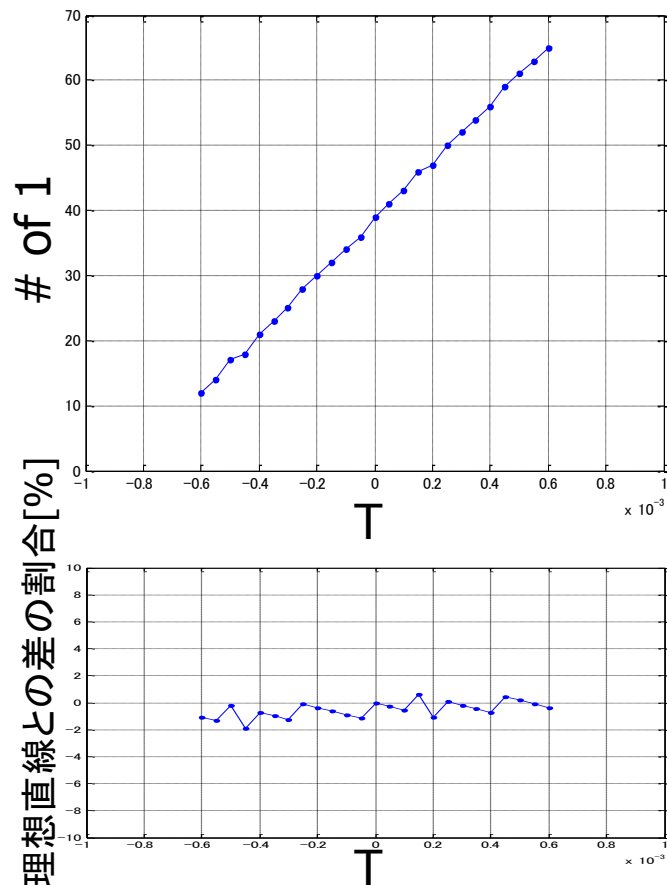
3bit, 遅延ばらつき有

- ・遅延時間 :  $\tau=0.1\text{ns}$
- ・出力数(コンパレータの比較回数): 10点



3bit, Element Rotation回路適用

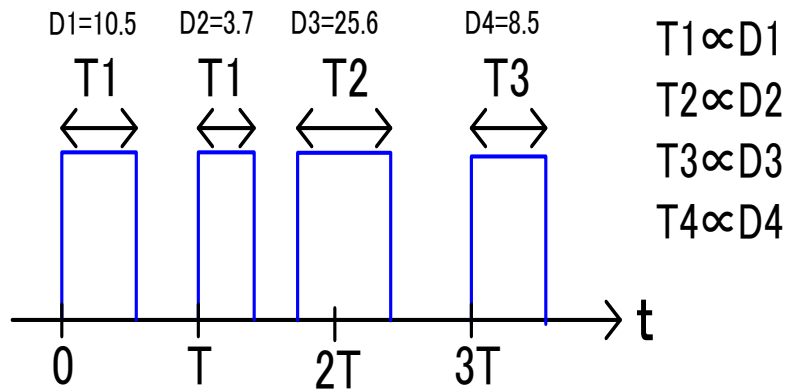
- ・遅延時間 :  $\tau=0.1\text{ns}$
- ・出力数(コンパレータの比較回数): 10点



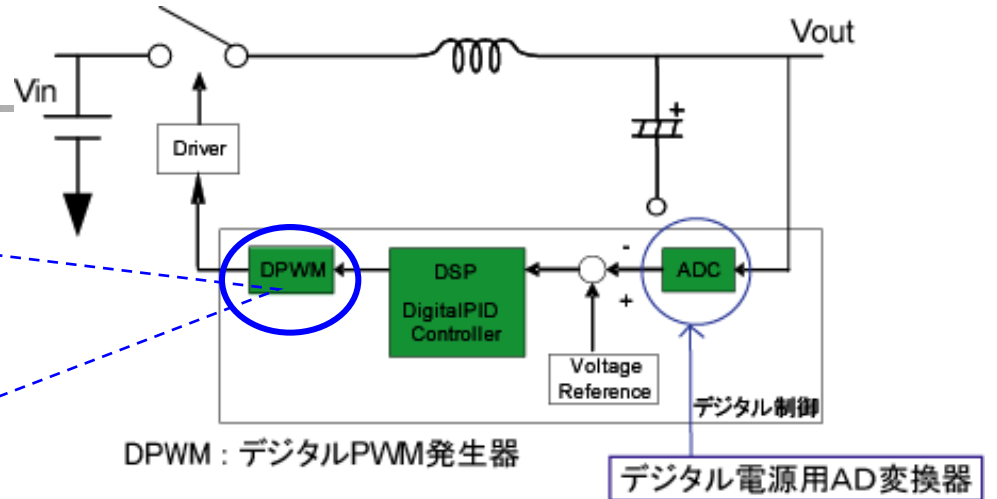
✓遅延ばらつきの影響を軽減できる

# デジタルPWM発生回路

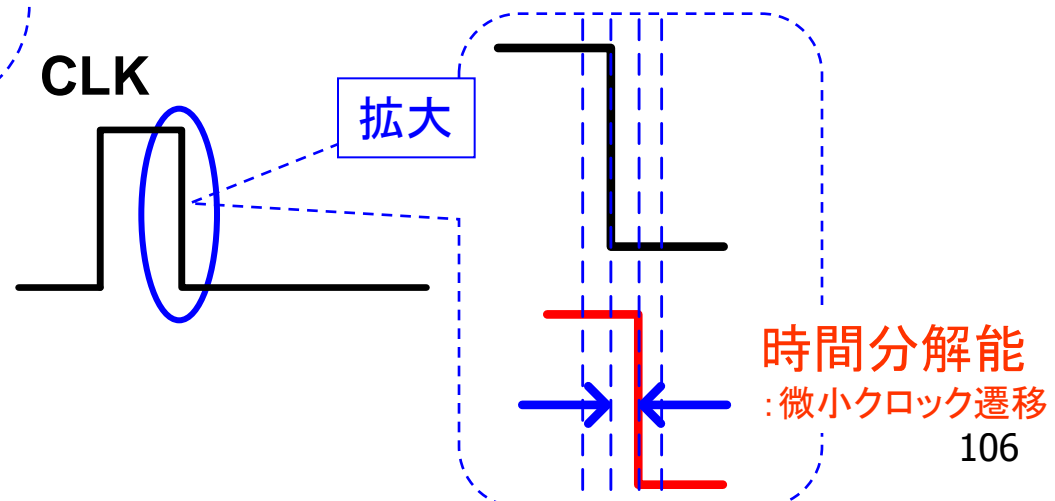
デジタル入力→時間出力:変換回路



デジタル入力と  
PWMデューティ比は比例関係.

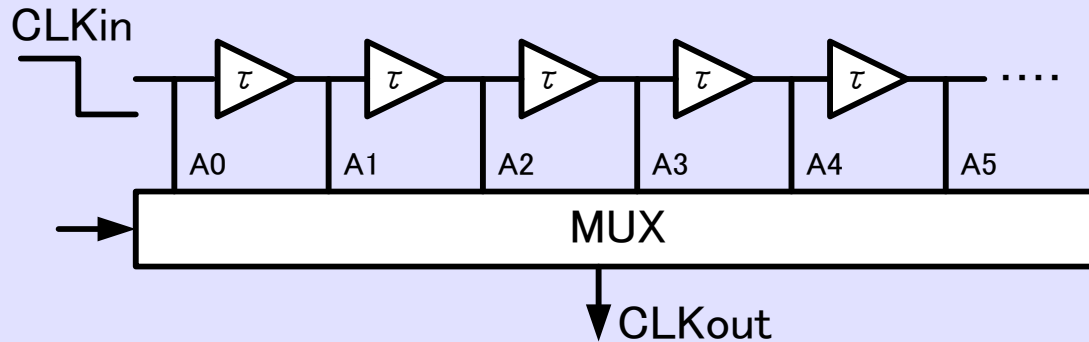


■PWM・・・パルス幅変調  
(振幅からスイッチのON時間の長さで波形を生成)



# 高時間分解能DPWM回路

## － 従来の構成と問題点 －



### ■ 問題点

- バッファ数: 大 (10bit設計 → 1023個)
- 最小時間分解能
  - ・ バッファのゲート遅延:  $\tau$
  - ・ 半導体のプロセス性能に依存 (ゲート遅延によって高時間分解能を得る)

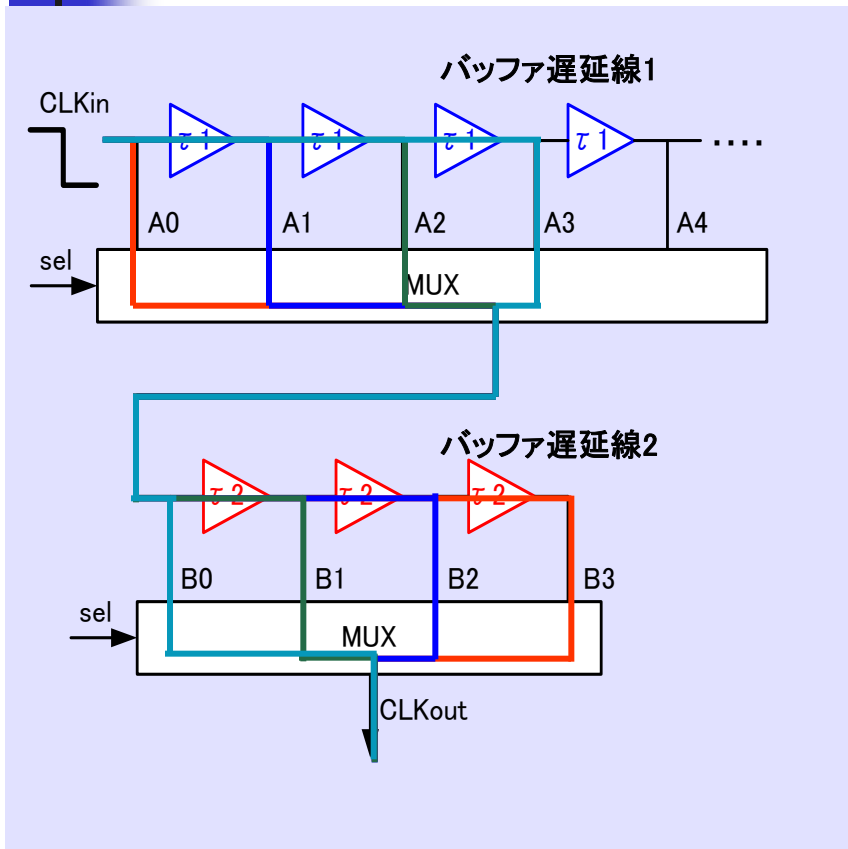
消費電力 × ゲート遅延 = 一定

回路規模: 大、一つあたりの遅延量: 小

↳ 消費電力: とても大きい

# 提案デジタルPWM回路

2つのゲート遅延  $\tau_1, \tau_2$  ノギスの原理で動作



(A0, B3) ... 基準

(A1, B2) ...  $\tau_1 - \tau_2 = \Delta\tau$

(A2, B1) ...  $2\tau_1 - 2\tau_2 = 2\Delta\tau$

(A3, B0)  $3\tau_1 - 3\tau_2 = 3\Delta\tau$

(A1, B3)  $\tau_1 = 4\Delta\tau$

(A2, B2)  $2\tau_1 - \tau_2 = \tau_1 + \Delta\tau$

(A3, B1)  $3\tau_1 - 2\tau_2 = \tau_1 + 2\Delta\tau$

(A4, B0)  $4\tau_1 - 3\tau_2 = \tau_1 + 3\Delta\tau$

(A2, B3)  $2\tau_1$  ( $\tau_1 = 4\Delta\tau$ )

(A3, B2)  $3\tau_1 - \tau_2 = 2\tau_1 + \Delta\tau$

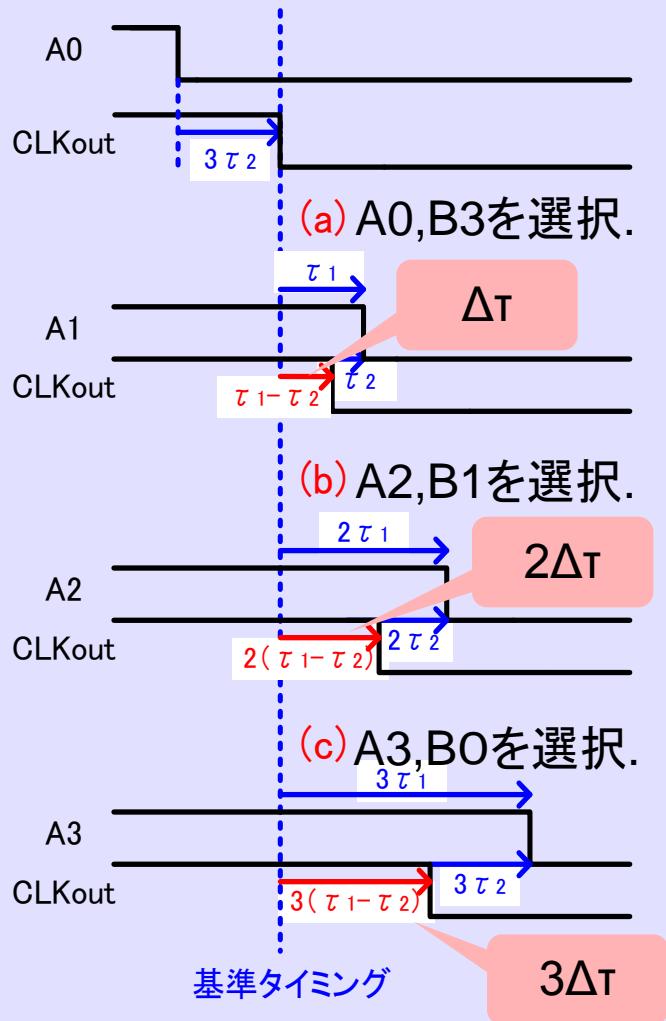
(A4, B1)  $4\tau_1 - 2\tau_2 = 2\tau_1 + 2\Delta\tau$

(A5, B0)  $5\tau_1 - 3\tau_2 = 2\tau_1 + 3\Delta\tau$

⋮

# 提案デジタルPWM回路

## タイミングチャート



## 特徴

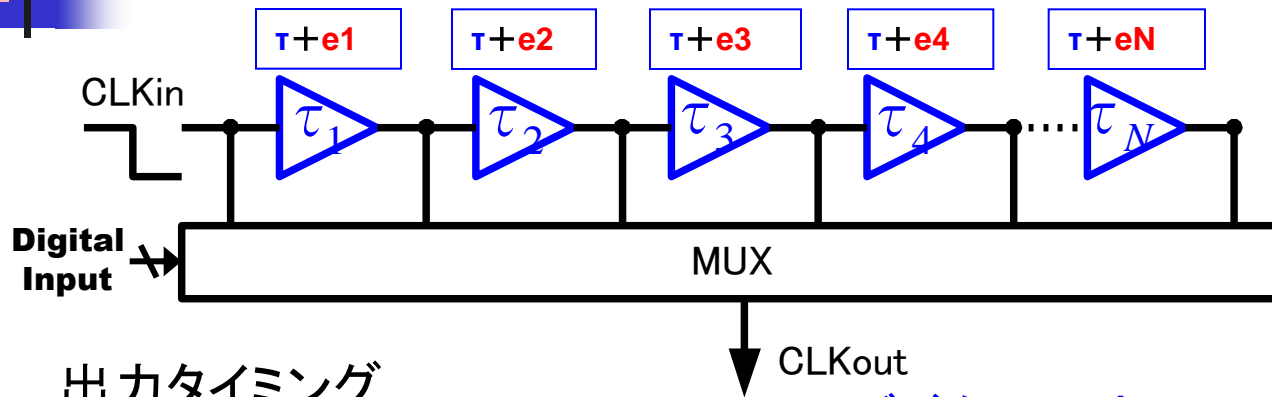
- 時間分解能:

$$\Delta T = \tau_1 - \tau_2$$

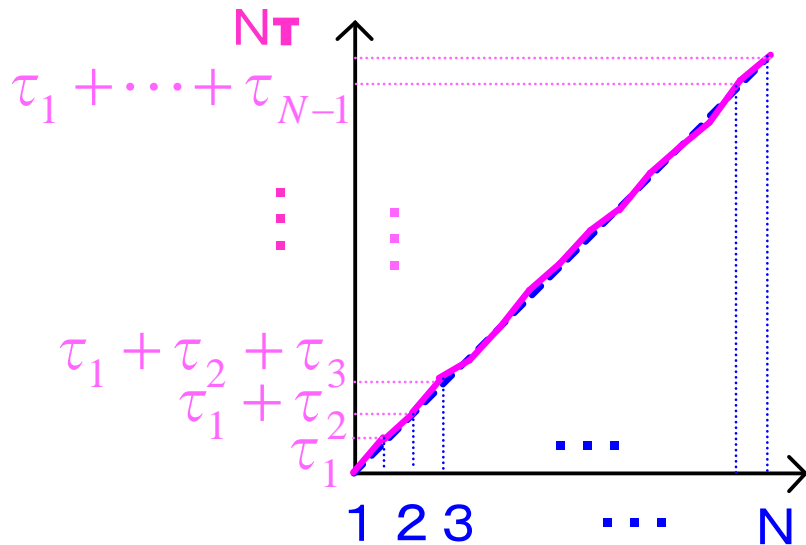
一つのバッファのゲート遅延量より小

- バッファ総数も激減

# バッファ遅延ばらつきによる非線形性



出力タイミング



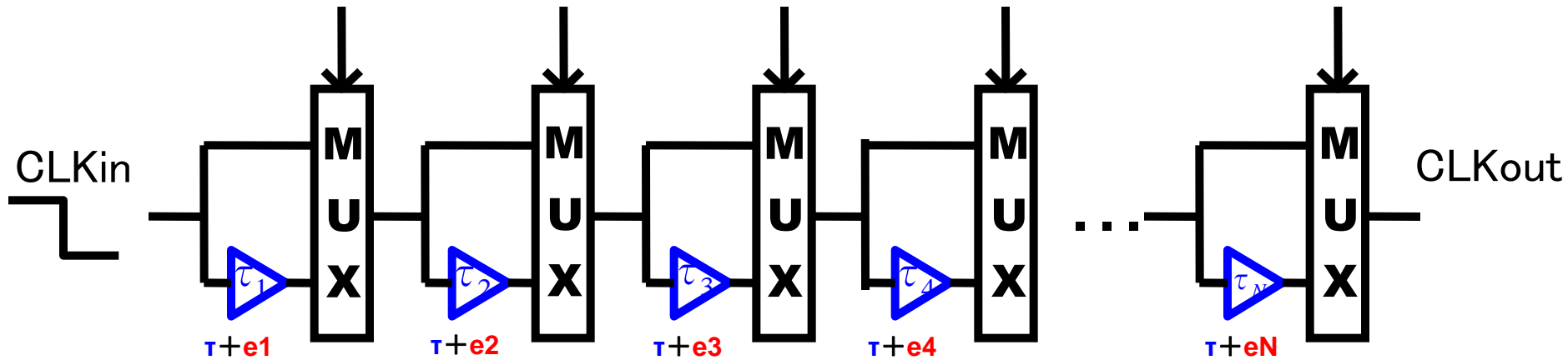
デジタル入力

$0 \dots 001$ (1)	$\rightarrow$	$\tau + e1$
$0 \dots 010$ (2)	$\rightarrow$	$2\tau + e1 + e2$
$0 \dots 011$ (3)	$\rightarrow$	$3\tau + e1 + e2 + e3$
$\vdots$		$\vdots$
$* \dots * *$ (N)	$\rightarrow$	$N\tau + e1 + \dots + eN$

デジタル入力

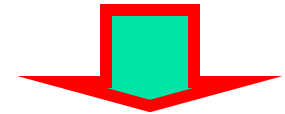
# ダイナミック・マッチングによる 時間平均線形化

デジタル入力が  $0 \cdots 010(2)$  の場合



$$\begin{aligned}
 2T_{12} &= 2T + e1 + e2 & \Rightarrow T_{12} &= T + \frac{e1 + e2}{2} \\
 2T_{24} &= 2T + e2 + e4 & \Rightarrow T_{24} &= T + \frac{e2 + e4}{2} \\
 2T_{1N} &= 2T + e1 + eN & \Rightarrow T_{1N} &= T + \frac{e1 + eN}{2} \\
 & \vdots & & \vdots
 \end{aligned}$$

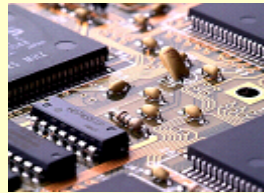
ランダムな経路選択



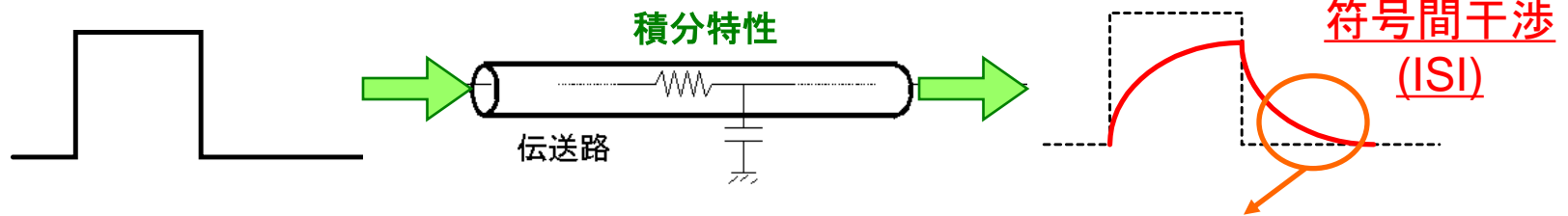
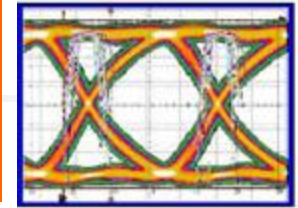
バッファ遅延の時間平均

$$\bar{T} = T$$

# 高速デジタル伝送



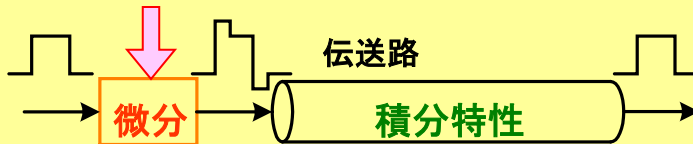
信号伝送速度の高速化  
⇒ 伝送路の寄生素子 (RC成分) により、  
高周波成分が失われ信号が劣化



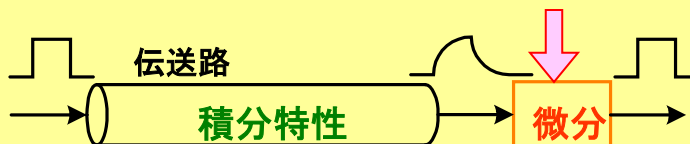
波形整形技術が必要

隣りのビットへ干渉してしまう

送信系 ・ プリエンファシス技術



受信系 ・ イコライズ技術



群馬大学  
弓仲康史 准教授  
作成資料

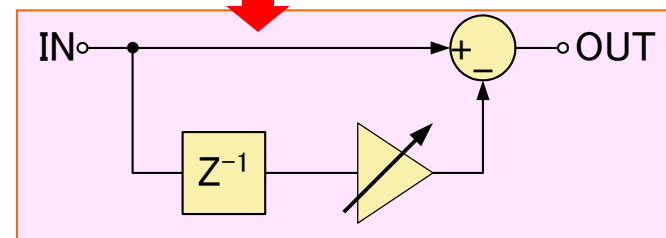
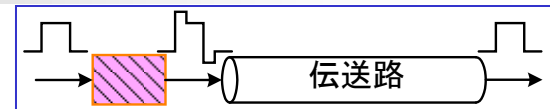
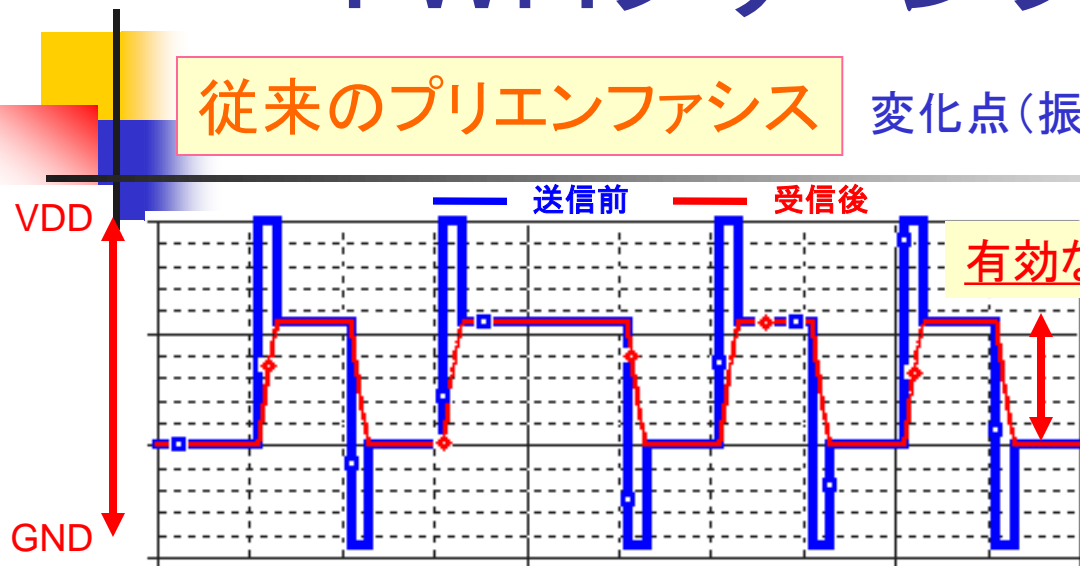


# PWMプリエンファシス

オランダ  
Twente 大学  
Nauta 先生

## 従来のプリエンファシス

変化点(振幅)をあらかじめ強調し信号を伝送



## 問題点

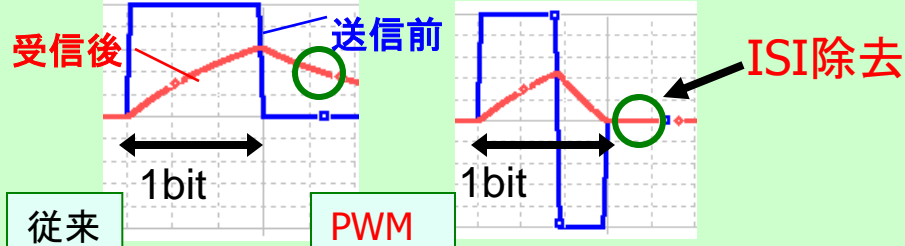
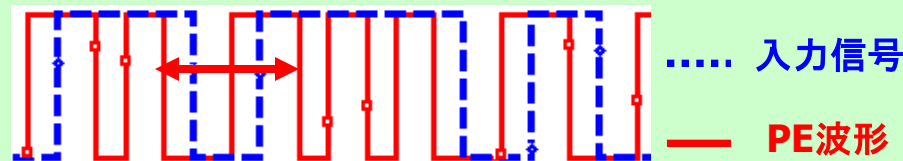
- ・電源による振幅の制約
- ・振幅方向の電圧制御精度

## 今後の傾向

- ・電源の低電圧化
- ・高速化によるタイミング分解能の向上

## パルス幅変調プリエンファシス

振幅方向ではなく、時間軸方向に着目





# アナログアシストデジタル技術

---

デジタルを生かすためのアナログ技術

高速デジタル信号伝送

イコライザ、プリエンファシス技術



# 発表内容

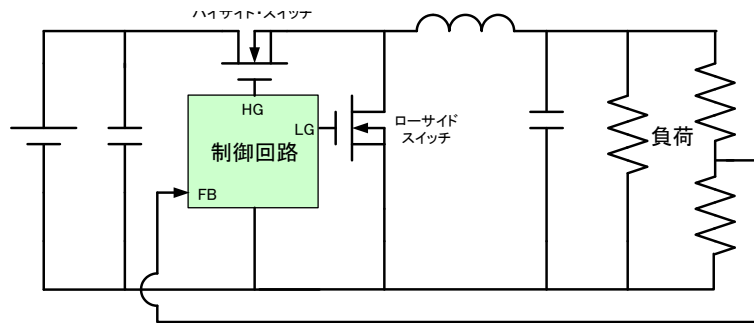
---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- **デジタルアシストアナログ技術**
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

# デジタル制御電源

コスト・電力の課題はあるがデジタル化の流れ  
(領域4: 振幅離散、時間連離散)

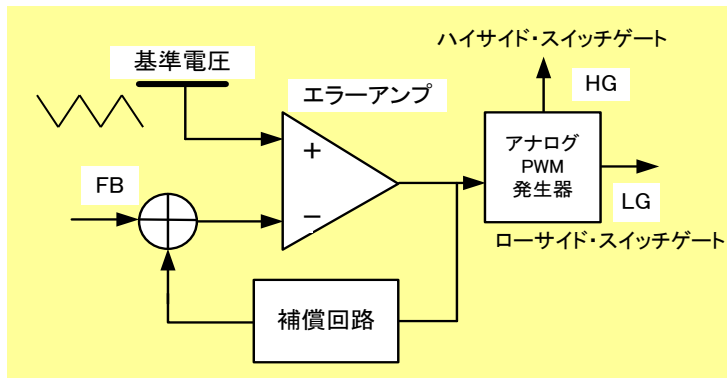
## ■ スイッチング電源回路



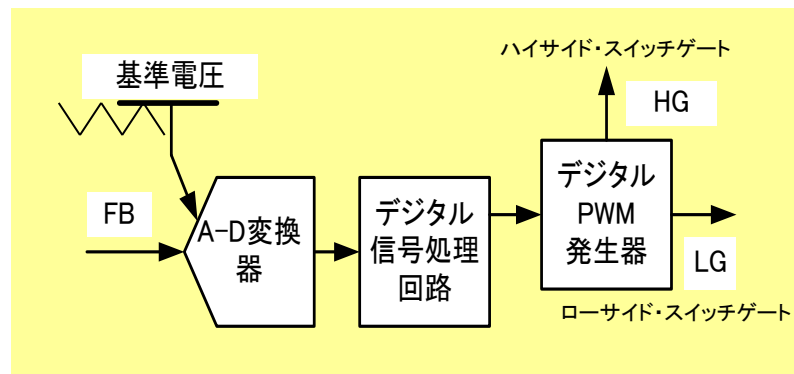
- 外資系半導体メーカー  
パワーマネジメント製品に注力
- 微細CMOSでデジタル制御
- デジタルの新アイデアで高性能化
- 通信機能の取り込み

## ■ 制御回路部

### ■ アナログ方式



### ■ デジタル方式

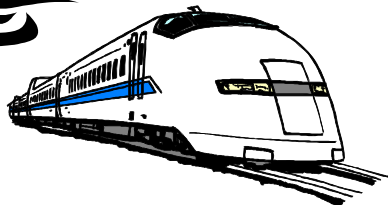


# デジタル制御電源でのEMI低減化

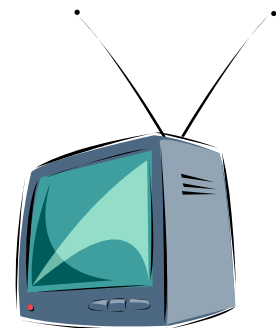
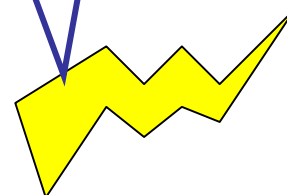
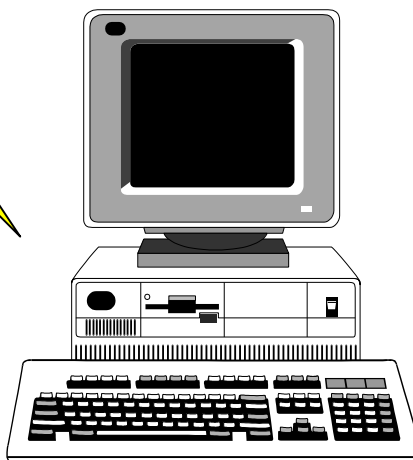
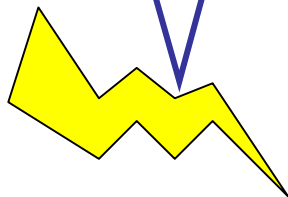
EMI (ElectroMagnetic Interference) とは

どれくらいノイズ  
に耐えられるか

どれくらいノイズを  
出さないか



電磁波感受性  
**EMS**



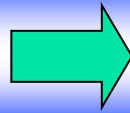
電磁波障害  
**EMI**

$$\text{EMC} = \text{EMS} + \text{EMI}$$

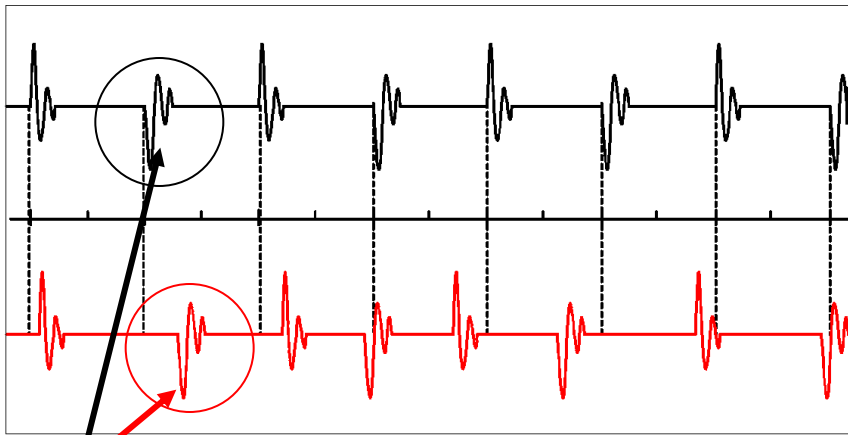
Electro Magnetic Compatibility: 電磁環境両立性

# スペクトル拡散クロックによる 電源回路のEMI低減

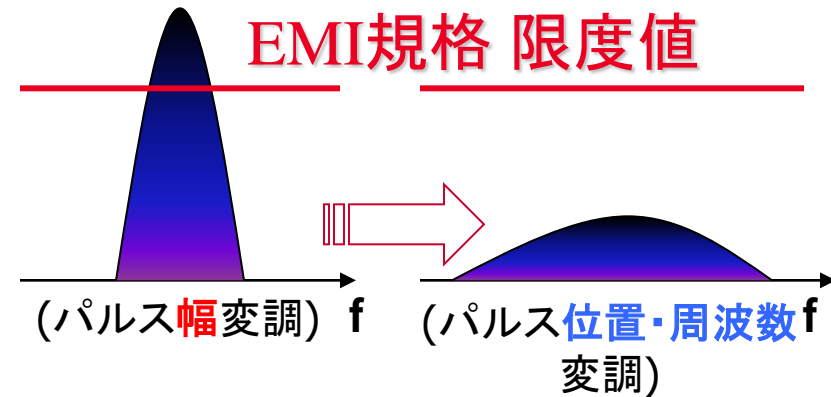
スイッチングノイズパワー



特定周波数成分に集中して発生



スイッチングノイズ



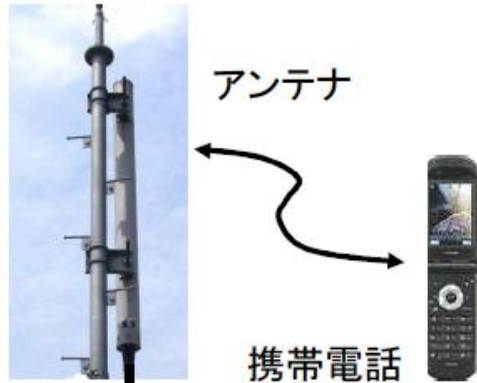
スイッチングノイズパワーの周波数成分を拡散

デジタル電源で複雑な周波数拡散アルゴリズムを実現し、

更なるEMI低減化。

群馬大・東光(株)との共同研究

# 基地局パワーアンプの効率

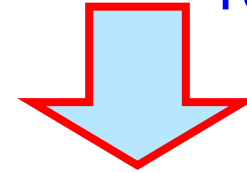


現在の製品レベル

入力電力 約200W

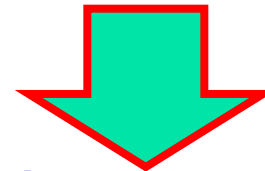
出力電力 30W

効率 15%



170W程度の損失

大きなバックアップシステムが必要



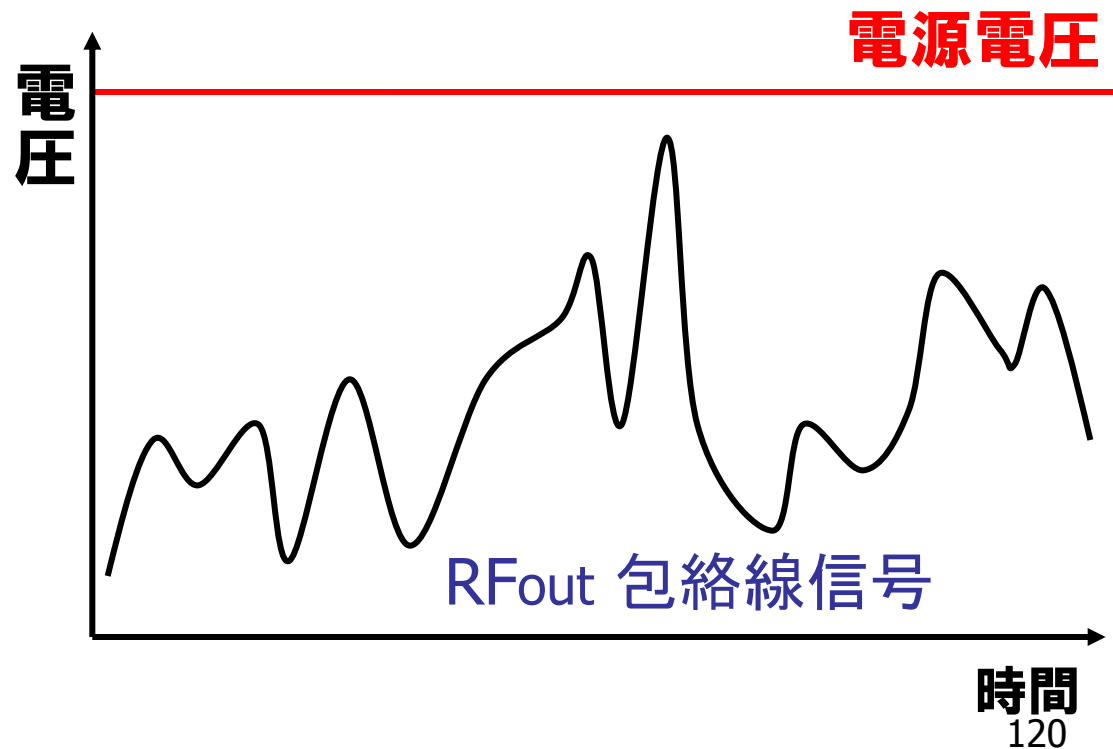
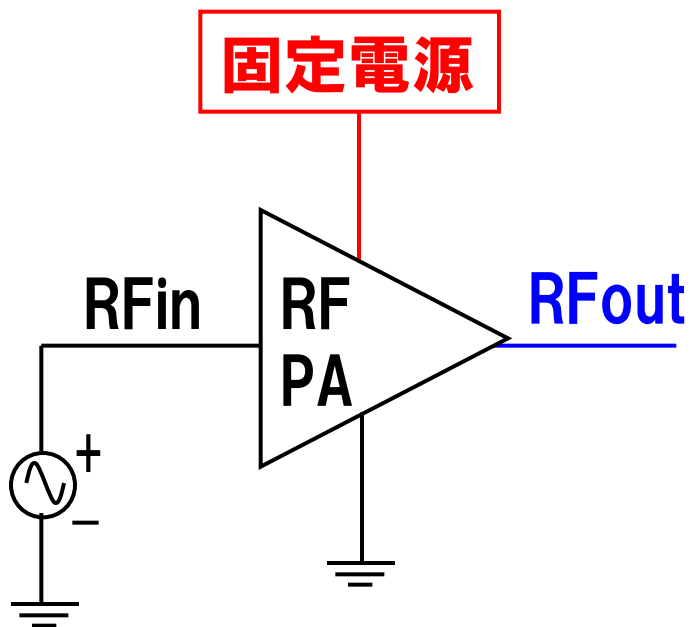
高効率化の  
要求が非常に強い



# 基地局パワーアンプと電源

従来のパワーアンプ電源

- ・電源電圧一定
- ・消費電力に無駄が多い

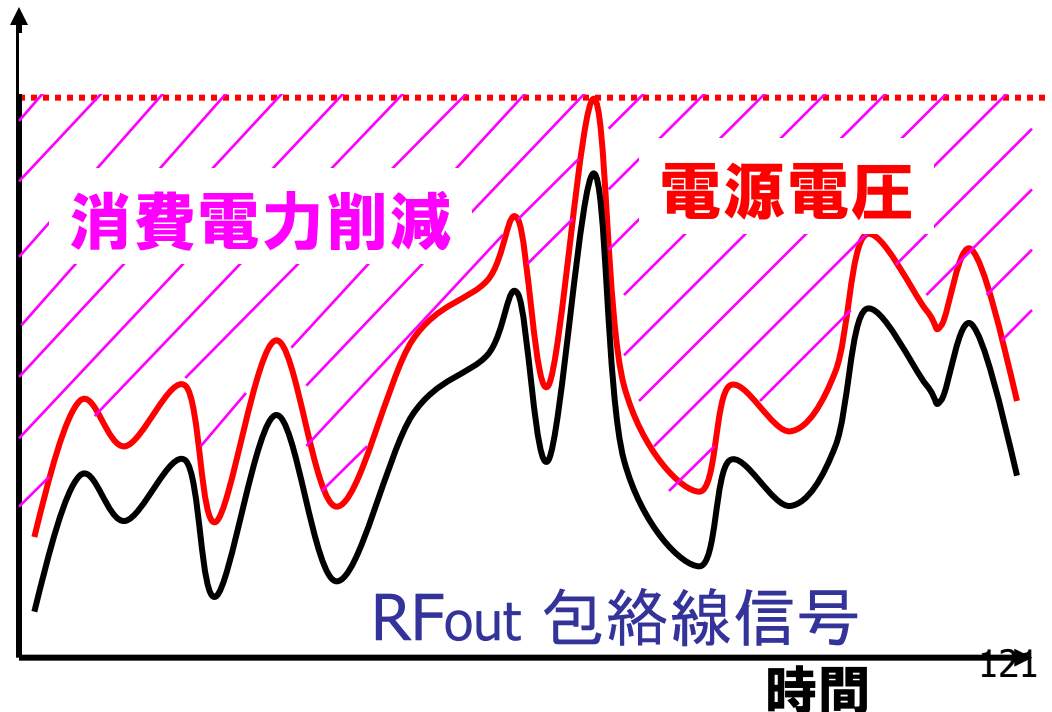
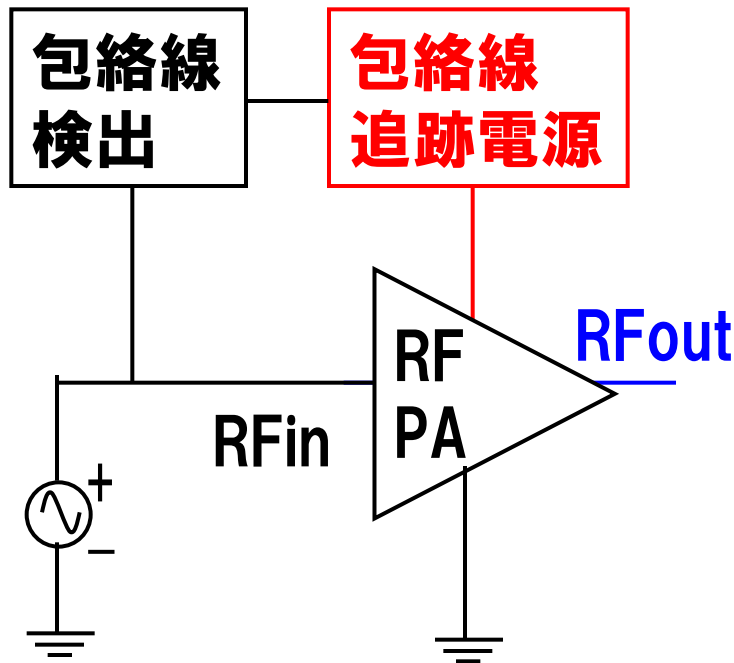




# 包絡線追跡電源による高効率化

- ・RF入力信号の包絡線を検出
- ・パワーアンプに可変電源電圧を供給
- ・W-CDMA, OFDMに対して効果的

RF PA の  
デジタル歪補正

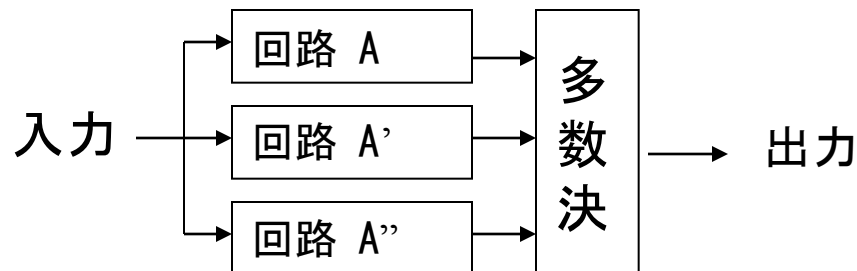


# 冗長性によるデジタル誤差補正

- **空間**の冗長性と**時間**の冗長性
- 回路の非理想要因を許容して正解を出力。
- 非理想要因は計測しない。
- デジタル誤差補正技術により
  - 高信頼性化
  - 高速化
- ここで紹介するのは

時間の冗長性を用いた  
逐次比較近似ADC

cf. 空間の冗長性の例





# 逐次比較近似AD変換器の背景

---

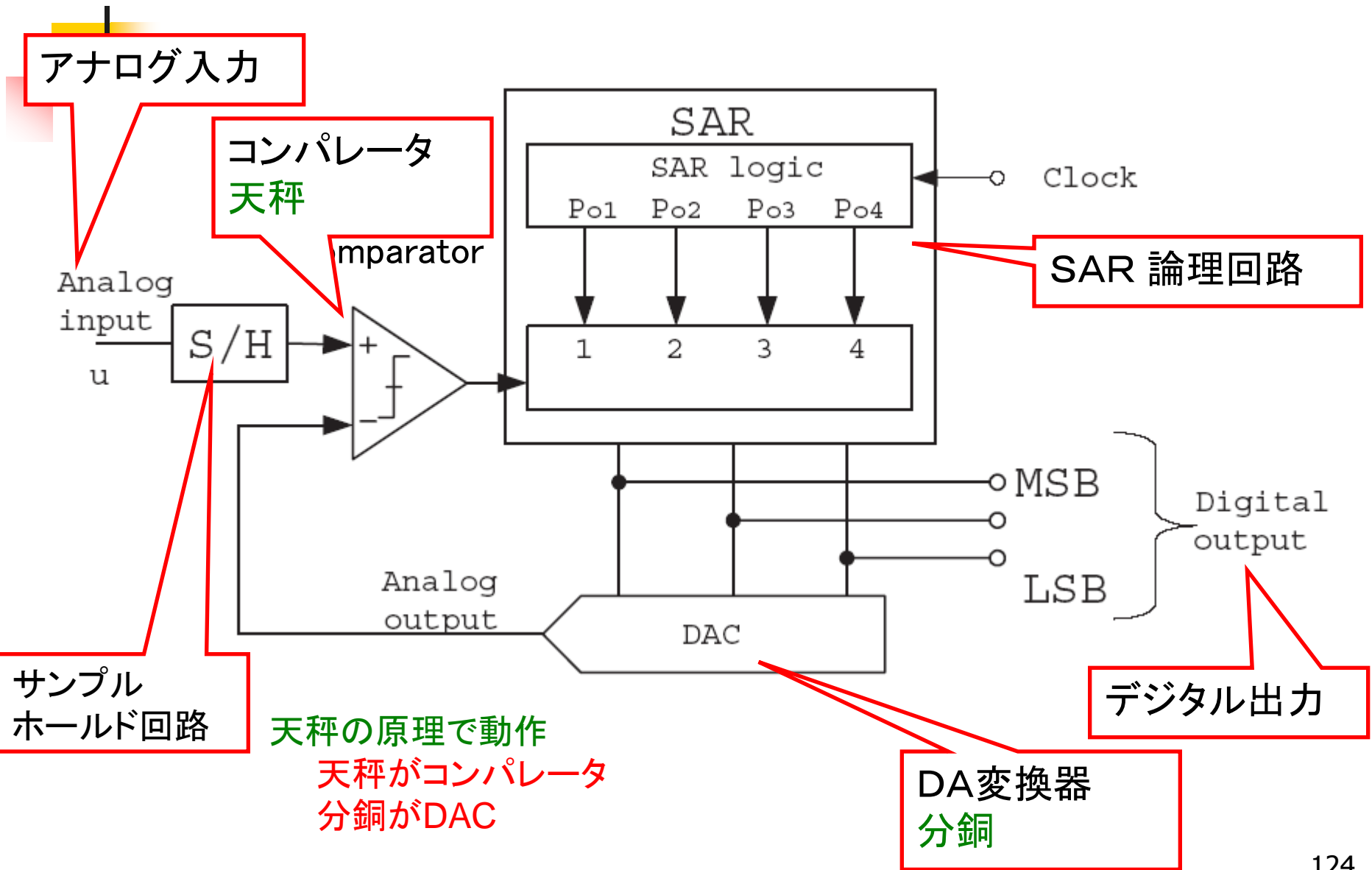
- 高分解能
- 中速
- 低消費電力
- 小型・小チップ面積

産業界で広く使用

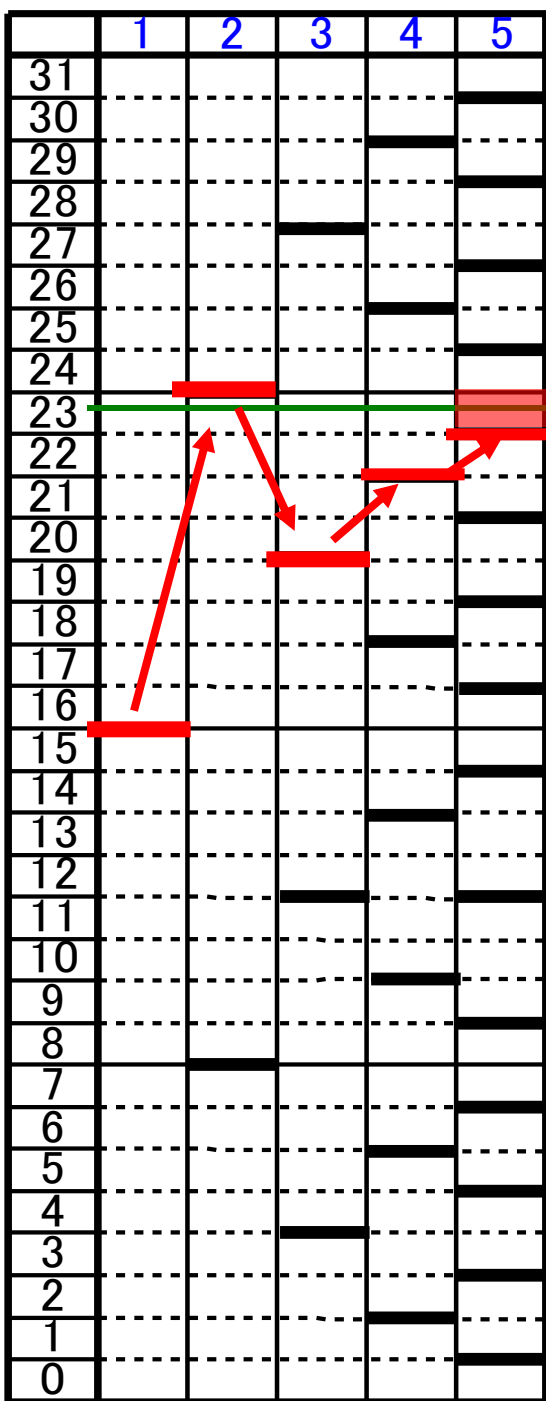
- 車載用マイコンに混載
- ペンデジタイザ
- 工業用制御機器

- 大部分がデジタル回路で構成  
ナノCMOSでの実現に適す

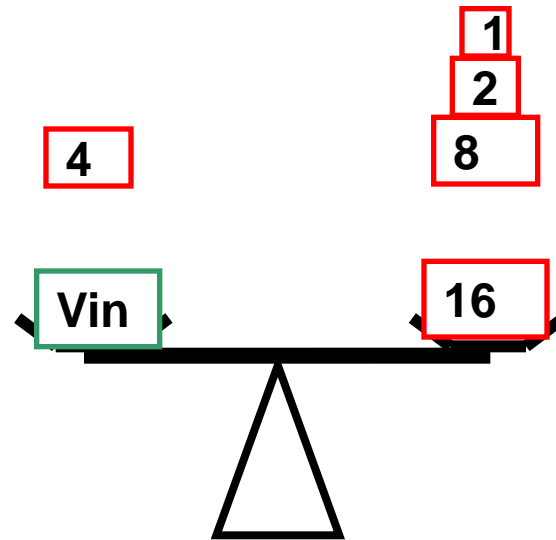
# 逐次比較近似ADCの構成と動作



# 5ビット 逐次比較近似ADC 2進探索アルゴリズム動作



23.5 動作例: アナログ入力 23.5 のとき



$$\boxed{Vin} = \begin{matrix} \boxed{1} \\ \boxed{2} \\ \boxed{8} \\ \boxed{16} \end{matrix} - \boxed{4} = \boxed{23}$$

# 2進探索アルゴリズム コンパレータ誤判定時の動作



$V_{in}=23.5$  動作例: アナログ入力 23.5のとき

1ステップ目で誤判定したとき

誤差大

デジタル  
出力15

$V_{ref}(1)=16$

$V_{ref}(2)=8$

$V_{ref}(3)=12$

$V_{ref}(4)=14$

$V_{ref}(5)=15$

デジタル出力 15

# 非2進探索 冗長アルゴリズム

kステップ目の判定  $d(k) : +1 \text{ or } -1$

## 2進探索アルゴリズム

$$D_{out} = 2^4 + d(1)2^3 + d(2)2^2 + d(3)2^1 + d(4) + d(5)0.5 - 0.5$$

非2進アルゴリズム: 5ビット分解能を6ステップで実現。

## 従来の非2進探索アルゴリズム

$$D_{out} = 2^4 + d(1)\gamma^4 + d(2)\gamma^3 + d(3)\gamma^2 + d(4)\gamma^1 + d(5) + d(6)0.5 - 0.5$$

$$1 < \gamma < 2$$

アルゴリズムが一意的に決まる。

$$\gamma = 2^{\frac{5}{6}}$$

## 非2進探索アルゴリズムの一般化

$$D_{out} = 2^4 + d(1)p(2) + d(2)p(3) + d(3)p(4) + d(4)p(5) + d(5)p(6) + d(6)0.5 - 0.5$$

$p(k)$ を自由に決める。  $p(k)$ : 分銅の重さ

# 非2進探索アルゴリズムの デジタル誤差補正原理

入力5のとき

2進探索

判定出力: 101

$$Dout = 4 + 2 - 1 + 0.5 - 0.5 = 5$$

非2進探索

2通り

判定出力: 1101

$$Dout = 4 + 1 + 1 - 1 + 0.5 - 0.5 = 5$$

判定出力: 0111

$$Dout = 4 - 1 + 1 + 1 + 0.5 - 0.5 = 5$$

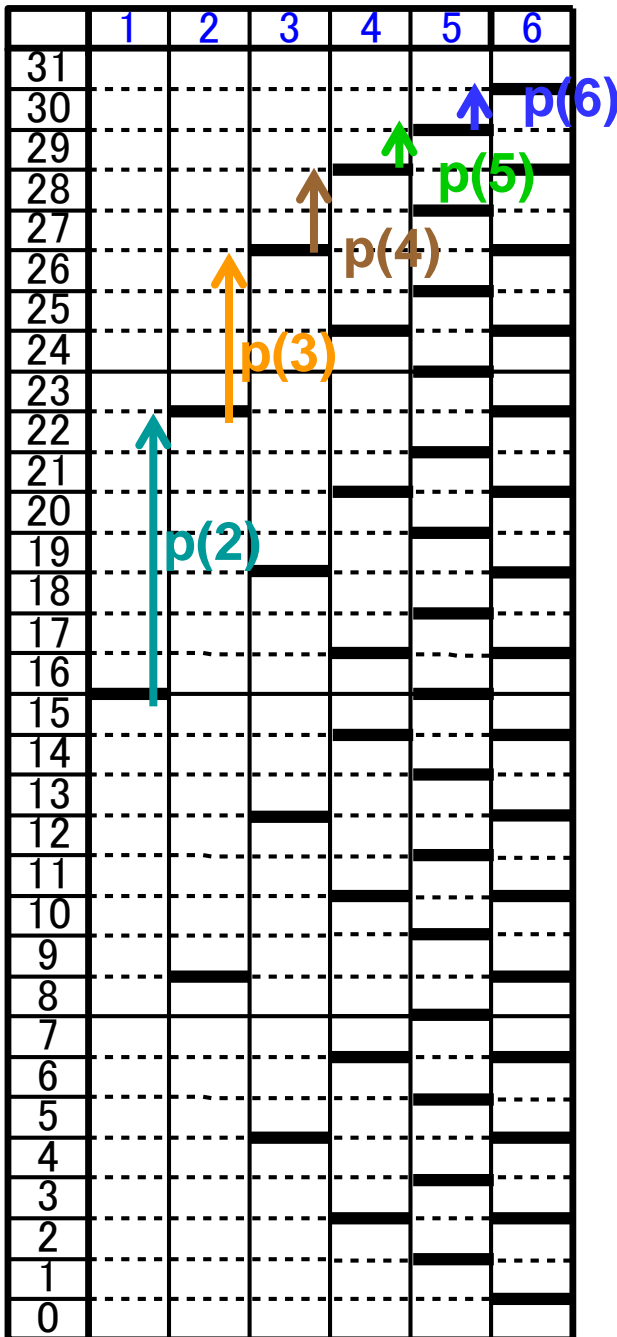
1ステップ目で判定誤りをしても補正できる



# 非2進探索アルゴリズム

5ビット分解能(32レベル)

6ステップ<sup>o</sup>( $k=1, \dots, 6$ )の場合



$$p(2)=7$$

$$p(3)=4$$

$$p(4)=2$$

$$p(5)=1$$

$$p(6)=1$$

分銅の重さに対応

と設計する。

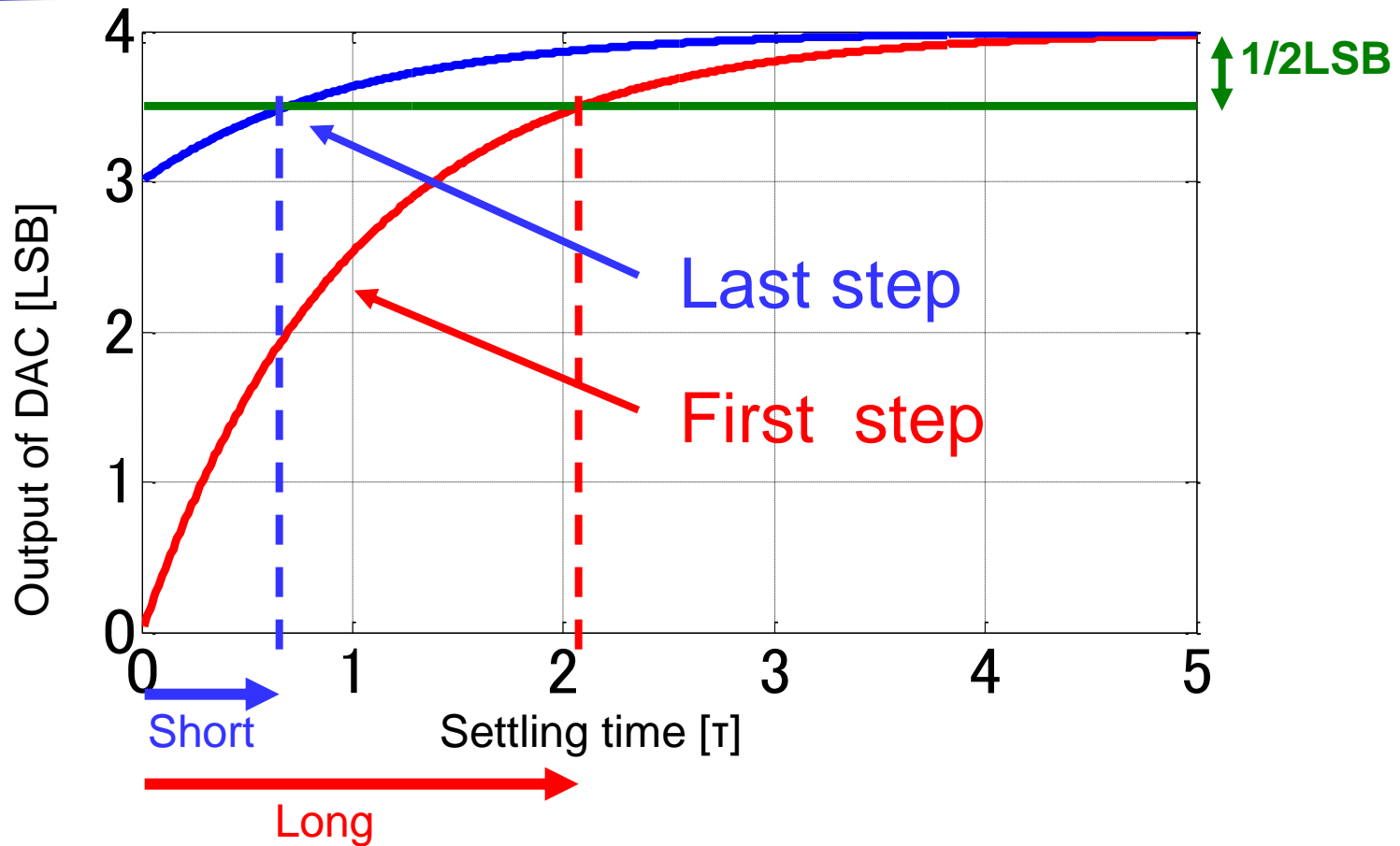
$$2^{5-1} = 1 + p(2) + p(3) + p(4) + p(5) + p(6)$$

$$2^4 = 1 + 7 + 4 + 2 + 1 + 1 = 16$$

$$2^{N-1} = 1 + \sum_{i=2}^M p(i)$$

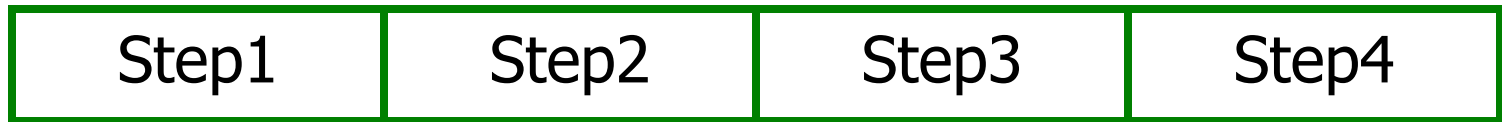
を満たしている

# 参照電圧発生用の 内部DA変換器の整定時間



# 非2進探索アルゴリズムによる AD変換 高速化 (原理説明)

## Binary search algorithm



Exact DAC settling → Long time

A/D conversion time

## Non-binary search algorithm



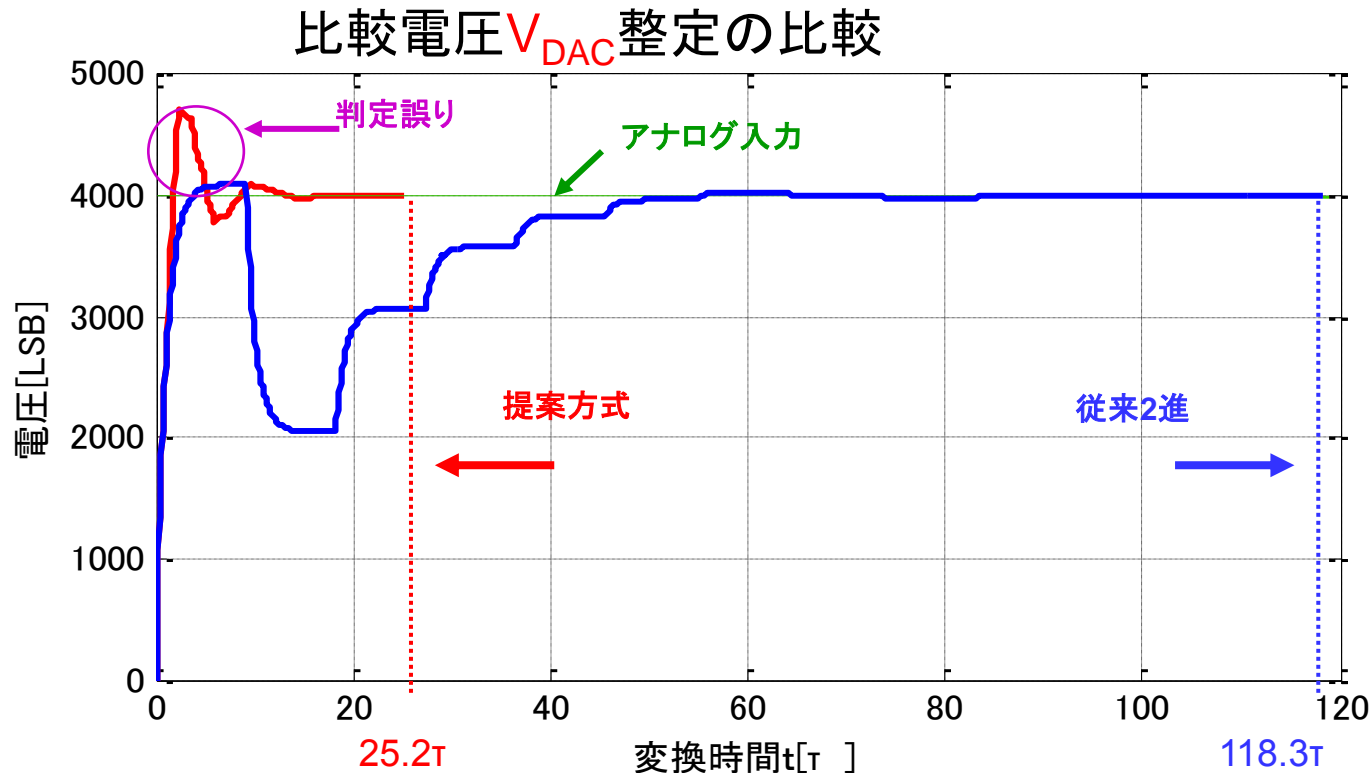
Correct incomplete settling error.

Incomplete DAC settling → Short time

# 非2進探索アルゴリズムによる AD変換 高速化 (シミュレーション確認)

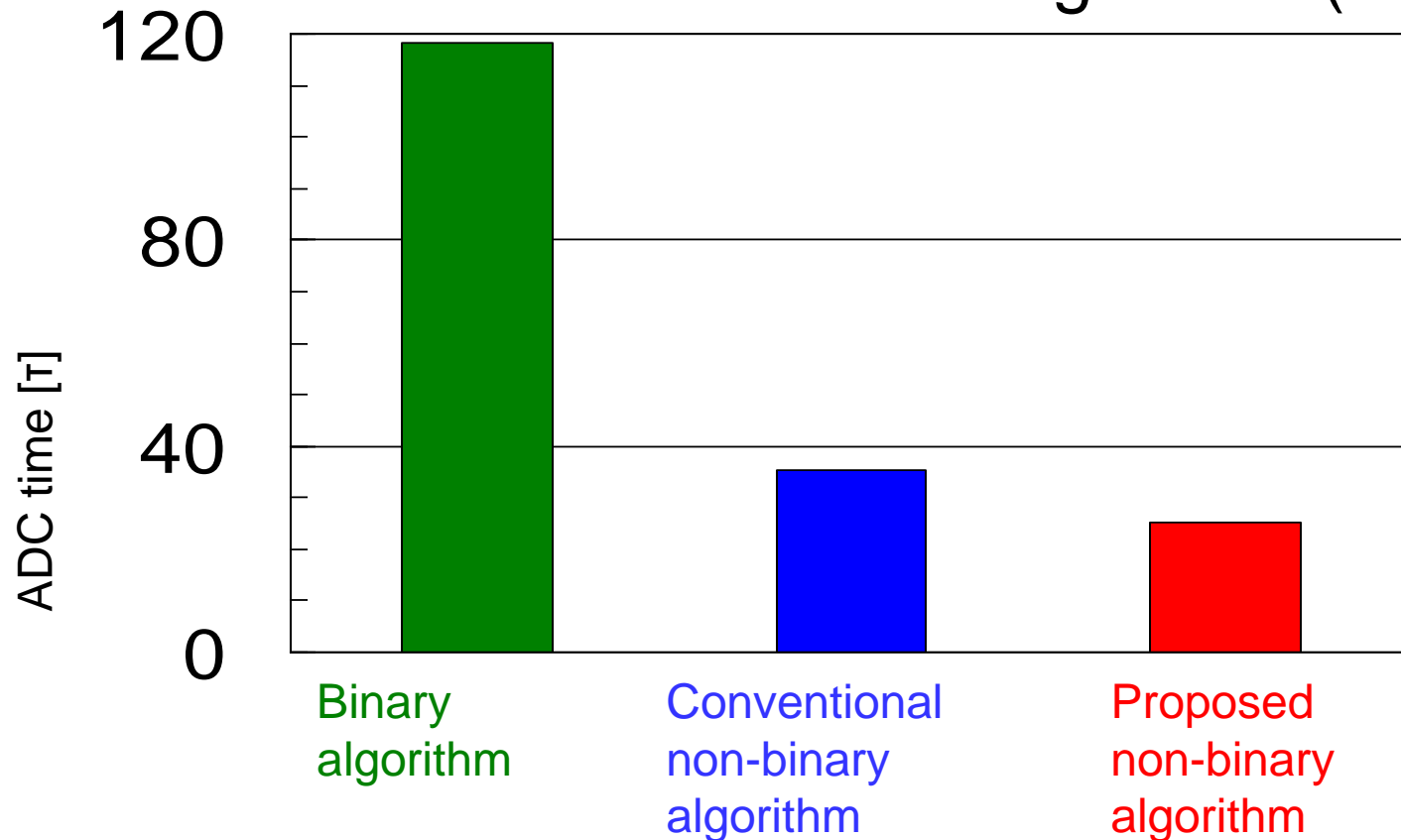
従来2進: 14ビット14ステップ 1サイクル9.1 $\tau$

提案非2進: 14ビット22ステップ 1サイクル1.2 $\tau$



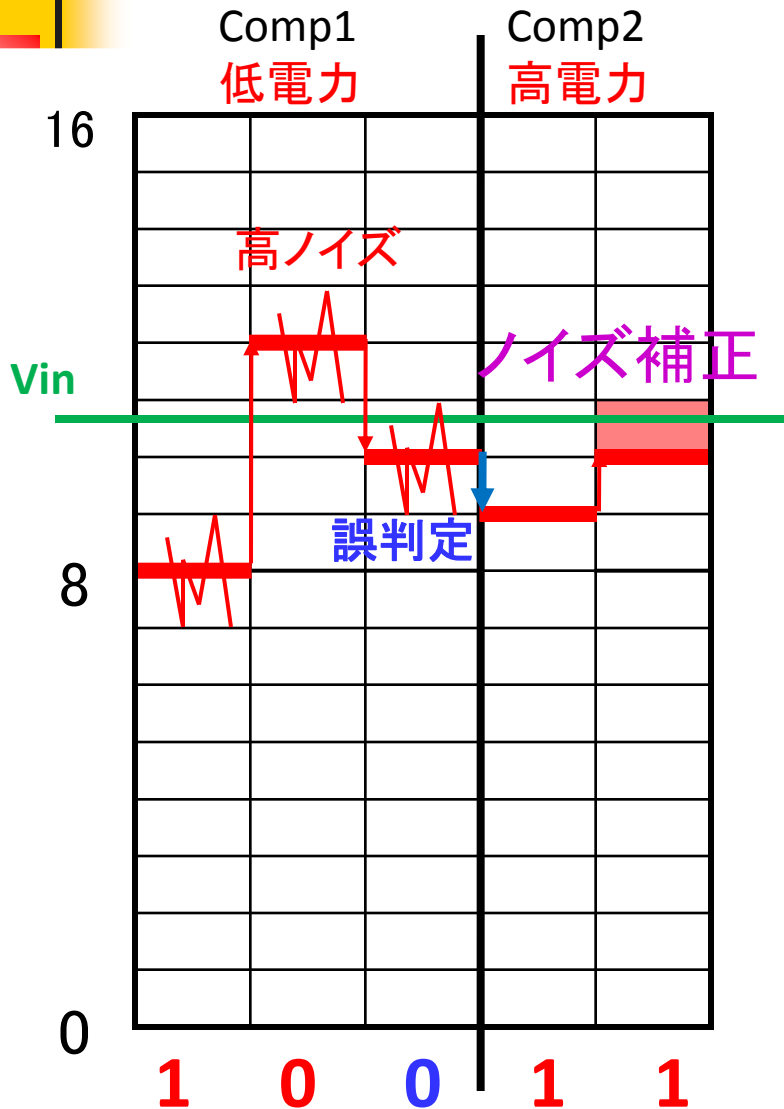
# AD変換スピードの比較

Conversion time of each algorithm (14-bit)



# 2つのコンパレータ使用 SAR ADC (IMEC提案)

冗長による  
低消費電力化

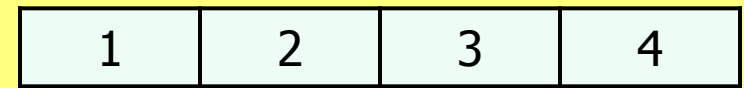


分銅



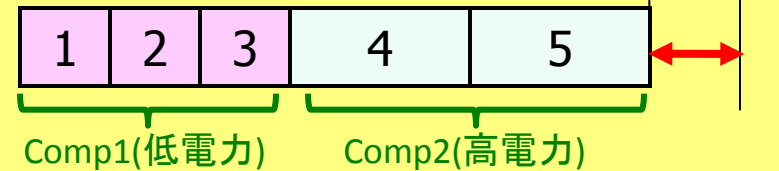
消費電力

通常



2-コンパレータ

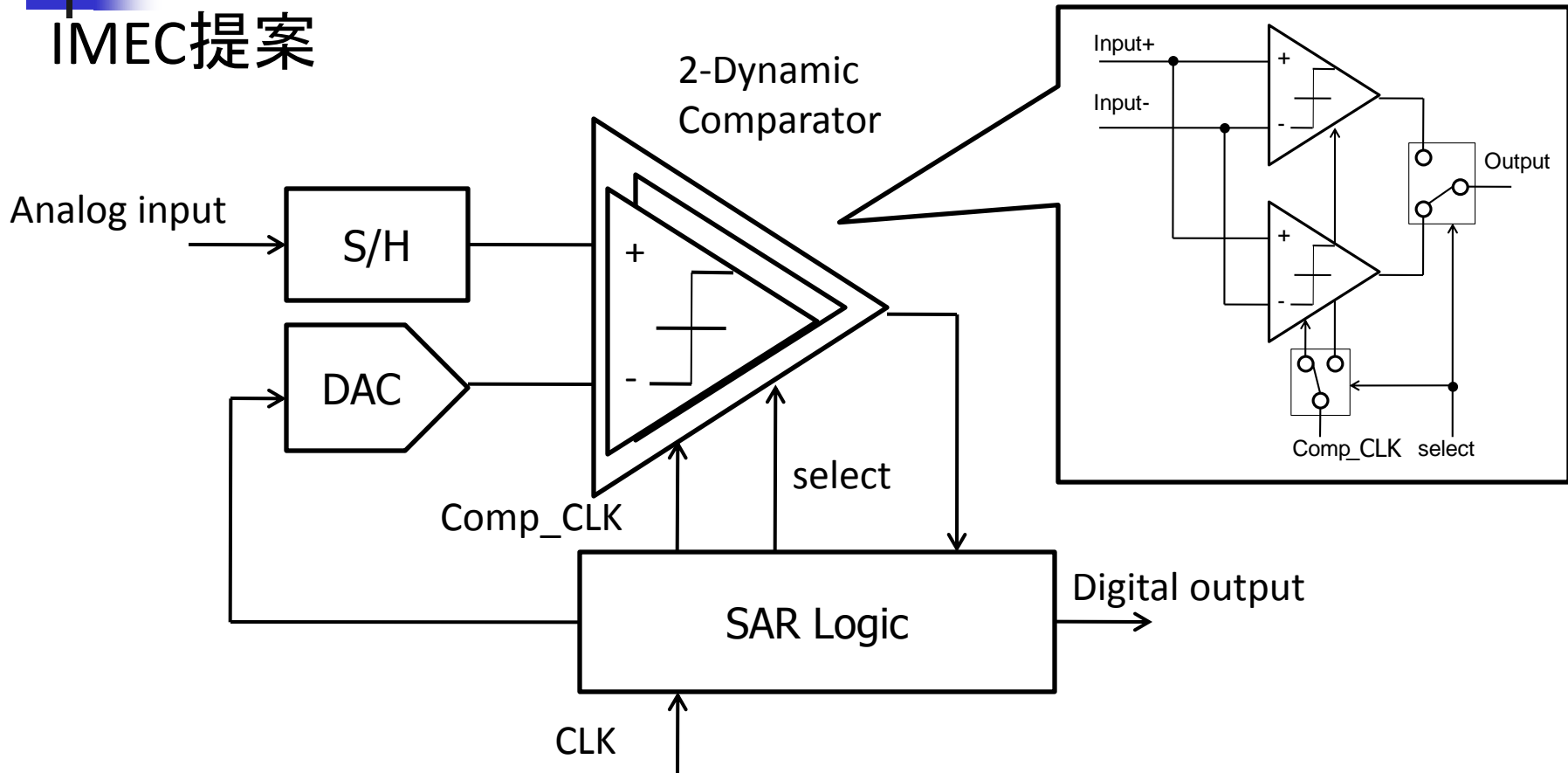
消費電力減少



コンパレータ  
トータル消費電力

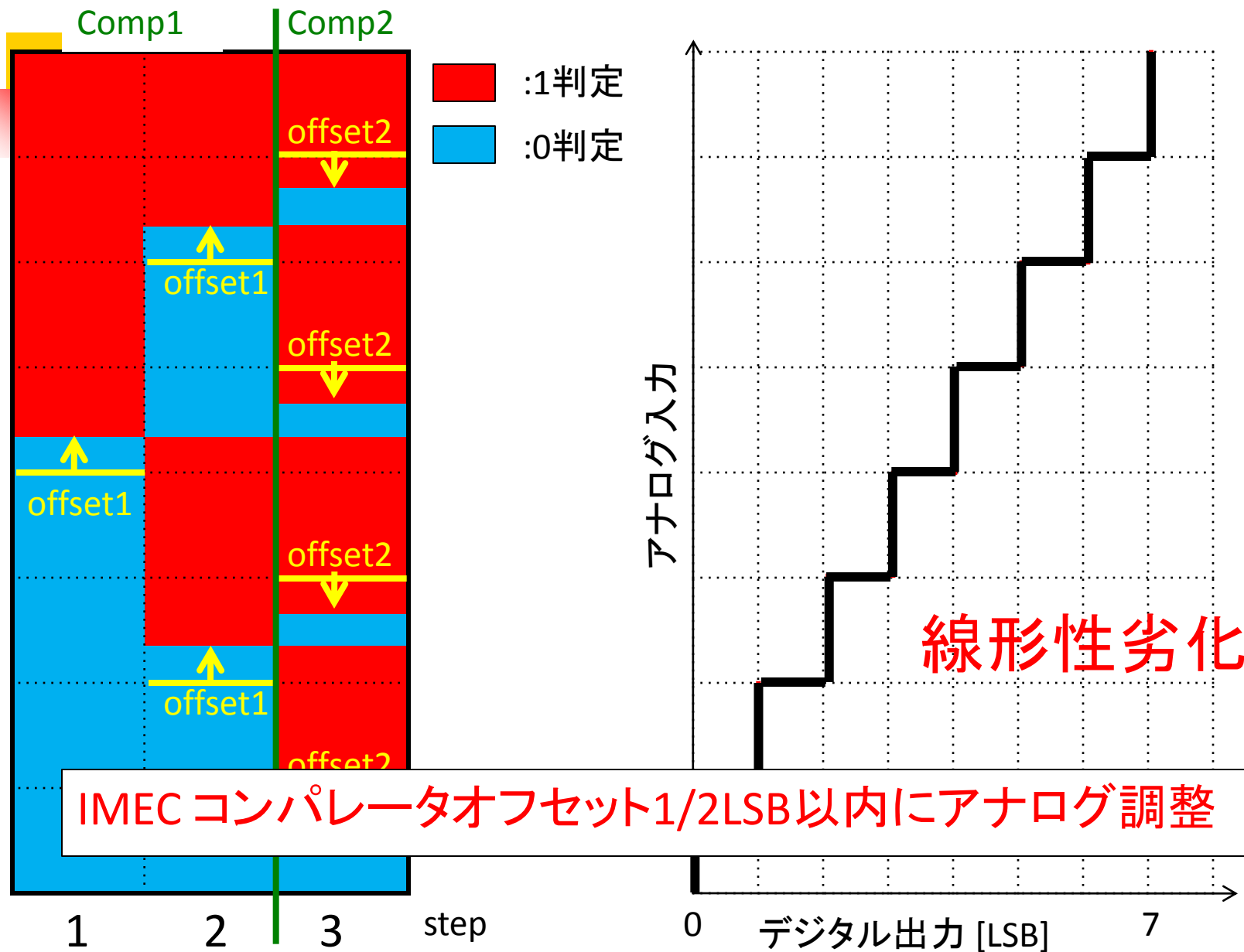
# 2-コンパレータ SAR ADC 構成

## IMEC提案



# 2つのコンパレータ SAR ADC コンパレータオフセットミスマッチの影響

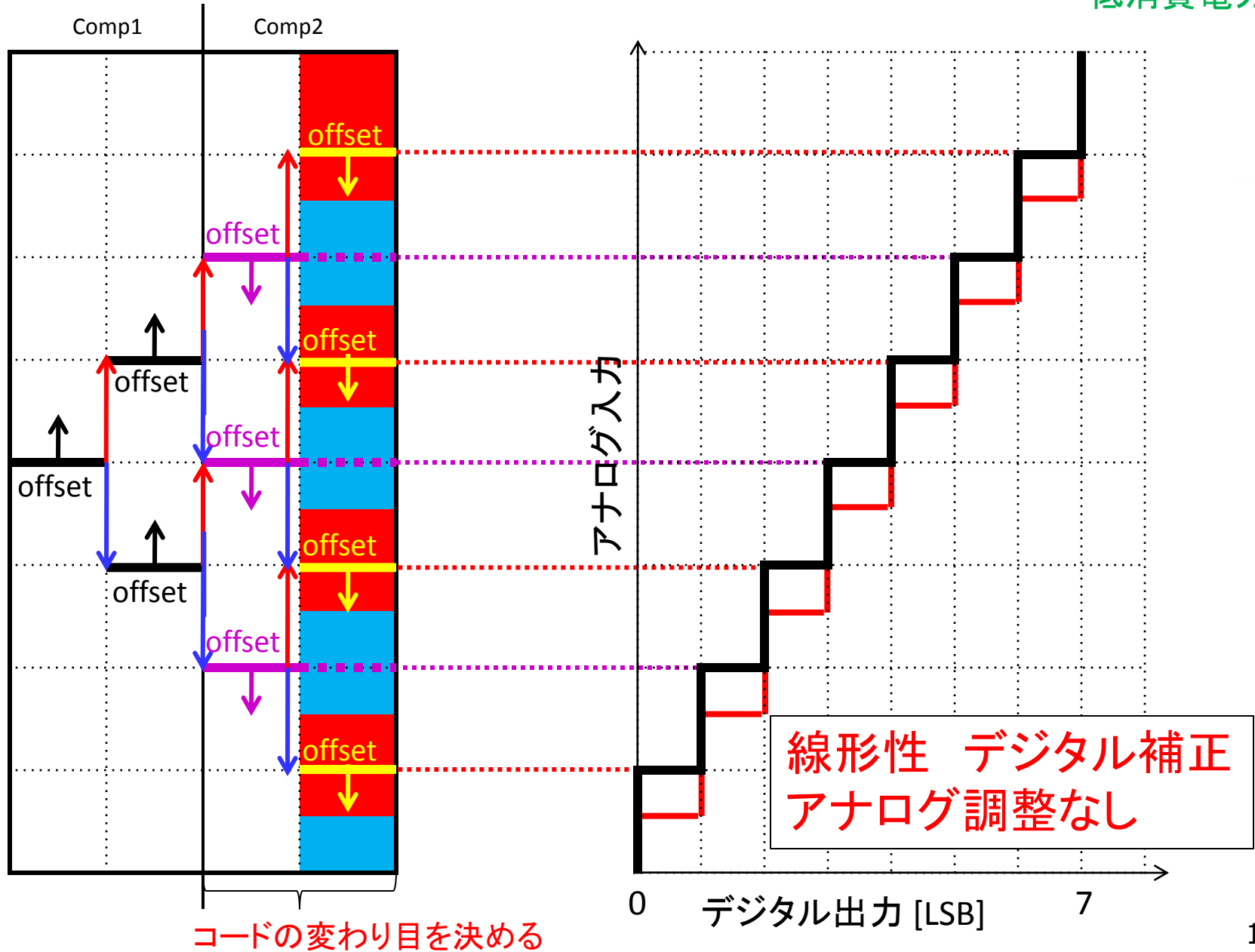
冗長による  
低消費電力化





# 提案 冗長アルゴリズムによるデジタル補正

冗長による  
低消費電力化



# 例: 10ビット11ステップSAR ADC

冗長による  
低消費電力化

オフセットミスマッチ: 6.0LSB以内

Comp1(低電力) ノイズ: 1.0 LSB以内

Comp2(高電力) ノイズ: 0.2 LSB以内

コンパレータのアナログ・キャリブレーションなしの場合の設計例

IMEC方式

提案方式

Comp1

Comp2

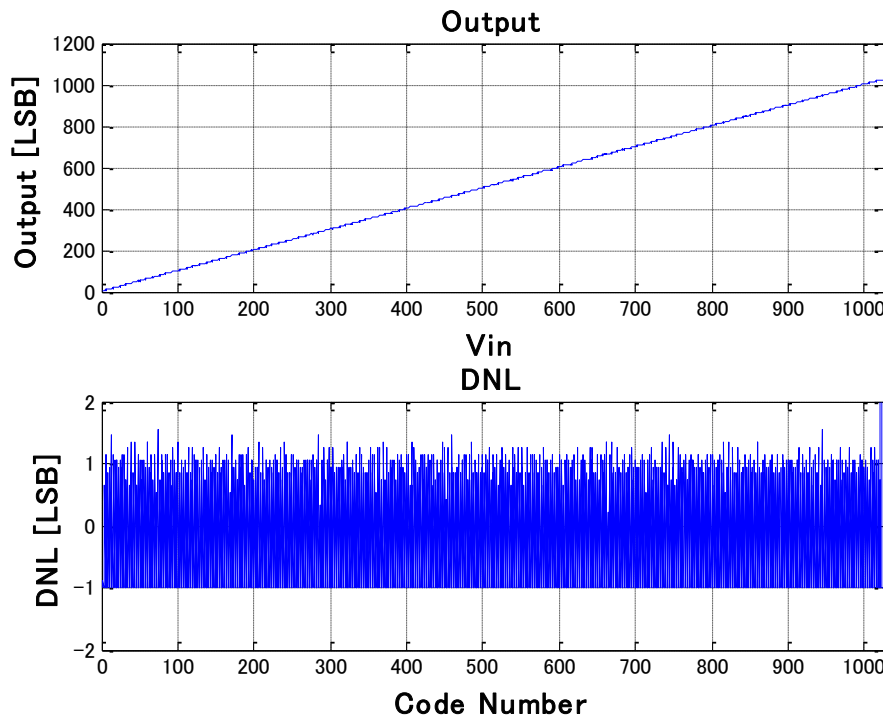
step:k	参照電圧	誤差 er(k)[LSB]	許容値 [LSB]
1	512	7.0	1
2	256	7.0	1
3	128	7.0	1
4	64	7.0	1
5	32	7.0	1
6	16	7.0	1
7	8	7.0	1
8	4	7.0	1
9	2	7.0	1
10	1	0.2	0
11	1	0.2	0

step:k	参照電圧	誤差 er(k)[LSB]	許容値 [LSB]
1	512	7.0	8
2	256	7.0	8
3	128	7.0	8
4	64	7.0	8
5	32	7.0	8
6	16	7.0	8
7	8	0.2	0
8	8	0.2	0
9	4	0.2	0
10	2	0.2	0
11	1	0.2	0

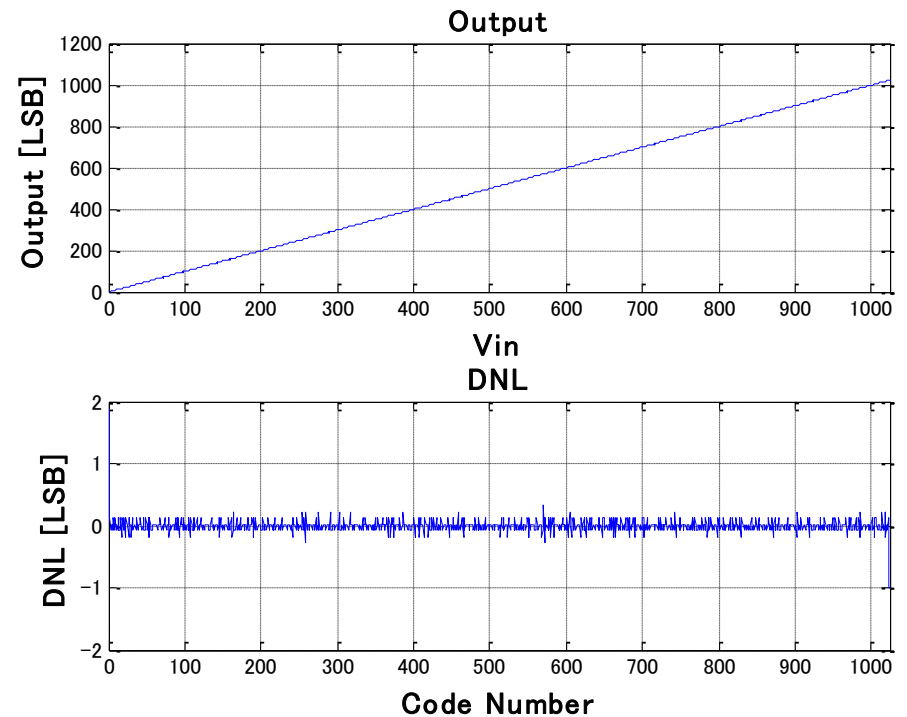
# MATLABシミュレーション(ランプ波)

- Comp1(低電力) オフセット: +4.0 LSB、ノイズ: 1.0 LSB
- Comp2(高電力) オフセット: -2.0 LSB、ノイズ: 0.2 LSB
- コンパレータのアナログ・キャリブレーションなしの場合

IMEC方式



提案方式



# 消費電力と コンパレータミスマッチ許容の トレードオフ

冗長による  
低消費電力化

低消費電力化  $\longleftrightarrow$  コンパレータのミスマッチ許容

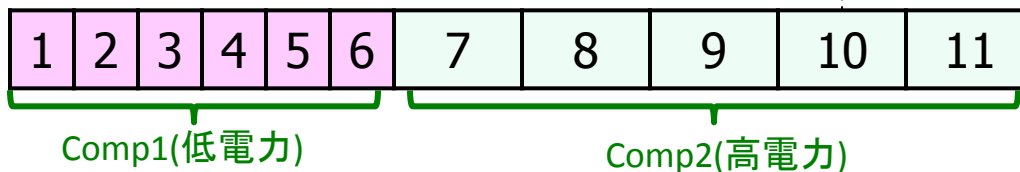
通常 1-コンパレータ



IMEC方式 2-コンパレータ(コンパレータミスマッチ許容:小)



提案 2-コンパレータ(コンパレータミスマッチ許容:大)



コンパレータ  
トータル消費電力  $\rightarrow$



# 逐次比較ADCへの期待

---

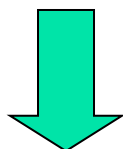
- 昔からの方式
- 産業界で広く使用
- 微細CMOS実現での研究活発
- 冗長アルゴリズム(信号処理技術)

 - 高速化  
- 低消費電力化

が可能。

# 人生訓のような結果

2進 SAR ADC はADC構成の中で最も効率(Figure of Merit) がよいと期待されて現在研究がホット。



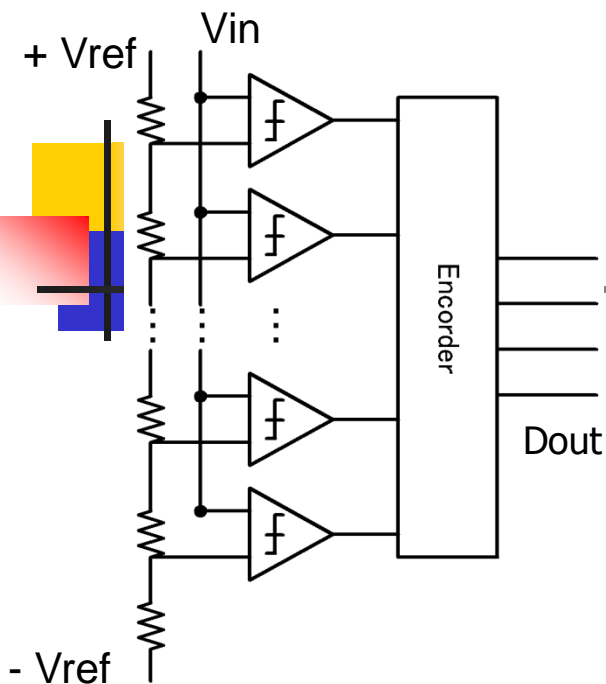
冗長性を持たせることで、より効率が良い。

「無用の用」(老子、荘子)

一見役に立たないものが、実は大きく役立つ

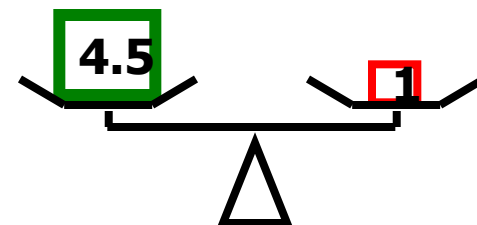
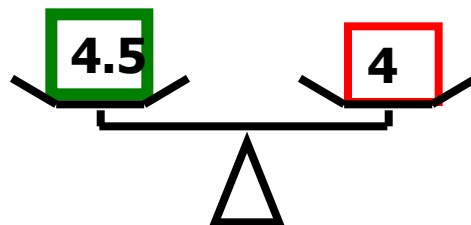
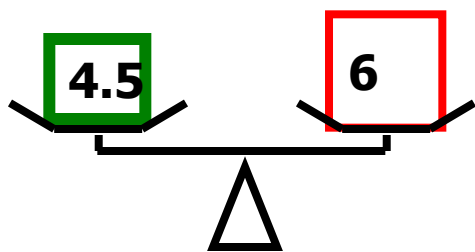
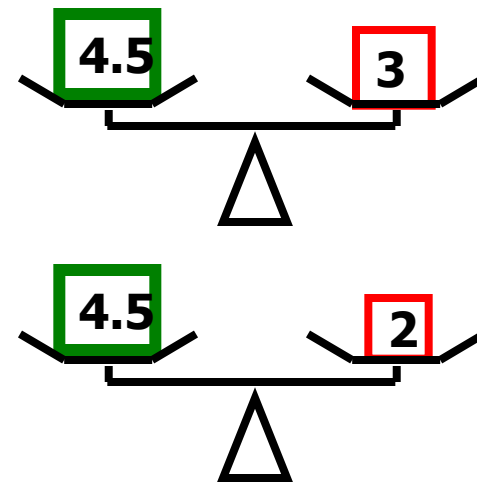
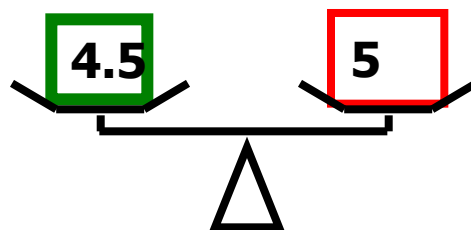
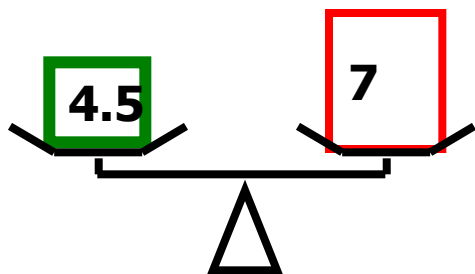
# フラッシュ型ADC

## - 大きな冗長性の回路 -



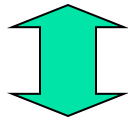
全ての重さの分銅と  
それを載せる天秤を用意

入力  $V_{in}$  4.5



# フラッシュ型ADCへの見方

「フラッシュ型ADCは無駄な回路が多く賢い構成ではない」  
「6bit フラッシュADC など目をつぶっても実現できる」



「フラッシュ型ADCは偉大な構成」

- 低分解能・超高速ADCのアーキテクチャとしてフラッシュ型を超えようとして、(公表されてないが、まわりで) いくつかの研究が失敗している (UCLA Abidi 先生)
- 産業界で フラッシュ型は生き残っている。





# 冗長性を用いたADC設計

---

ADC 内に 冗長性



各回路構成要素への要求が緩和



性能向上を達成



# 時間の冗長性 (1)

---

1人の人が、間違いなく 休みもとらずにやれば  
6時間で終わる仕事

➡ 7時間を割り当てる。

➡ 途中で間違えても修正・回復できる。

適度に休息をとり 余裕をもって確実に  
仕事を完了させることができる。

長い間には効率的。短い時間で大プロジェクトが完了できる。

ADCアーキテクチャ例： 冗長アルゴリズムSAR ADC

[1] T. Ogawa et. al., "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals (Feb. 2010).



## 時間の冗長性 (2)

---

ある人が3時間、それを引き継いで  
次の人が4時間かかる仕事を  
7時間を割り当てる。

→ 引き継ぎの時間がない。

8時間を割り当てる。

→ 引き継ぎの時間が十分で、  
仕事が確実に完了できる。

対応するADCアーキテクチャ

[2] 小川 智彦 他「逐次比較近似ADC コンパレータ・オフセット影響の  
冗長アルゴリズムによるデジタル補正技術,」  
電子情報通信学会誌 和文誌C (2011年3月)



# 空間の冗長性

---

5人で7時間で終わる仕事に

6人を7時間で割り当てる。

➡ 休息をとれる。一人が風邪で休んでもOK。

一人が間違えても周りが助ける。

➡ 各自の負担が大幅に軽減でき、

長期的には効率がよい。

対応するADCアーキテクチャ例： 3つの比較器を使用するSAR ADC

[3] M.Hotta, "SAR ADC Architecture with Digital Error Correction",  
IEEJ Transactions on Electrical and Electronic Engineering (Nov. 2010).

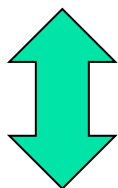


# 冗長ADCのテストは難しくなる

---

## 冗長性

誤動作、故障が起こってもシステム全体は  
正常に動作する (Fault Tolerant)



異なる思想

## LSIテスト

故障がはいらないようにする検査



# デジタル誤差補正とキャリブレーション

---

## デジタル誤差補正

冗長回路をもち、回路の非理想要因を許容して正解を出力  
非理想要因は計測しない。

## デジタルキャリブレーション

回路の非理想要因をデジタル値として測定  
メモリに記憶、  
その値をもとに通常動作のときに補正



# パイプラインADCの背景

---

- **パイプラインADCの位置づけ**

CMOS ADCで高分解能、中高速で  
有力なアーキテクチャ。

産業界で広く用いられている。

- **ナノCMOSでの実現**

ミスマッチによる精度劣化、

オペアンプのゲインを得るのが難しい

高精度化が難しい

計測制御技術による

# パイプラインADCの高性能化

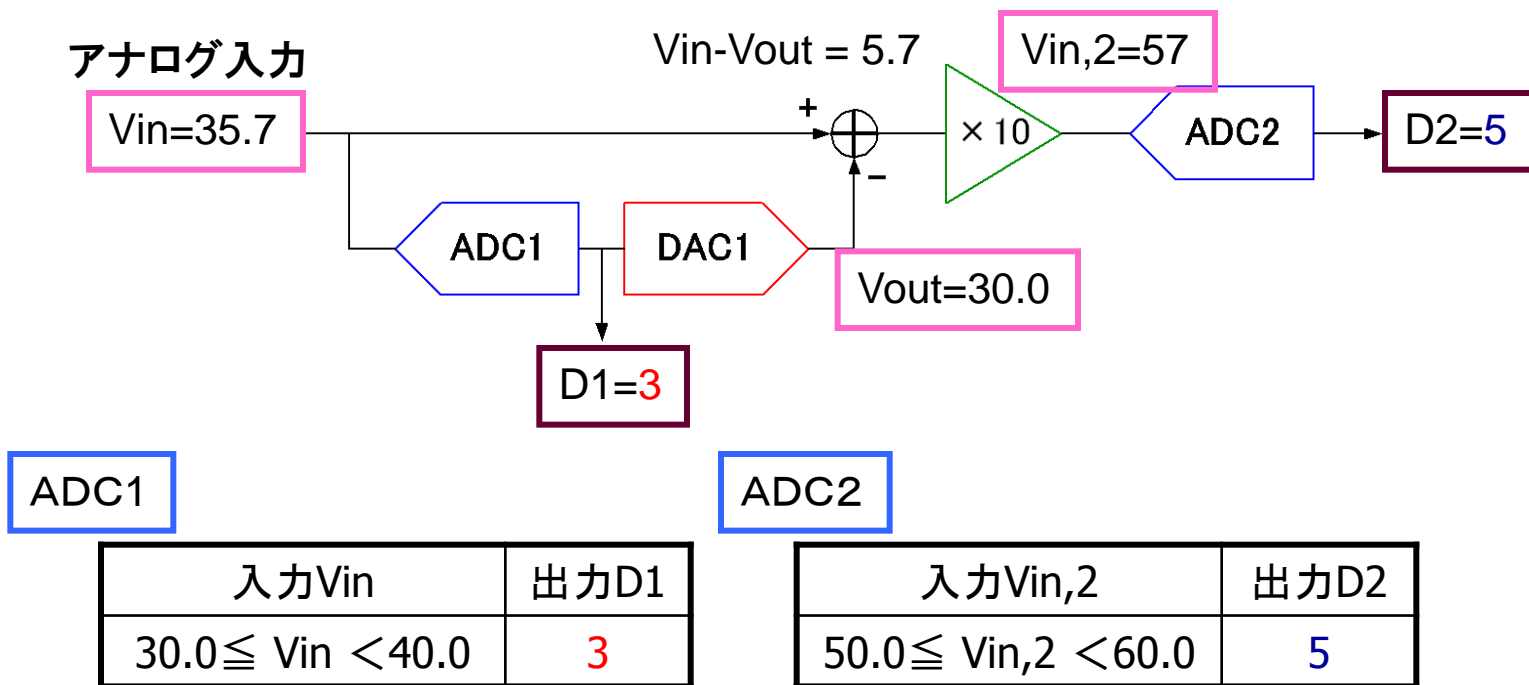
## 自己校正技術

- 内部回路(DA変換器、利得アンプ)の不正確さを計測して、その値をテーブルに記憶。デジタル演算で補正。
- 誤差計測回路はパイプラインADC自体を用いる。



# パイプラインADCの構成と動作

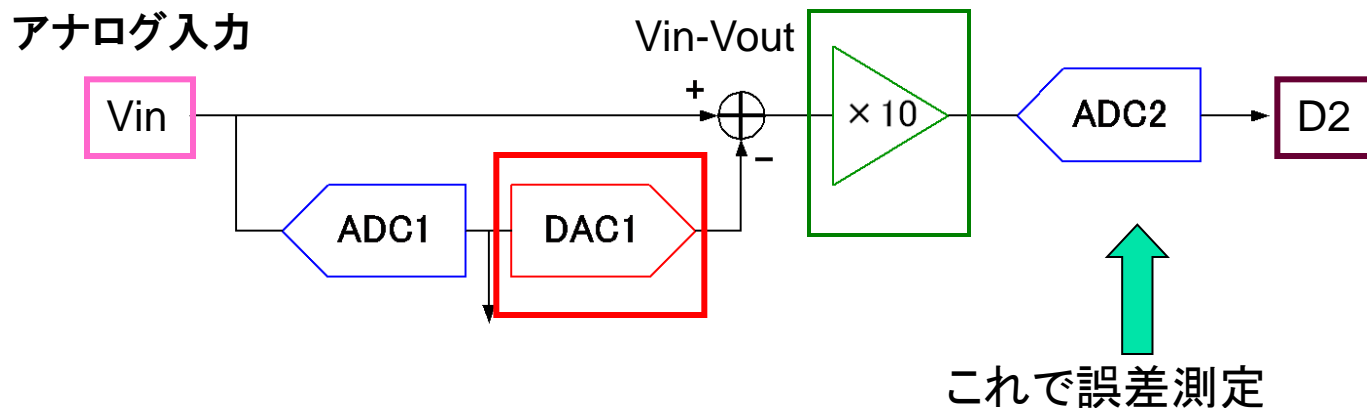
パイプライン = バケツリレー



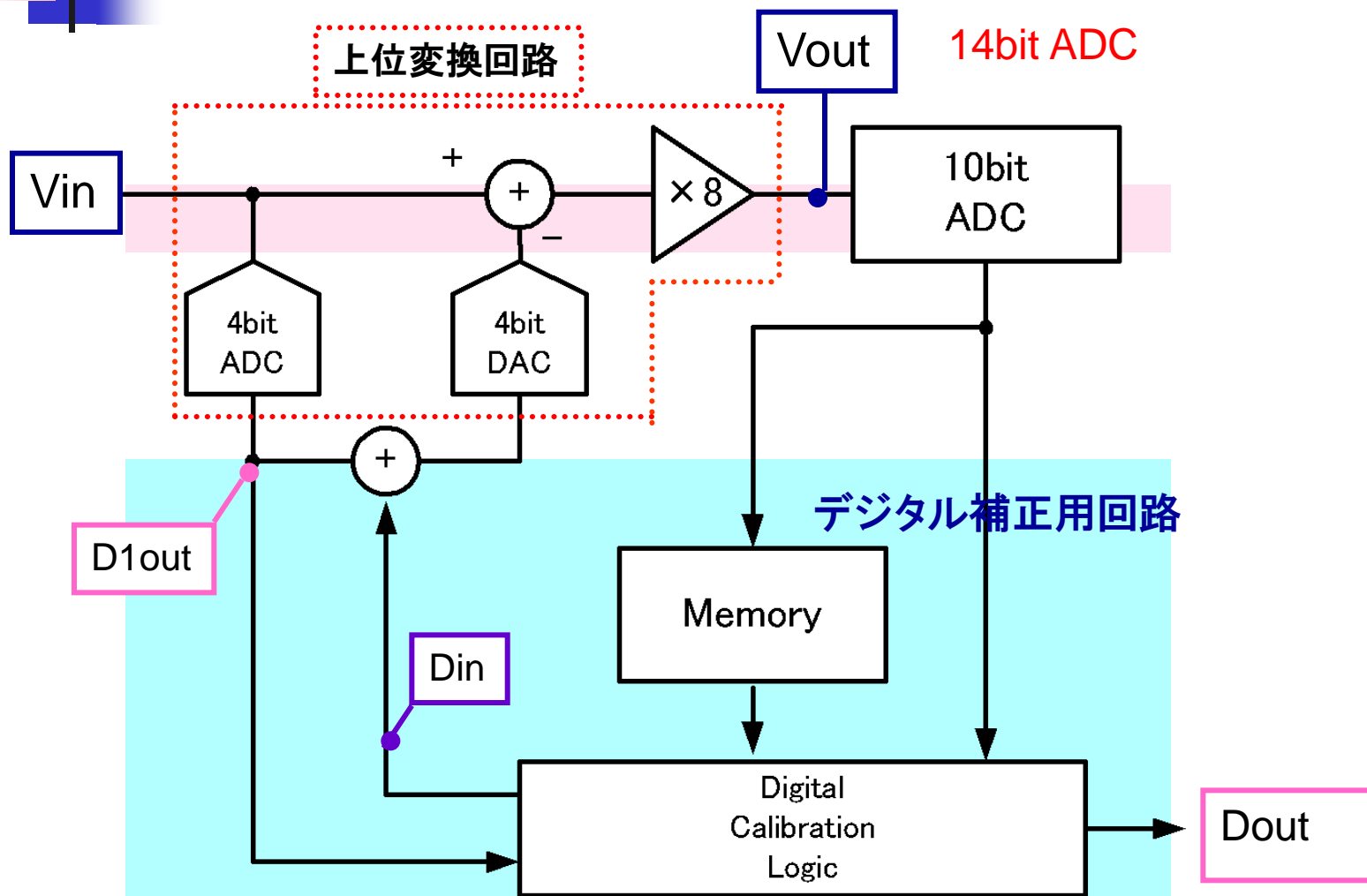
出力  $D_{out}=3 \times 10+5=35$

# パイプラインADC全体の 精度劣化要因

ADC1の非線形性の影響	問題	小
<u>DACの非線形性の影響</u>	問題	大
<u>段間アンプのゲイン誤差の影響</u>	問題	大

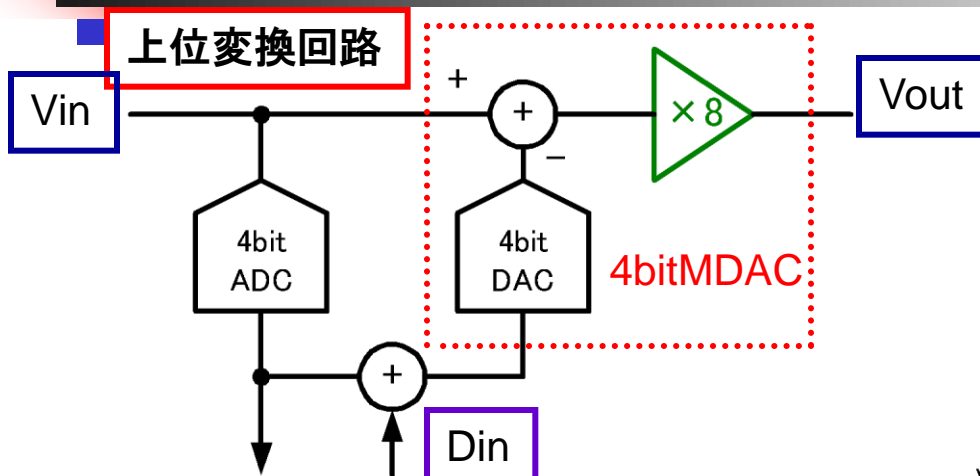


# 自己校正回路を含んだ パイプラインADC全体回路

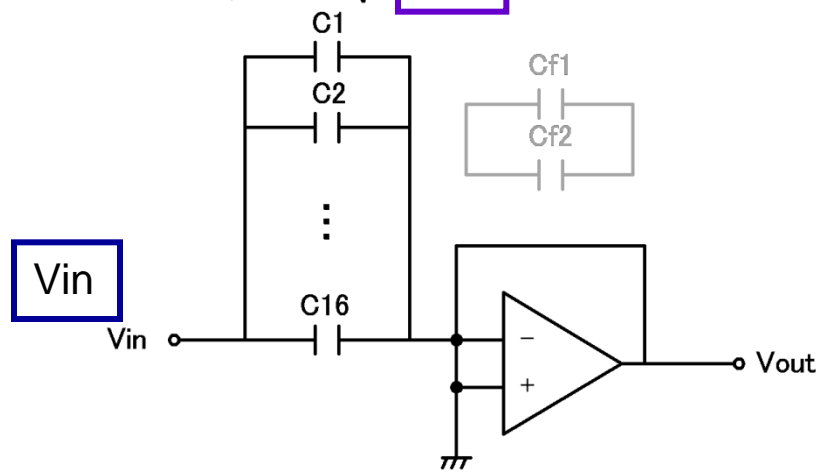


# マルチプライDACのゲイン・非線形性測定

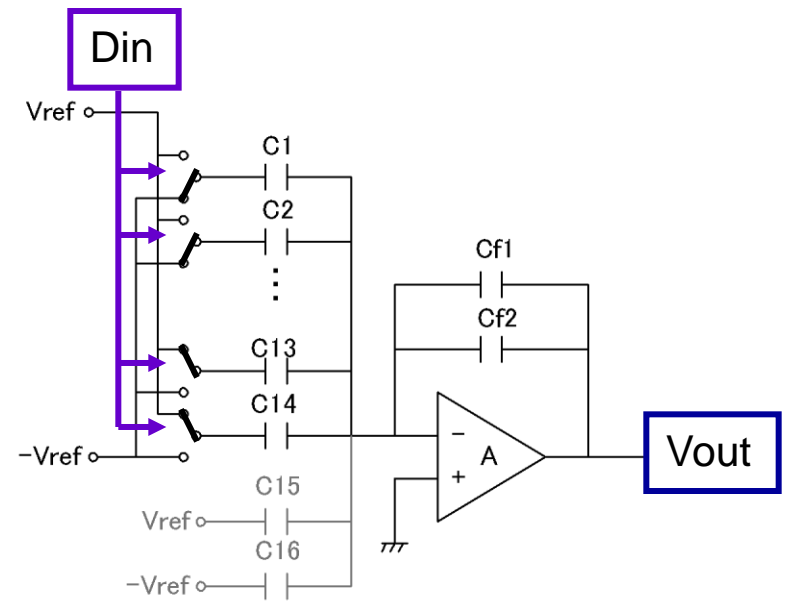
- 内部の容量を後段ADCで測定 -



$$V_{out} = 8 \left( V_{in} - [D1 + D2 + \dots + D14] \frac{V_{ref}}{16} \right)$$

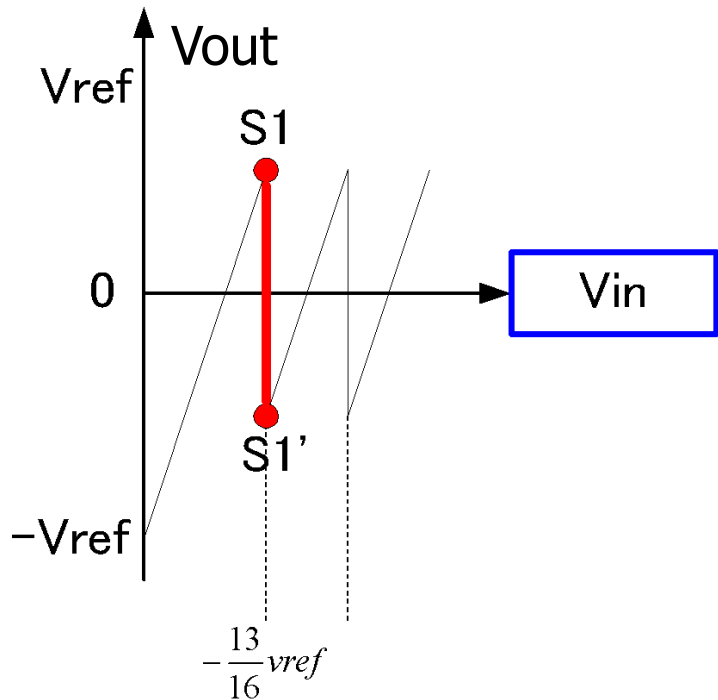


Sampling phase

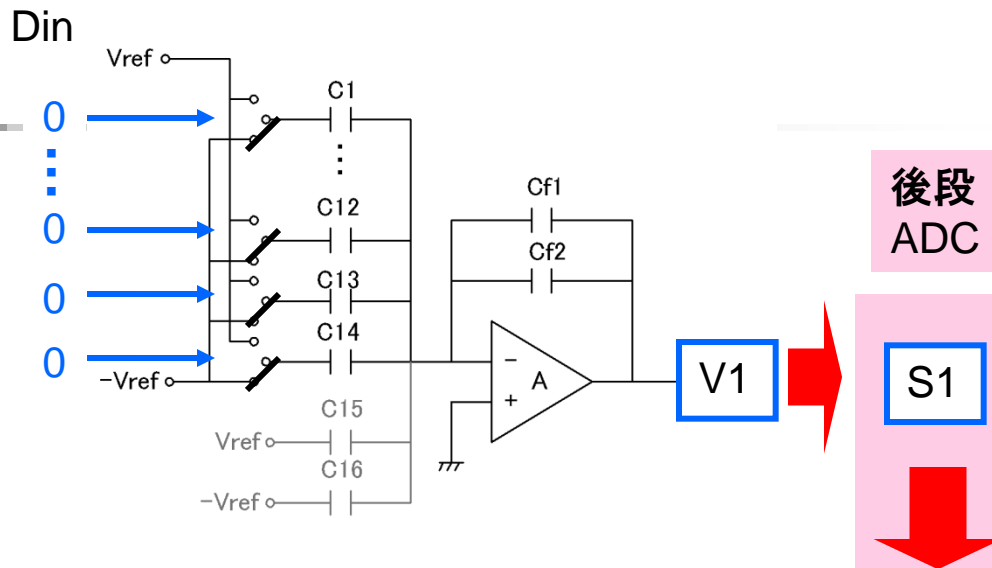


Hold phase

# フォアグラウンド自己校正



# 各容量の測定



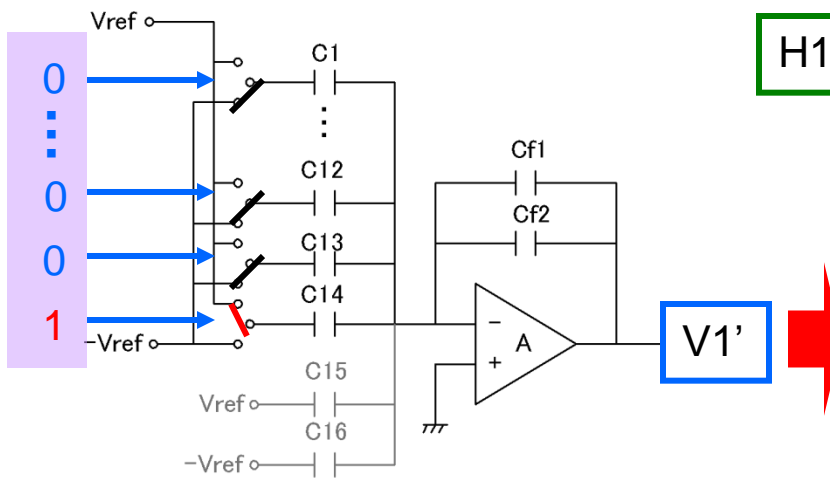
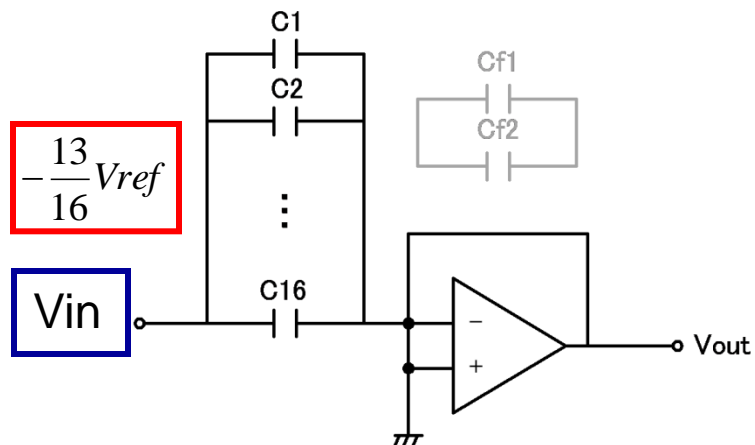
後段 ADC

S1

メモリ保持

$$H1 = S1 - S1'$$

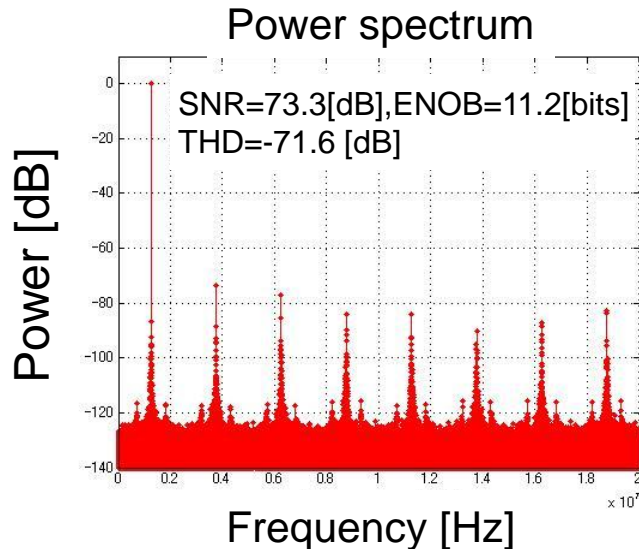
S1'



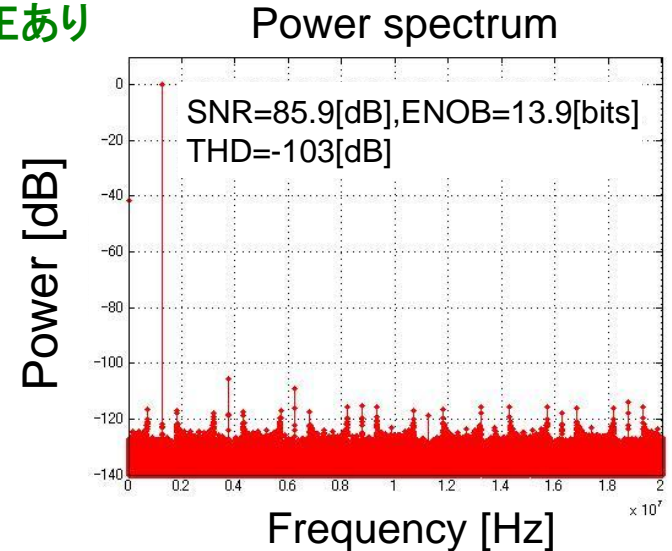
# 段間アンプのゲイン誤差の自己校正 (シミュレーション)

単一正弦波入力の出カパワースペクトル

自己校正なし



自己校正あり



SNDR 12.7dB (有効ビット2.7bits) 向上

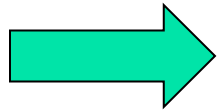


# ADC自己校正と計測制御技術

- フォアグラウンド自己校正

通常動作をストップして

自己校正のための時間をもつ

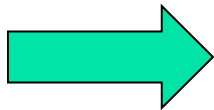


計測技術

- バックグラウンド自己校正

通常動作はストップしない。

自己校正はユーザからは全く見えない。



適応制御技術

フォアグラウンド、バックグラウンド自己校正の  
両者のアルゴリズムは全く異なる

# ADC自己校正技術の 理論的基礎は未解決

計測制御研究者  
の問題

ADC内部回路の誤差

→ ADC内回路自体を用いて測定

→ 測定自体に誤差  
測定内容も制限

どの条件で、なぜ自己校正で精度がでるのか？

結果としてADC精度確保。

個別技術では解決。

一般論では未解決。

Abidi 先生 (UCLA)  
指摘



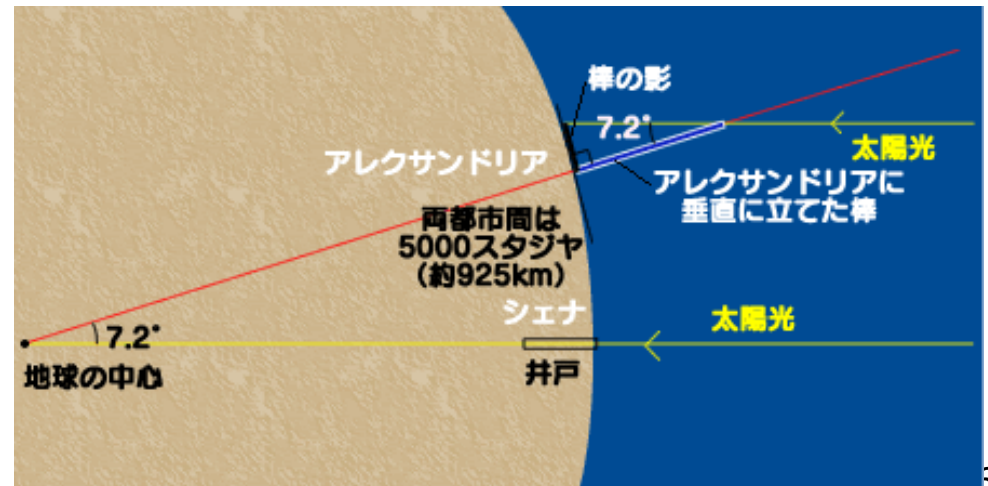
# 地球の大きさを測る

## エラステネス(紀元前275 - 194年)

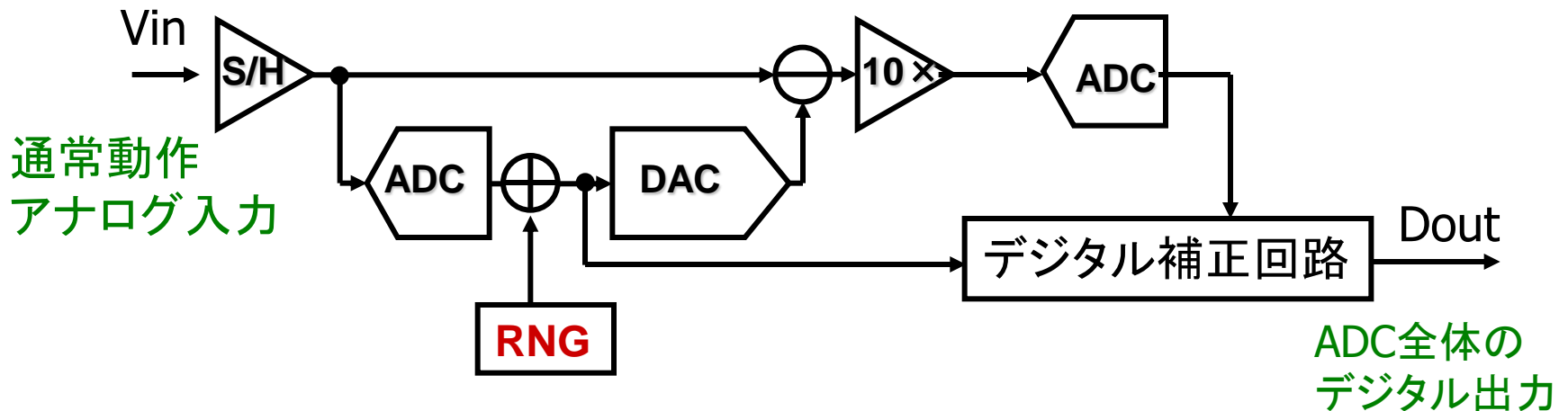
- ① シェナ(Syene: 現在のアスワン)の町では夏至の日の正午に深井戸に太陽の光がまっすぐ差し込み、井戸の底に太陽が映る。
- ② アレクサンドリアでは夏至の日の正午、太陽は真上(天頂)から7.2度傾いている。
- ③ シェナとアレクサンドリアの距離は約925km。

① ② ③ より  
地球の大きさが  
計算できる。

高度な計測器がなくても  
地球が丸いというモデルと  
工夫で計測が可能



# パイプラインADCの バックグラウンド自己校正の構成例

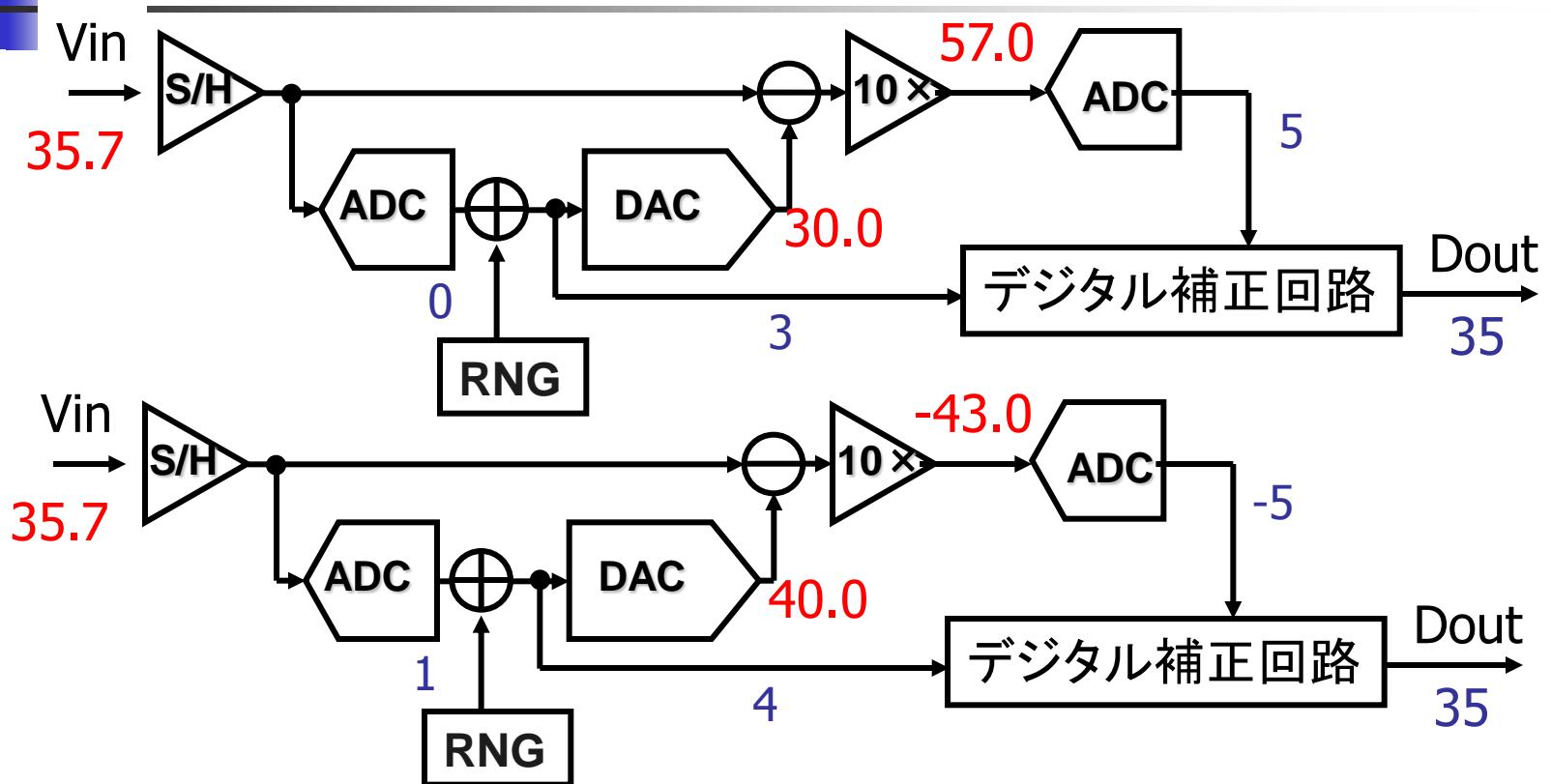


0 or 1 を各50% の確率で発生  
入力Vin とは無相関  
(Random Number Generator)

統計的考え方を使う

# パイプラインADCの バックグラウンド自己校正アルゴリズム

## 一例の概念的説明

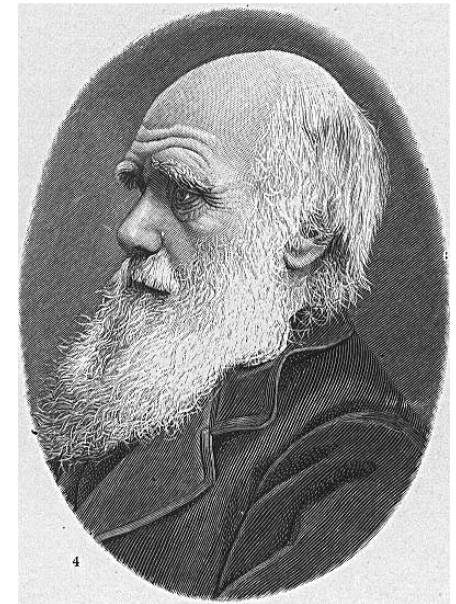


RNG=0 のとき  $D_{out}=35$  となる頻度と  
RNG=1 のとき  $D_{out}=35$  となる頻度が  
等しくなるように適応的にデジタル演算係数を調整する。

# 適応信号処理・制御・同定の技術が より重要になる

It is not the strongest of  
the species that survive,  
nor the most intelligent  
but the ones most responsive  
to change.

激変する環境下で生き残る生物。  
強い者でもない、賢い者でもない。  
変化に適応する者だけが生き残る。

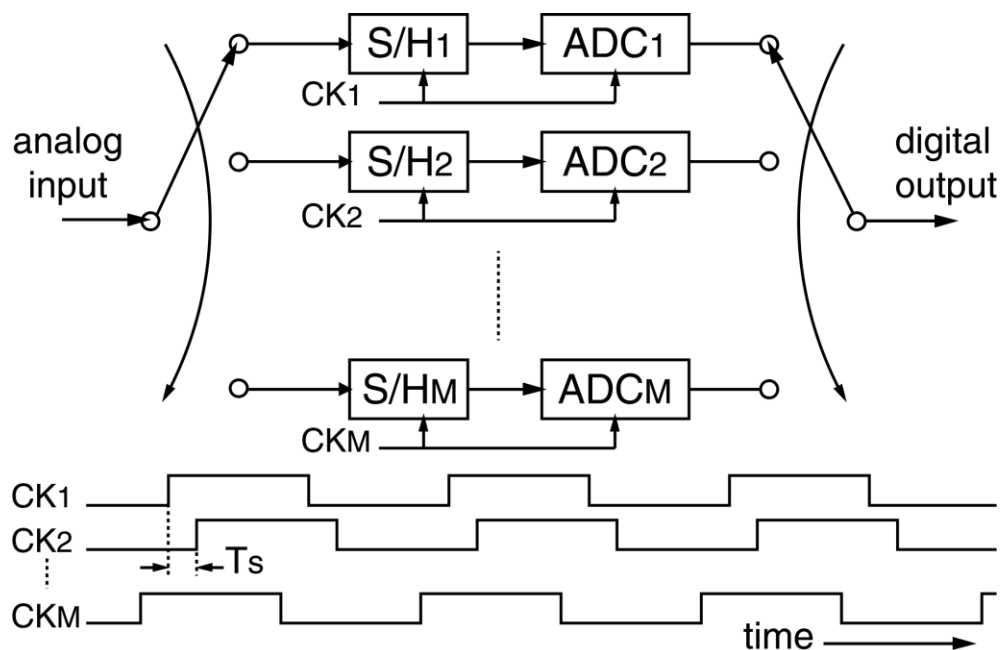


Charles Robert  
Darwin 卿

# インターリーブADCの構成と動作

M個のADCのインターリーブでM倍のサンプリングレートを実現

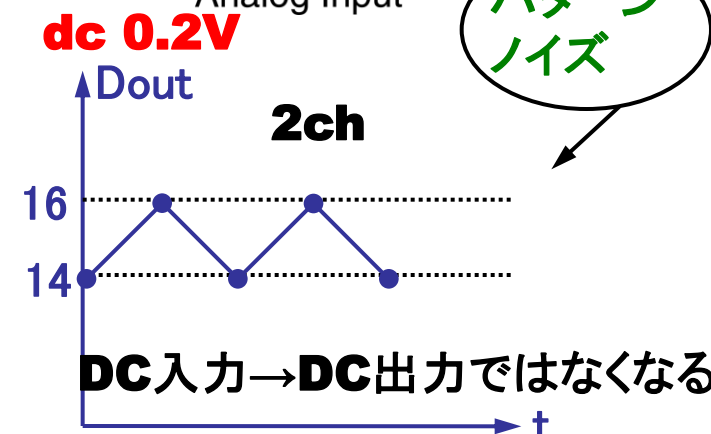
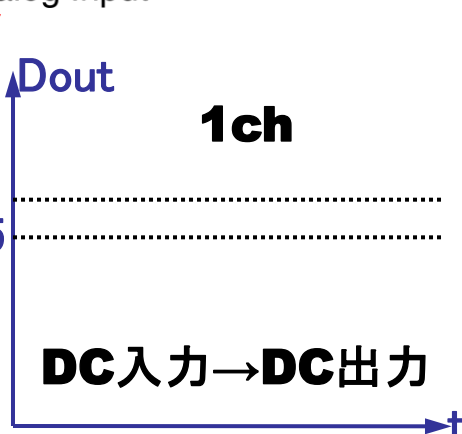
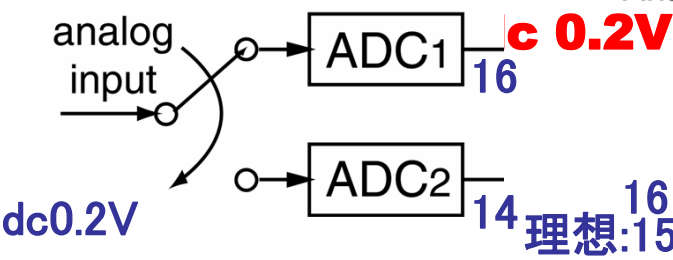
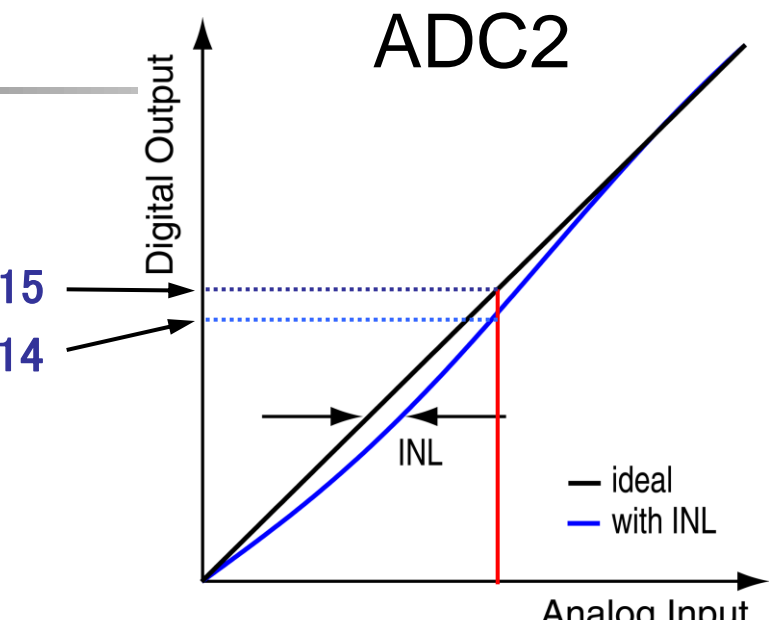
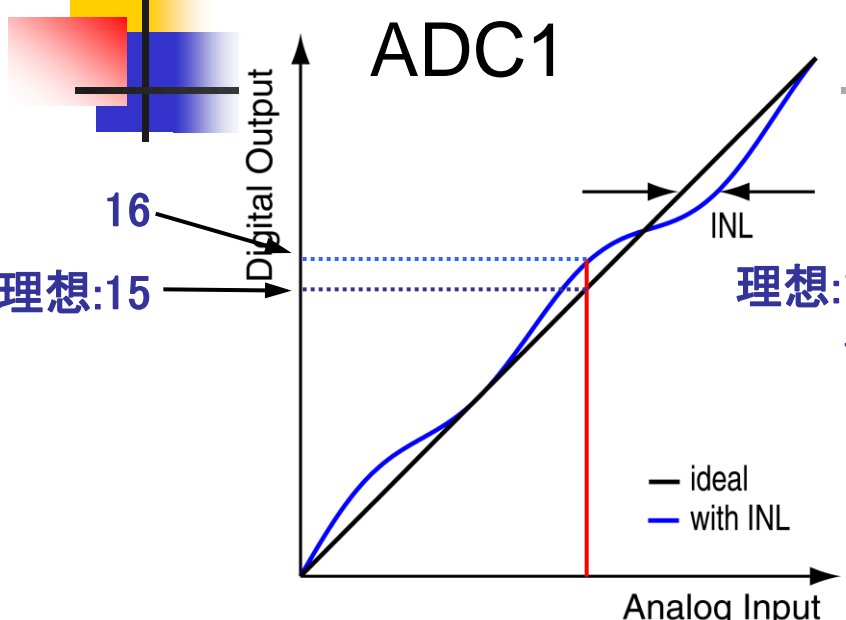
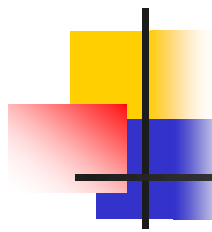
- サンプリングレートの高いADC実現（電子計測器等に使用）
- 最近では低消費電力化の観点からも注目



「一人のスーパーマン」  
より  
「多数の普通の人  
が連携して」

# インターリーブADCの問題点

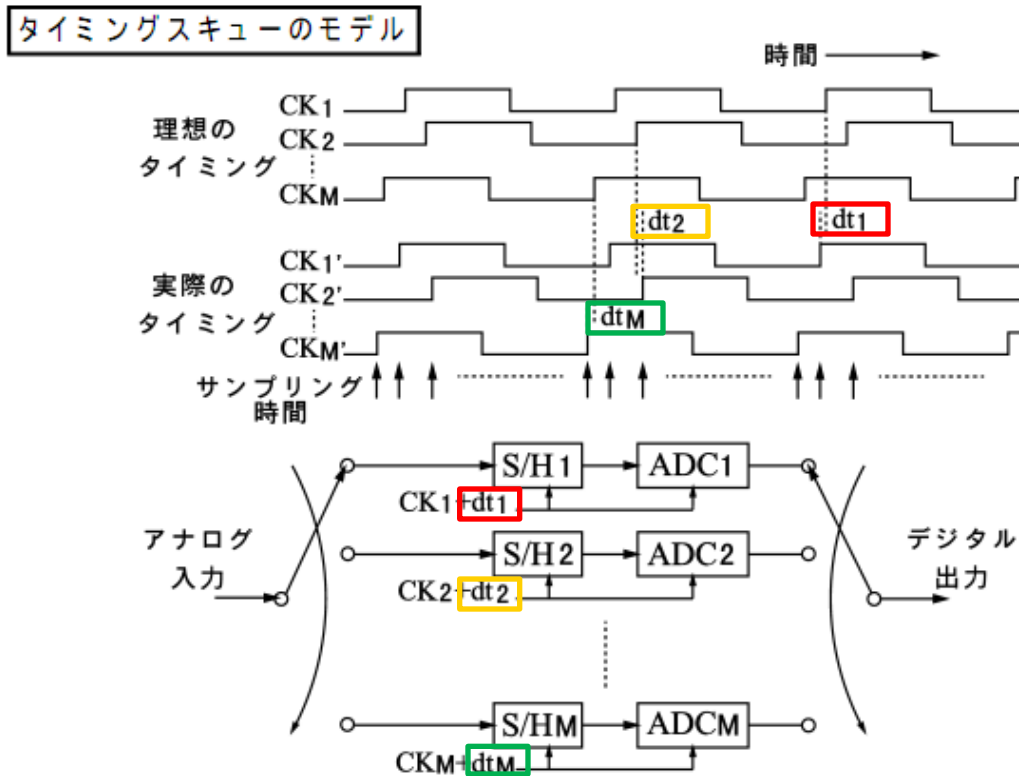
## - チャンネルADC間ミスマッチ -



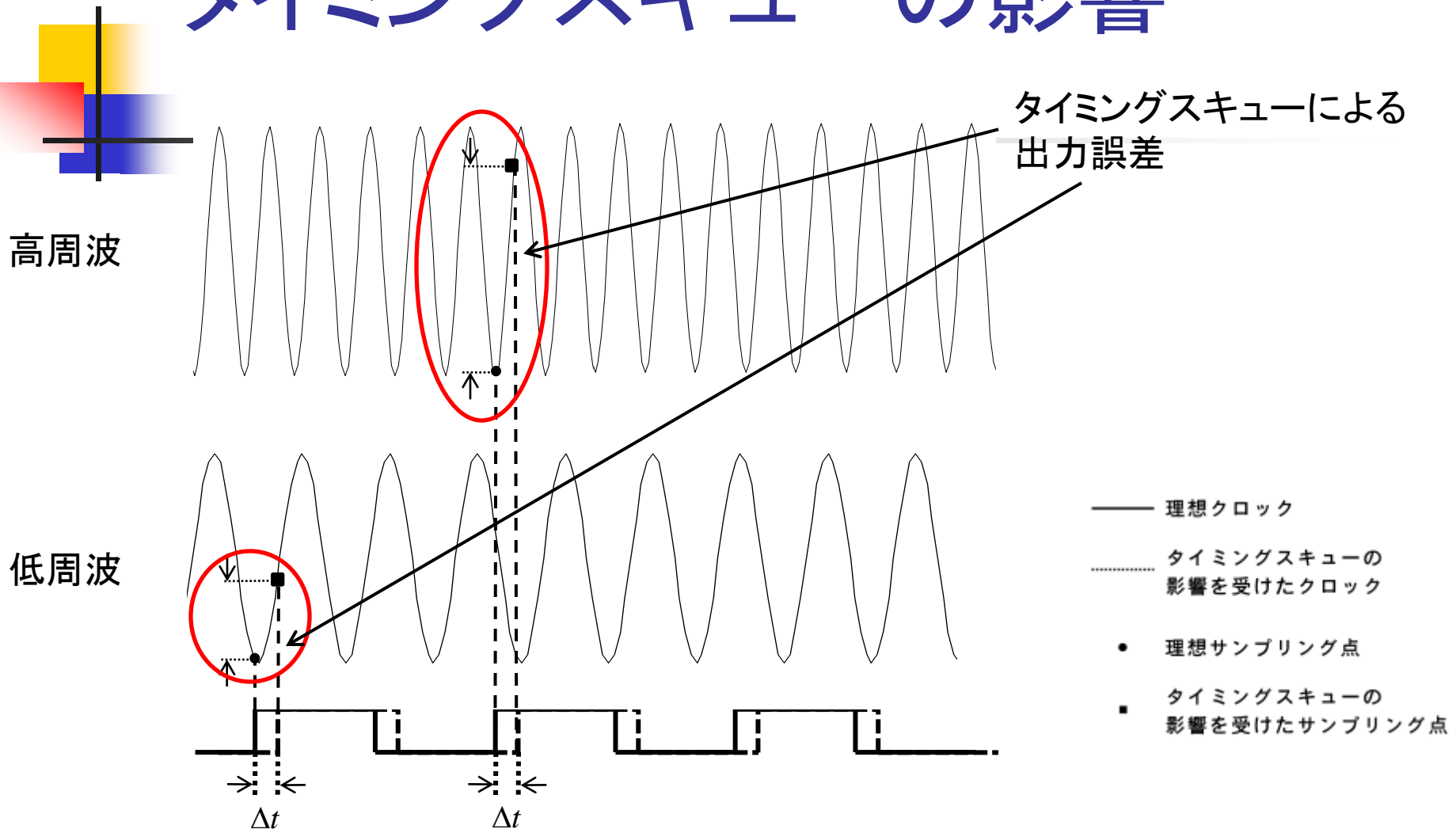
パターンノイズ

# チャンネルADCクロック間 タイミング・スキュー

正確なM相クロックを生成することは難しい



# タイミングスキューの影響



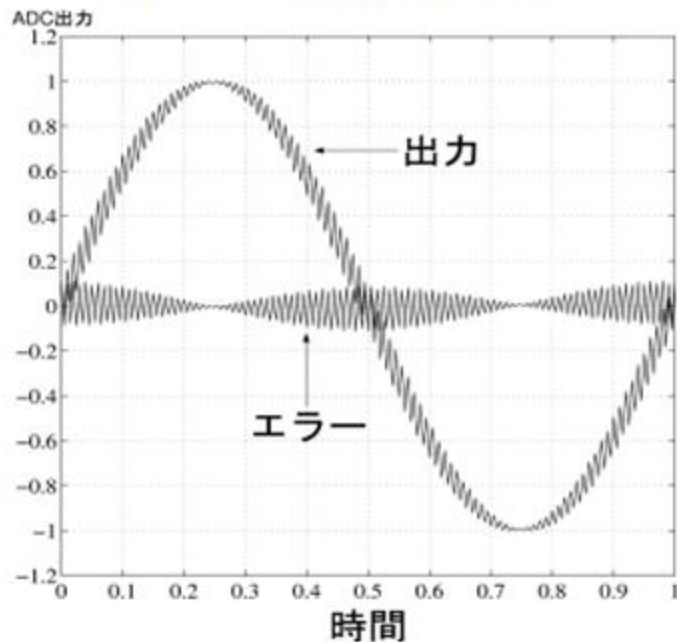
入力信号が高周波になるほど影響が大きくなる



# タイミングスキューの 時間・周波数領域での影響

## 4chインターリーブADC

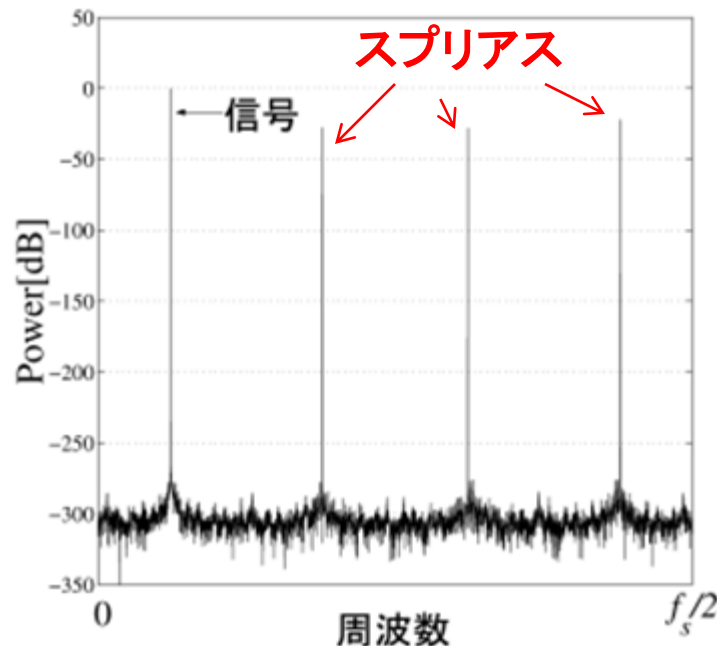
ADCシステムの出力とエラー



### 時間領域の影響

- 入力信号の傾きが大きいほど影響が大。
- 位相変調(PM)的ノイズ

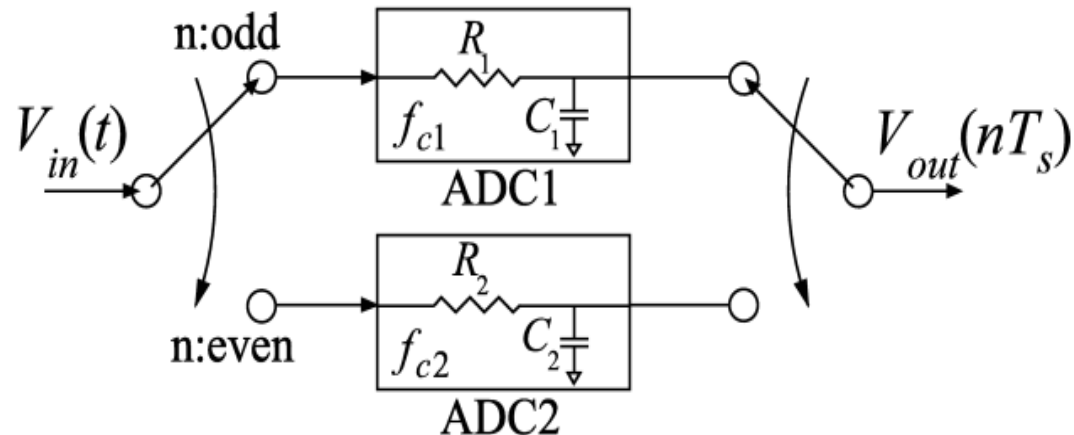
ADC出力のパワースペクトラム



### 周波数領域の影響

# 帯域ミスマッチのモデル

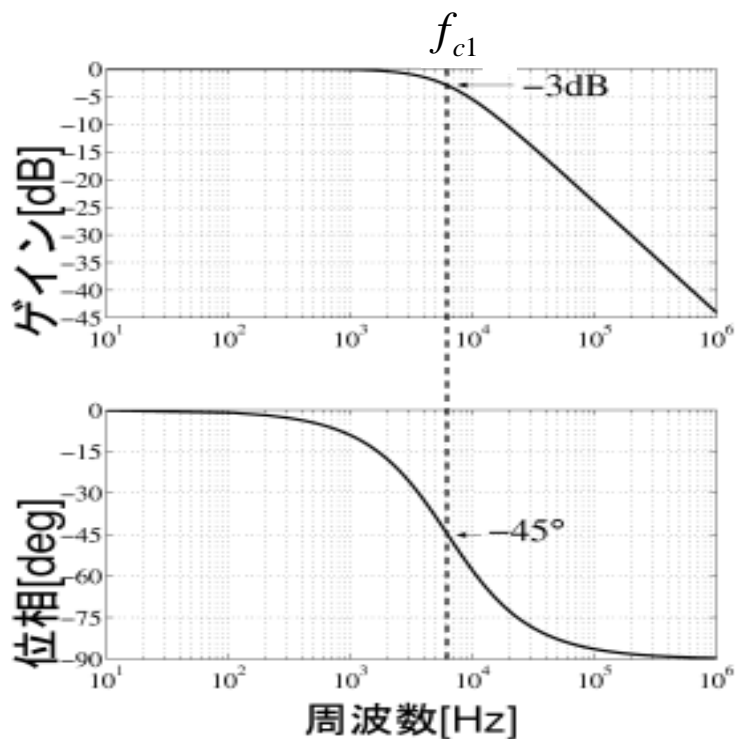
2ch ADCに帯域のミスマッチが存在する場合のモデル



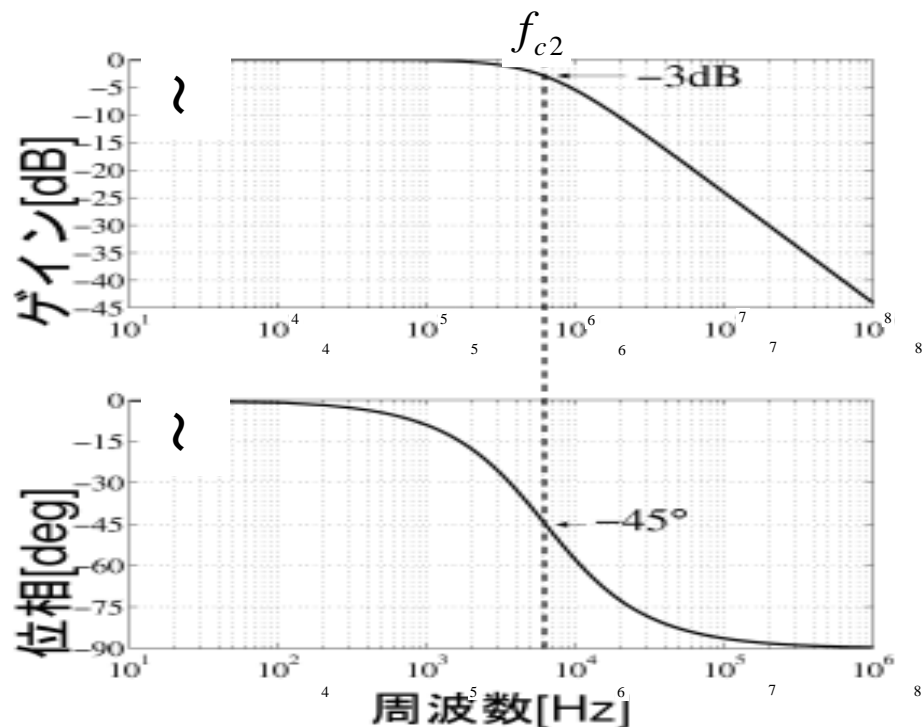
- アナログ素子から成る一次遅れ系近似ADC
- -3dB 周波数はランダムにばらつく

# 帯域ミスマッチの影響

ADC1の-3dB周波数

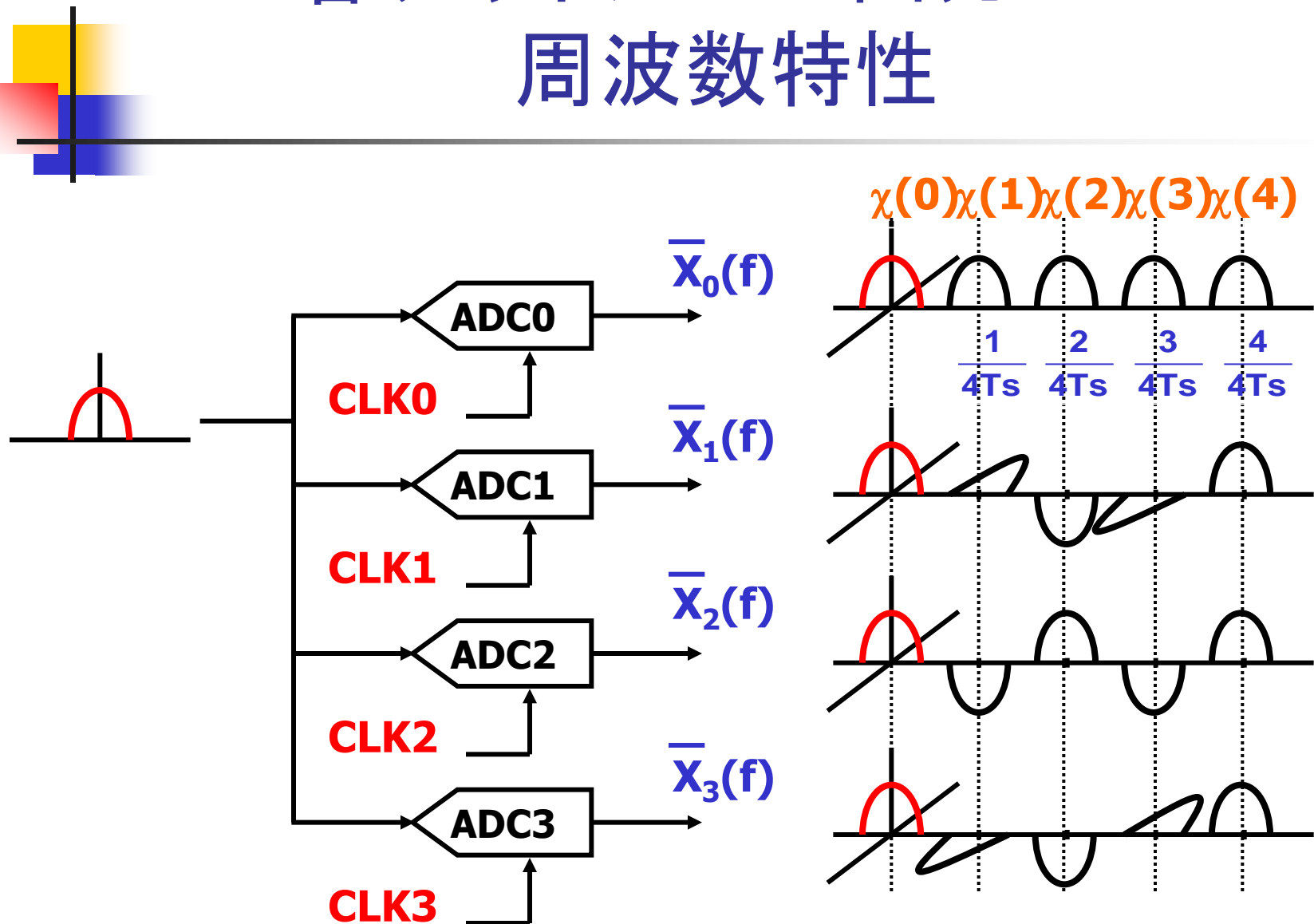


ADC2の-3dB周波数

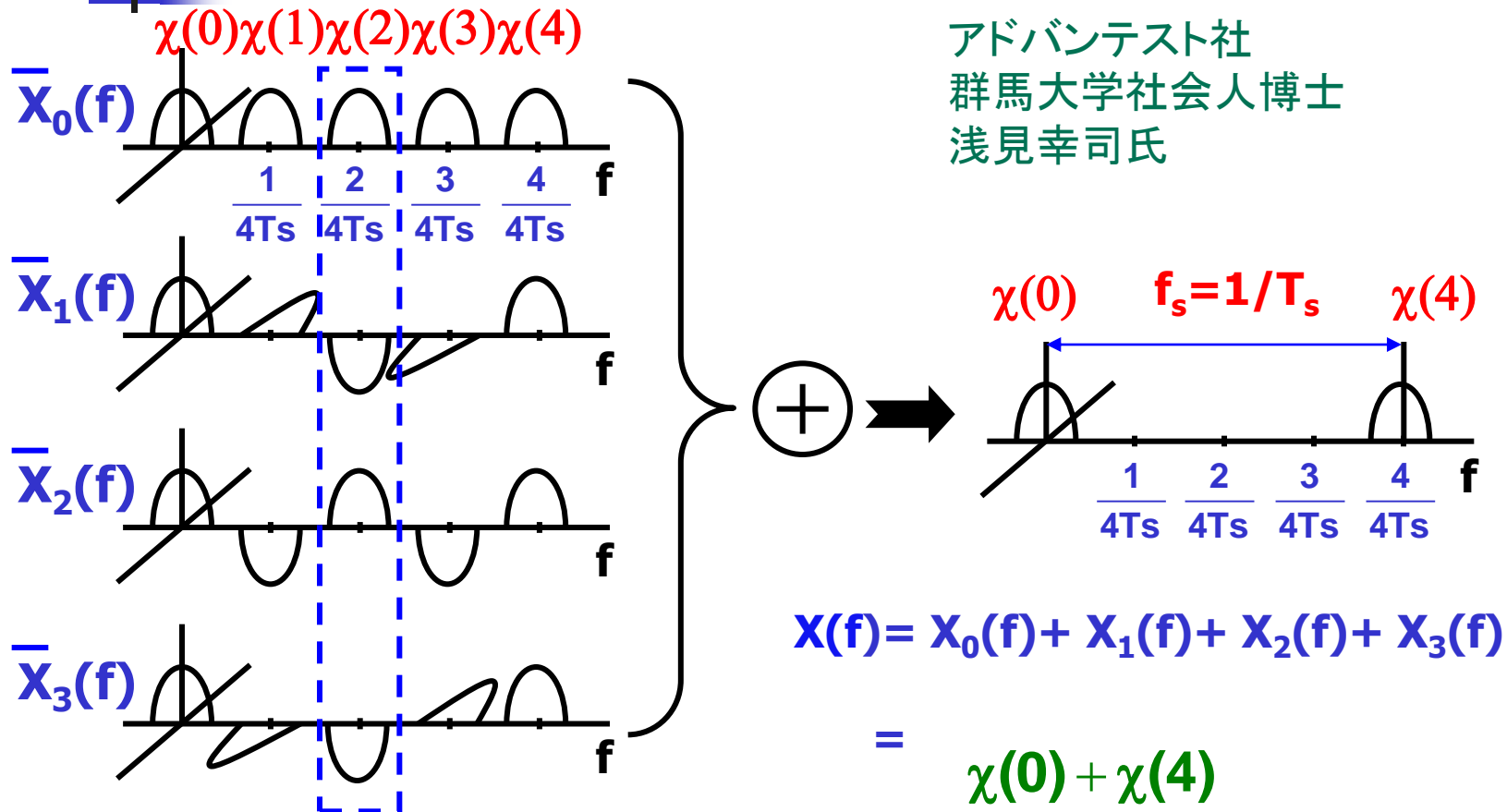


- 入力周波数に依存したゲインのミスマッチ
- 入力周波数に依存した位相遅れ(時間遅れ)のミスマッチ

# 各チャネルADC出力の 周波数特性

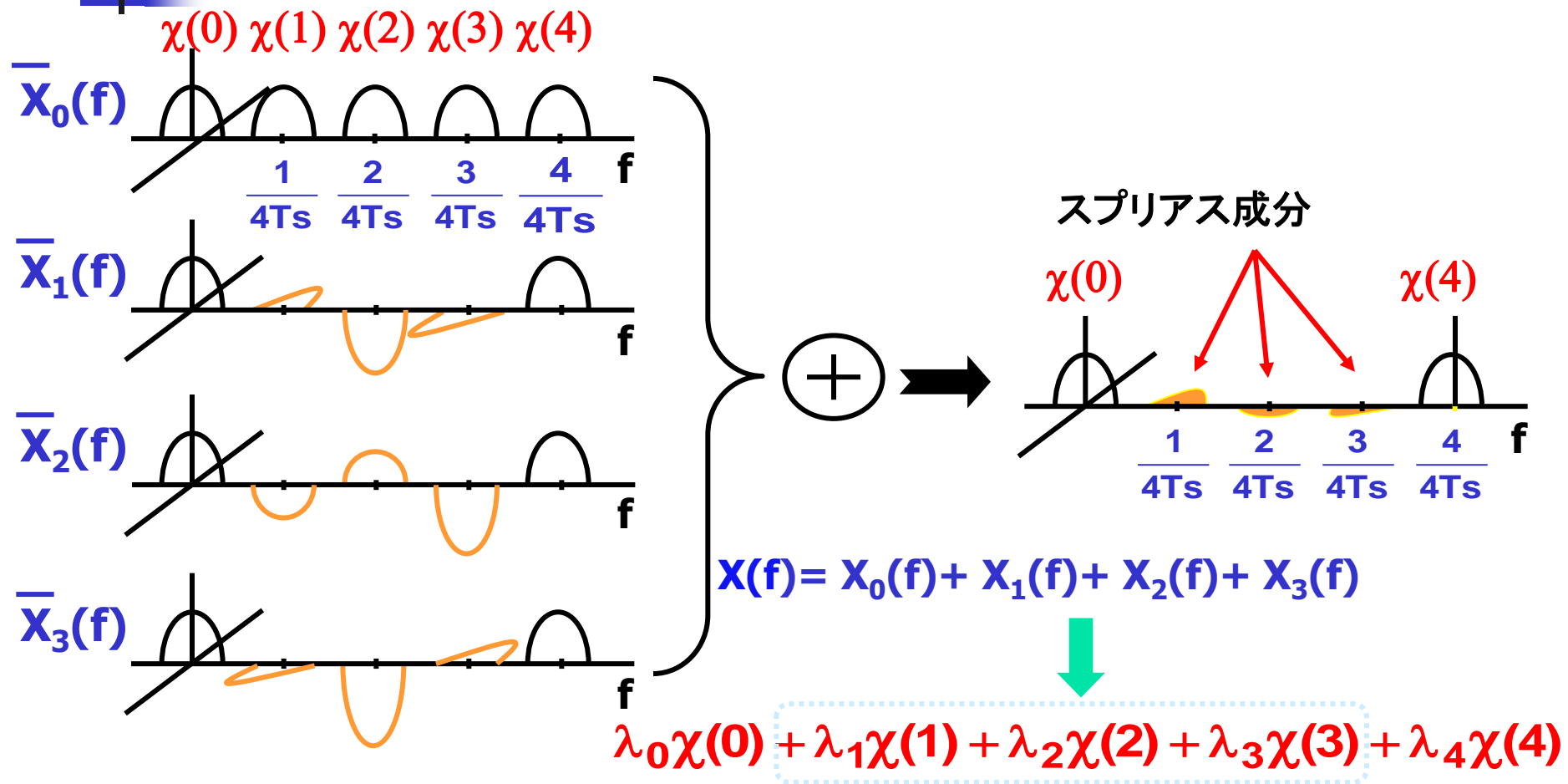


# インターリーブADC全体の ふるまい



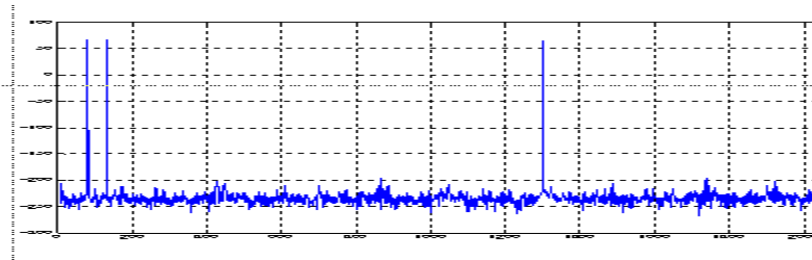
アドバンテスト社  
群馬大学社会人博士  
浅見幸司氏

# 各チャネルADCの周波数特性に ミスマッチがある場合

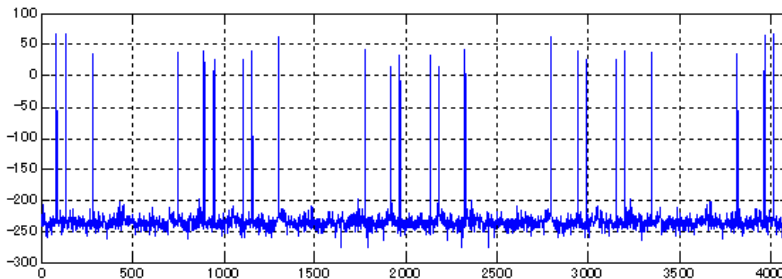


# インターリーブADCチャンネル間ミスマッチの デジタル自己校正

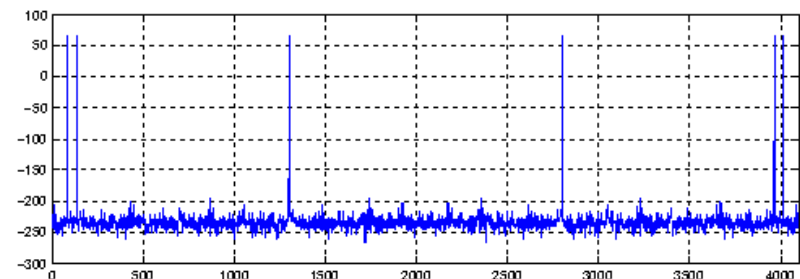
– ミスマッチの自動測定・補正 –



入力周波数特性



周波数特性  
補正前



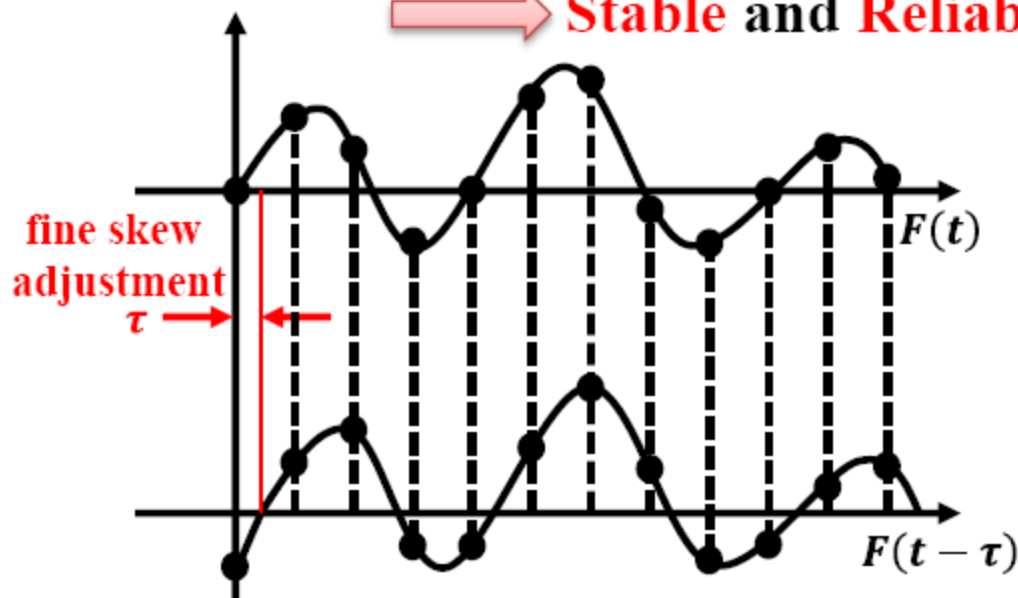
周波数特性  
補正後

アナログの高速化の問題をデジタル信号処理で解く

## 新条件 線形位相デジタルフィルタ

デジタル手法

→ Stable and Reliable

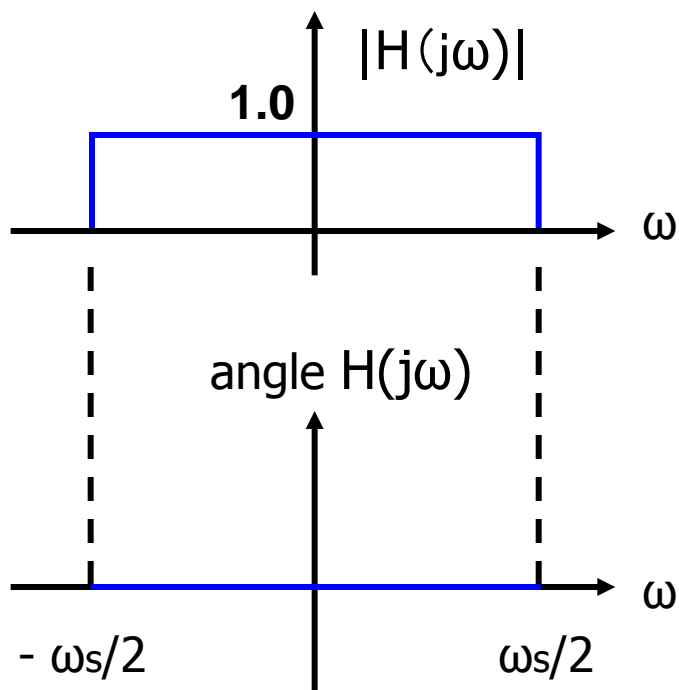


- 時間波形を保持
- 細かい時間分解能  $\tau$



## 理想フィルタ

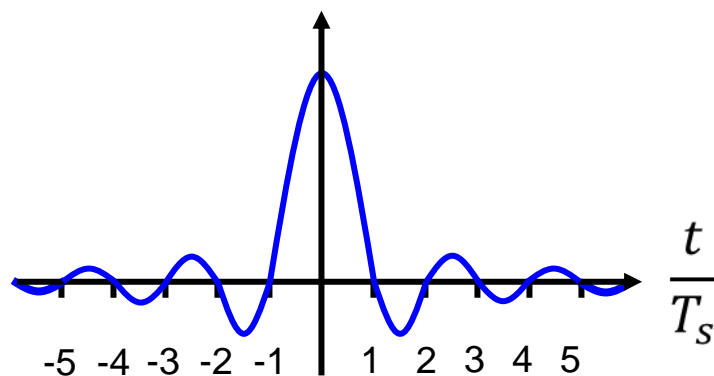
周波数応答



フーリエ変換

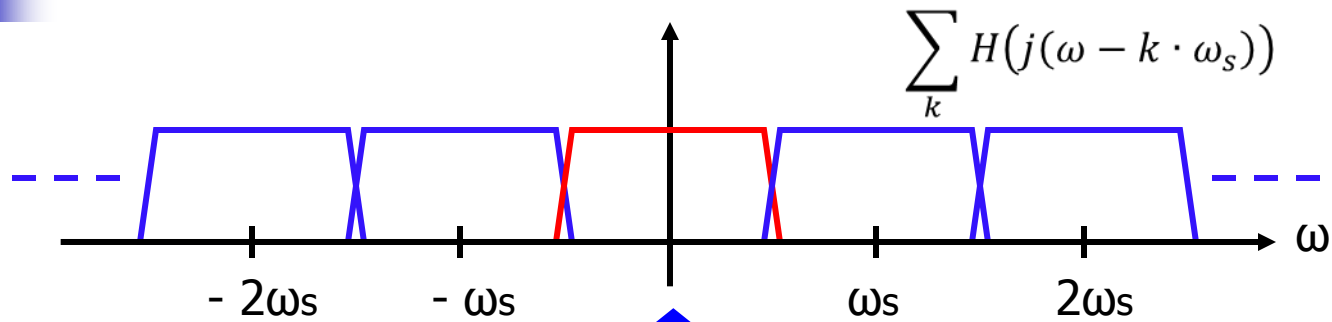


インパルス応答



$$h(t) = \frac{1}{T_s} \text{sinc} \left( \pi \frac{t}{T_s} \right)$$

# 理想フィルタの離散時間表現

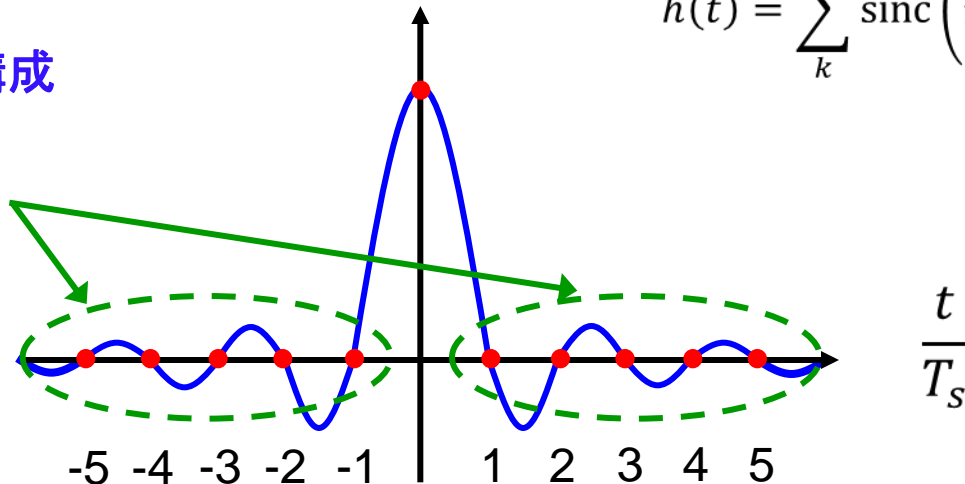


フーリエ変換

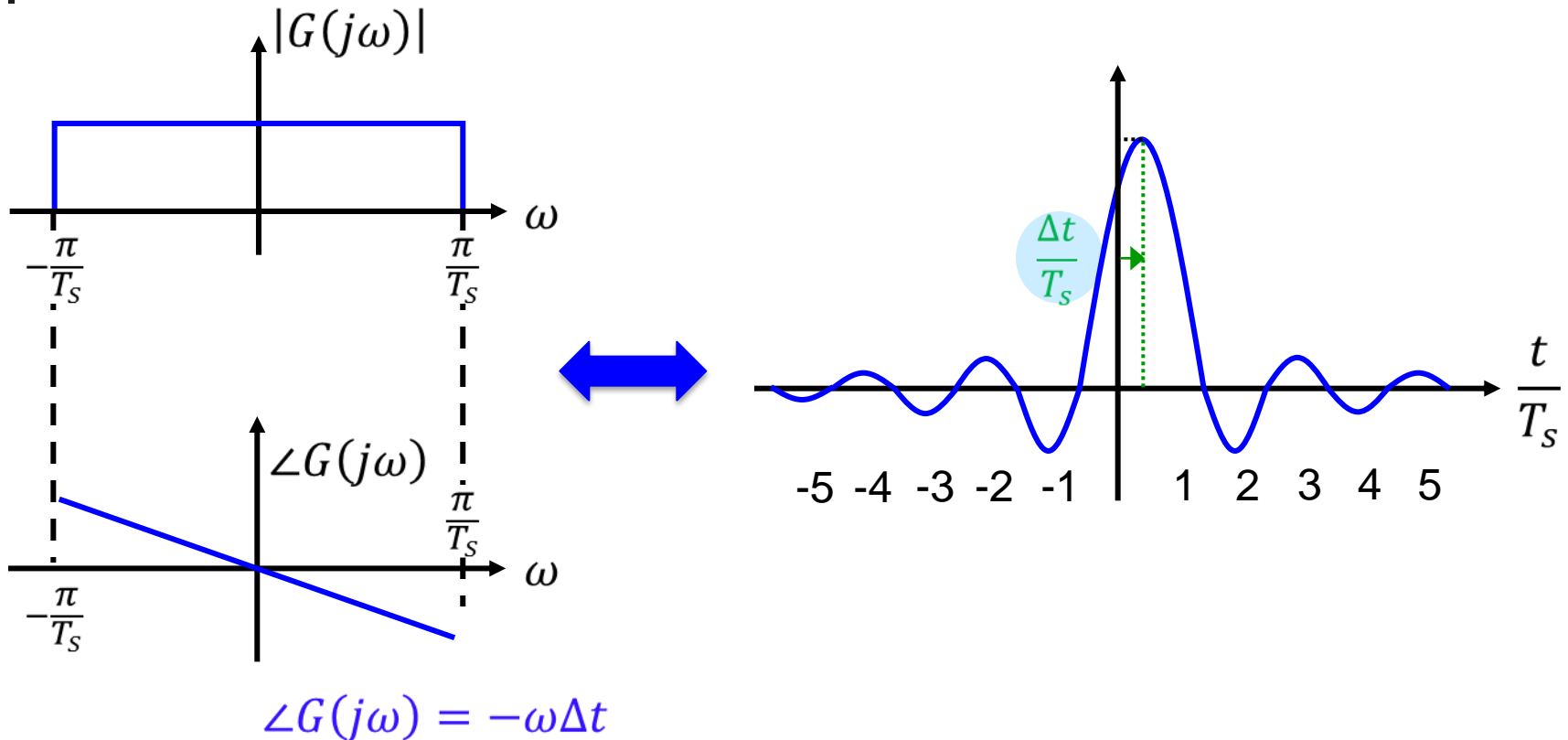
$$h(t) = \sum_k \text{sinc}\left(\pi \frac{k \cdot T_s}{T_s}\right) \delta(t - k \cdot T_s)$$

FIRフィルタを構成

全てゼロ



# インパルス応答の時間シフト



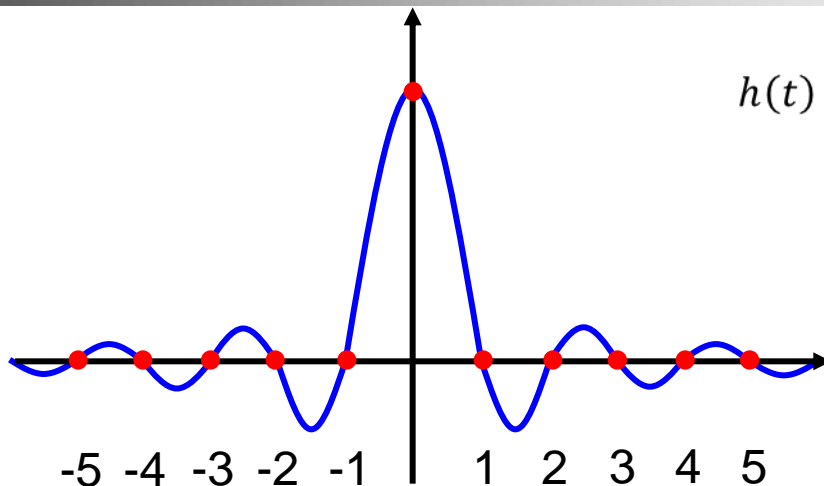
インパルス応答が $\Delta t$ だけシフトする

振幅特性は変化しない

## 時間シフトによる係数への影響

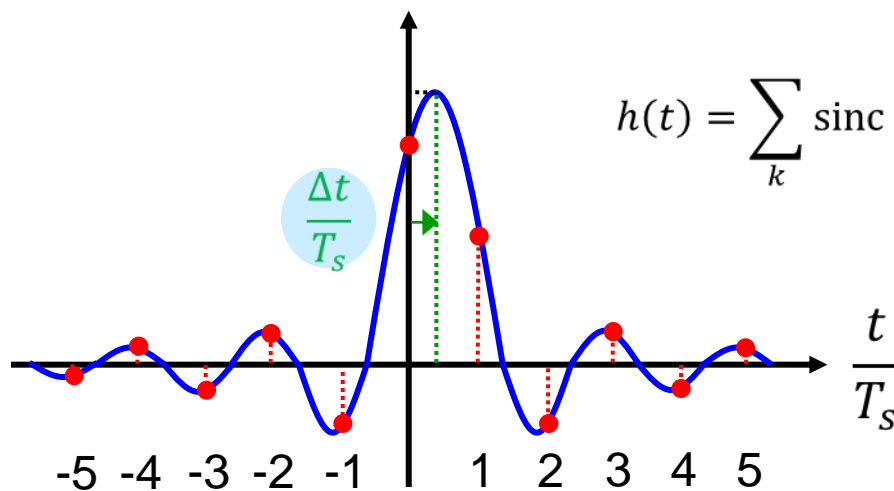
$$h(t) = \sum_k \text{sinc}\left(\pi \frac{k \cdot T_s}{T_s}\right) \delta(t - k \cdot T_s)$$

FIRフィルタ



$$h(t) = \sum_k \text{sinc}\left(\pi \frac{k \cdot T_s - \Delta t}{T_s}\right) \delta(t - k \cdot T_s)$$

IIRフィルタ

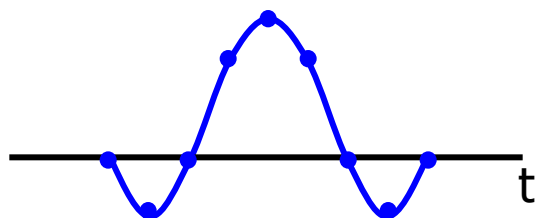


遅延理想フィルタ

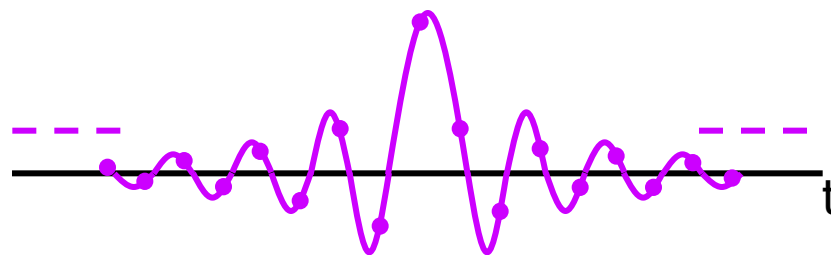
時間シフト



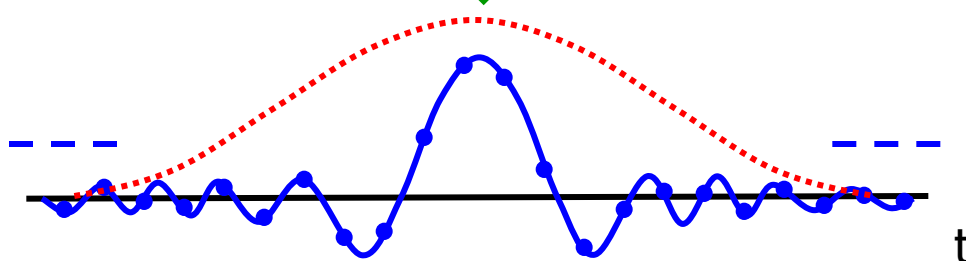
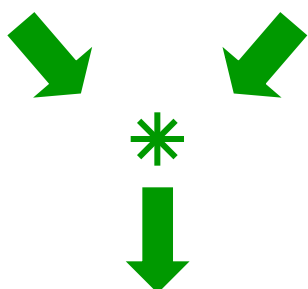
# 提案の遅延デジタルフィルタ



(a) FIRフィルタ

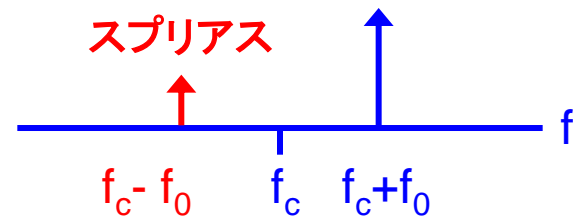
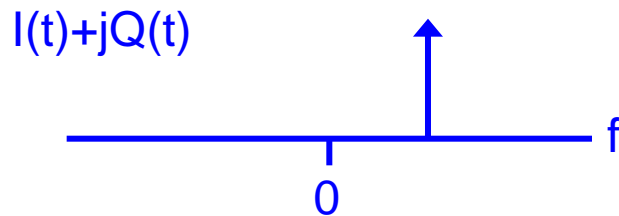
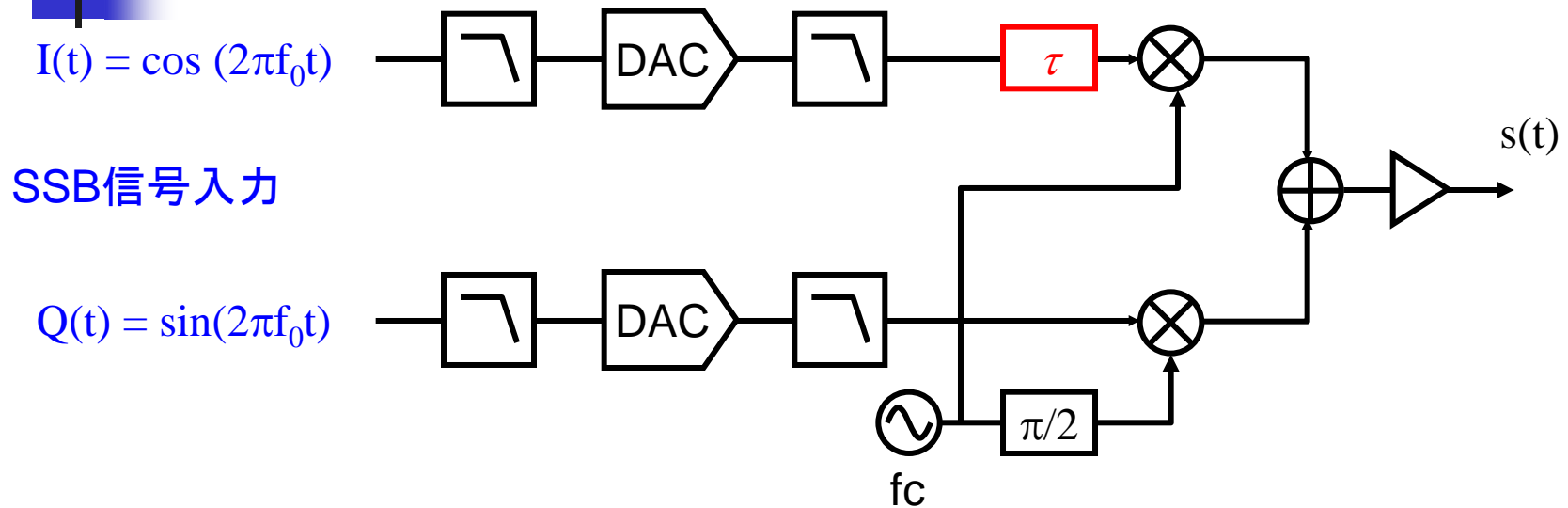


(b) 遅延理想フィルタ



(c) 遅延デジタルフィルタ

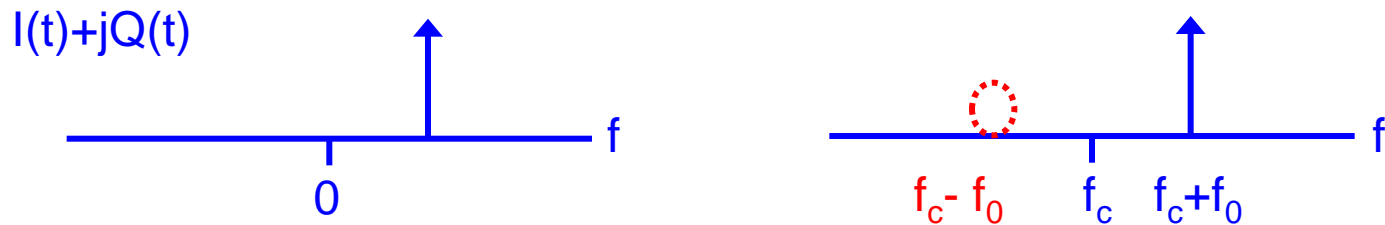
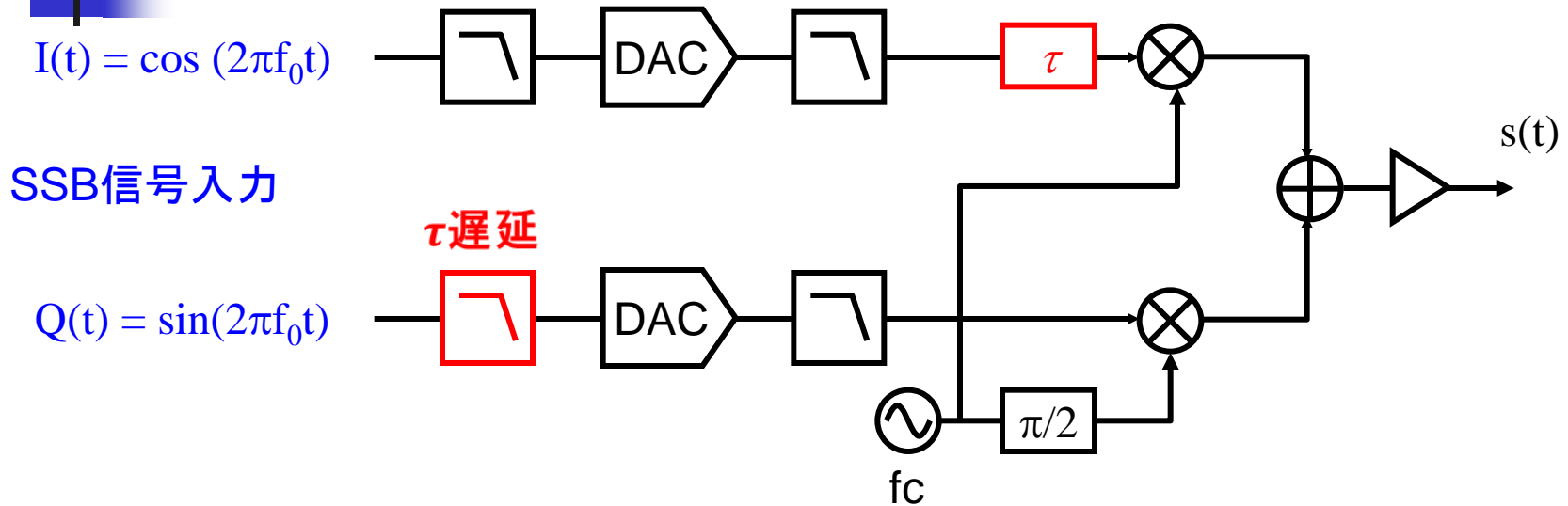
## 直交変調器への応用



SSB : single side band (シングルサイドバンド)

DAC : digital-to-analog converter (デジタル-アナログ変換)

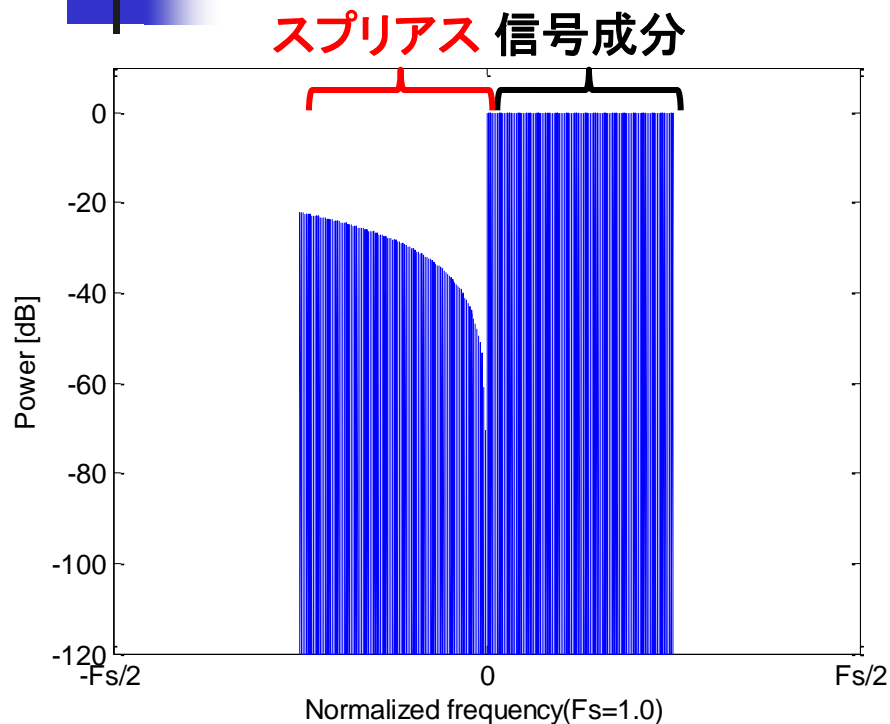
## 直交変調器のI/Qスキュー補正



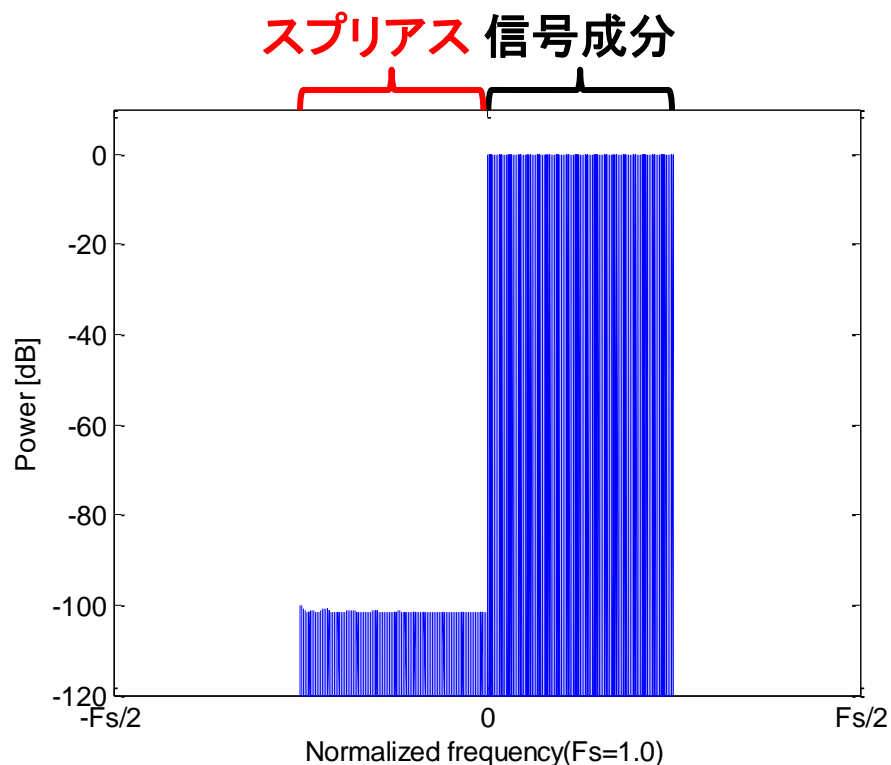
SSB : single side band (シングルサイドバンド)

DAC : digital-to-analog converter (デジタル-アナログ変換)

## SSB信号によるシミュレーション結果



(a) 補正なし



(b) 遅延フィルタ  
により補正

加えた遅延量	0.1 samples
フィルタタップ数	61 taps
窓関数	Hann窓
FFTサイズ	1024 points





# 発表内容

---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ



# デジタルRFによるテストコスト低減

---

TI社の(デジタルアシストを多用した)  
Digital Radio Processor の動機



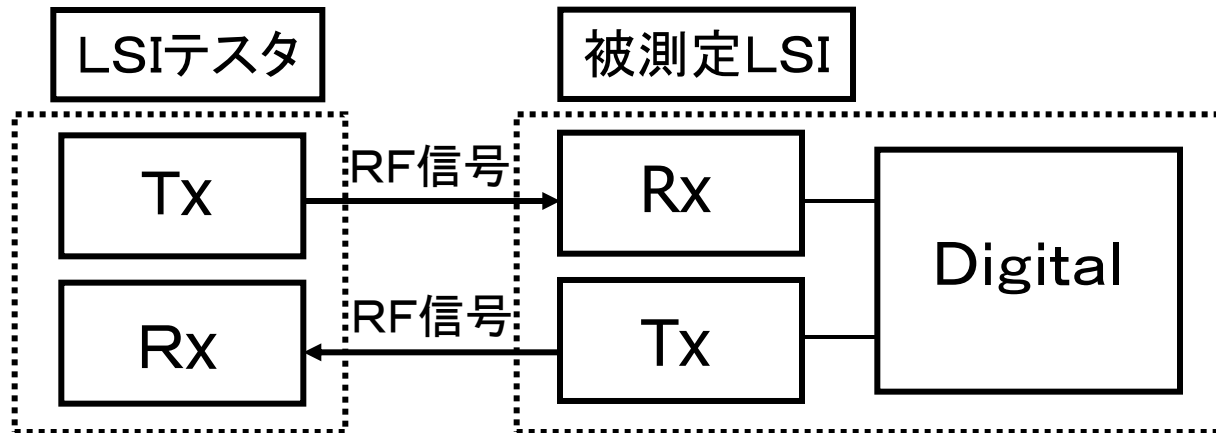
テストコストを下げるため。

デジタル化でBISTを入れやすくなり(RF BIST)  
デジタルATEでテスト可能となる。

非常に数が出るチップでこの考え方は重要。

## 新アナログのテストの問題

# トランシーバICの出荷時テスト

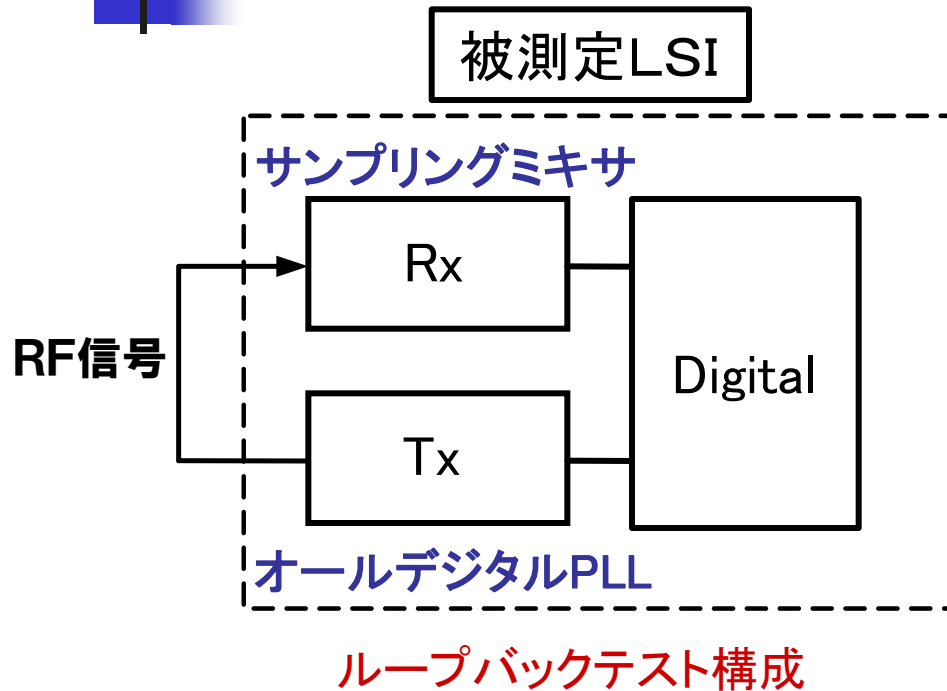


トランシーバICをテストする際の標準的な構成

高価なLSIテスタが必要

# 携帯電話送受信機ICの テスト容易化

LSIテスタ・メーカーA社から指摘



サンプリングミキサ受信機  
ADPLL 送信機で  
携帯電話送受信ICの  
ループバックを可能に

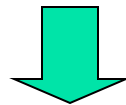
- 携帯電話ではRx, Tx のキャリア周波数が異なる。  
➡ 直接にはループバックが使用不可
- テスト時にRx, Tx のキャリア周波数を合わせ得る。



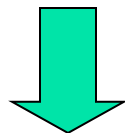
# ADPLL を用いた送信機のテスト容易化

---

ADPLL を用いたRF 出力の変調の  
位相軌道誤差(Phase Trajectory Error)



ADPLL内 位相比較デジタル値の統計処理から  
正確に推定可能



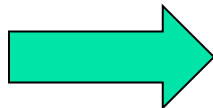
量産時に高価なテスターでの長時間テストを  
行わなくてテスト可能

- [1] R. B. Staszewski, et. Al., "RF Built-in Self Test of a Wireless Transmitter,"  
IEEE Trans. CAS II (Feb. 2007).

# デジタルアシスト技術と

## LSIテストの問題 LSIテスタ・メーカーB社から指摘

「デジタル・アシスト・アナログ技術」

 設計パラメータ空間が広がる

内部に不良箇所があっても 補正され  
LSIテスト(出荷検査)の際に「良品」と判定。

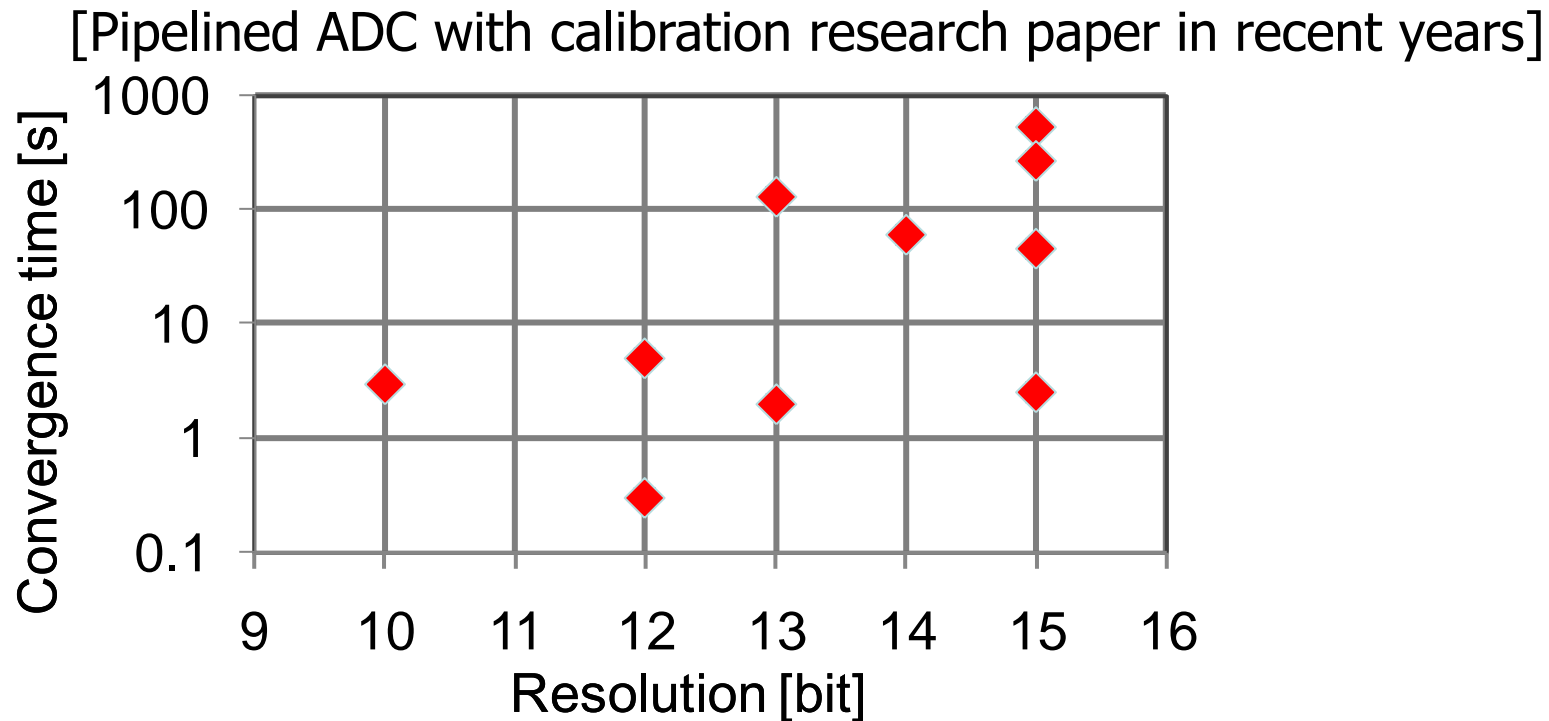
その欠陥が補正できるぎりぎりのとき、  
市場で補正範囲を超え  
動作不良となることあり。

# デジタルアシスト技術と

## LSIテストの問題

学会情報

- バックグラウンド自己校正時間 → 長い



- 全テスト時間 = バックグラウンド自己校正時間 + 機能テスト時間

# デジタル・アシスト・アナログ テスト容易化技術

UC Santa Barbara (米) Prof. Chen

- デジタル自己校正用メモリ値の  
値を観測してテストに利用  
値を書き換えてテストに利用

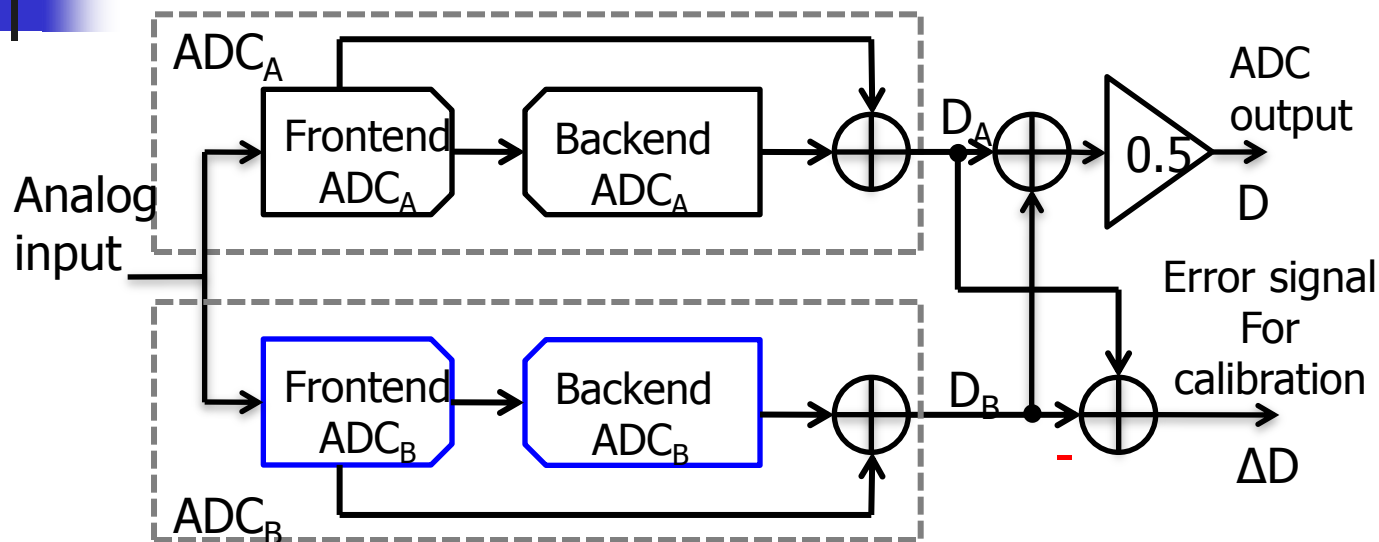
自己校正、誤差補正:

自己校正用メモリデータは  
チップ使用時ユーザからは見えない。  
テストの際には積極的に  
内部状態を「観測」「制御」する。



# Split ADC

収束時間短, 面積・電力オーバーヘッド小



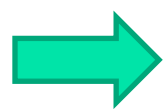
- Gm/C を一定
- 2つの  $(Gm/2)/(C/2)$  のADC、異なる「論理」
- 2つの出力の平均でSNR確保
- 「異なる論理」の2つのADC出力が同じになるように自己校正



## アナログの回路とテストの研究の接点

---

アナログの回路研究者とテスト研究者の学会は別。



両者の交流は限定

「アナログ回路の自動調整、自己校正は回路技術とテスト技術の接点である」

(Prof. A. Chatterjee, ジョージア工科大学)



# デジタル補正使用の計測器・センサの 量産経験者に耳を傾ける

---

「高精度な湿度計測を実現するには、  
温度係数の**個体差のばらつきが小さく、**  
**複雑な温度補正を必要とせず、**  
**調整・校正誤差が小さい特性ばらつきしかない**  
湿度センサを選定することが重要。」

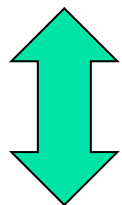
(田澤R&D技術士事務所 田澤勇夫氏)

# 工業製品の量産の思想

製品ばらつきを抑える。

「均一な部品・材料を用いて

均一な品質なものを作ること」が重要



異なる思想か？

校正、調整（デジタルアシスト）では  
ばらつきを許容する。

最終製品は特性は均一になる。

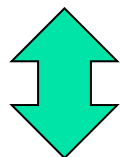
デジタルは均一な品質のものを作れるという側面も強いが

# 工業製品の量産と調整・校正

調整(チューニング)

- コスト高
- トラブルのもと

量産では避けたい



デジタルアシストでの

自己調整・自己校正でコストの問題は軽減

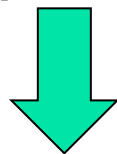
しかし「トラブルのもと」は依然残る



# 計測器での校正から学ぶ

---

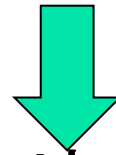
性能(精度・確度)をだすために校正を行う。  
校正なしでできるだけ性能をだす。  
どうしてもという部分を「校正」する。



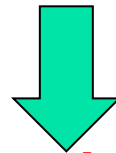
計測器は「低消費電力化」の要求は希薄

# 自己校正による低消費電力化技術 考え方を検証する

デジタルアシストでの、弱いフィードバック、  
閉ループアンプではなく開ループアンプの使用



わざと特性を劣化させて低消費電力化を図る。  
特性劣化分(非線形性)をデジタル補正。



「従来の量産の思想」とは異なる。

(受け入れには「勇気」が必要)

# デジタルアシストによる 設計パラメータ空間の増大

- アルゴリズムの収束性(収束時間、安定性)
- 安定平衡点は単一か
- 複数の平衡点の場合は望ましくないところに収束した場合から逃れられるか
- どの程度のパラメータ変動まで収束を保証できるか。



これらは十分調べられているか。

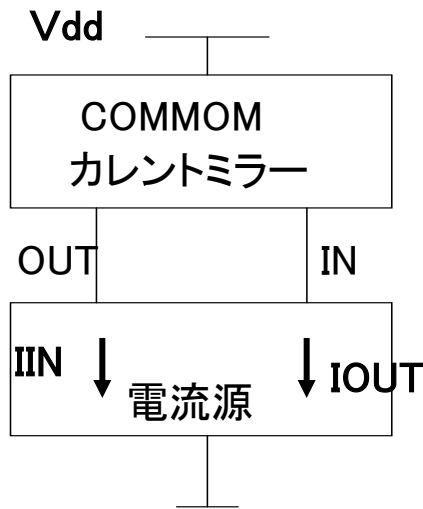
また、設計検証、テスト、

トラブルがあった際の診断・修復が大変になる。

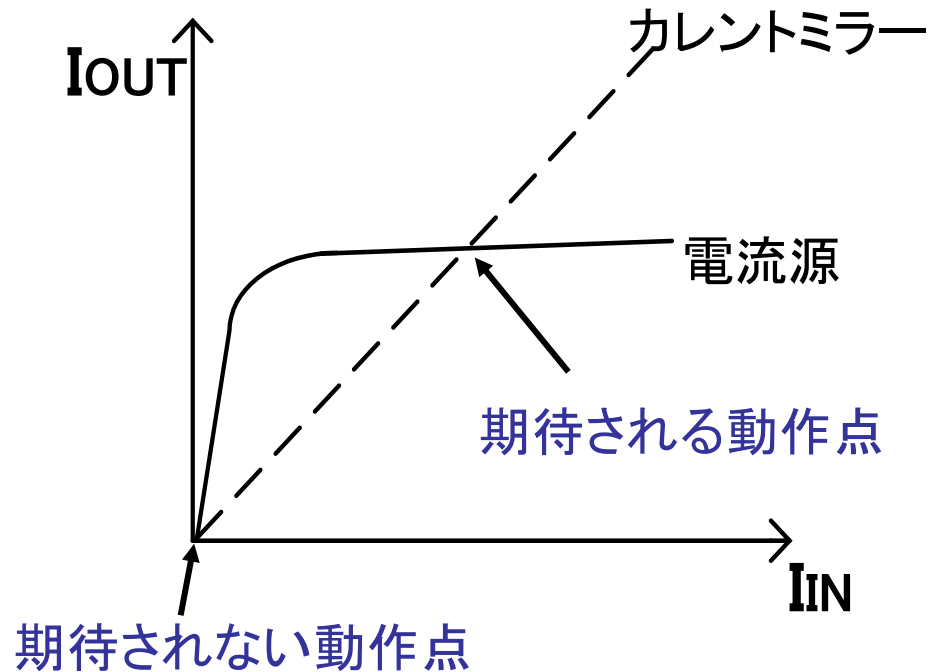


# 基準電流発生回路から学ぶ

- 2つの動作点
- 望ましくない動作点からの抜け出しが必要



自己バイアス回路を用いる  
基準電圧源のブロック図



動作点の決定

# 基準電流発生回路での起動回路

枯れた技術でその考え方は広く使用

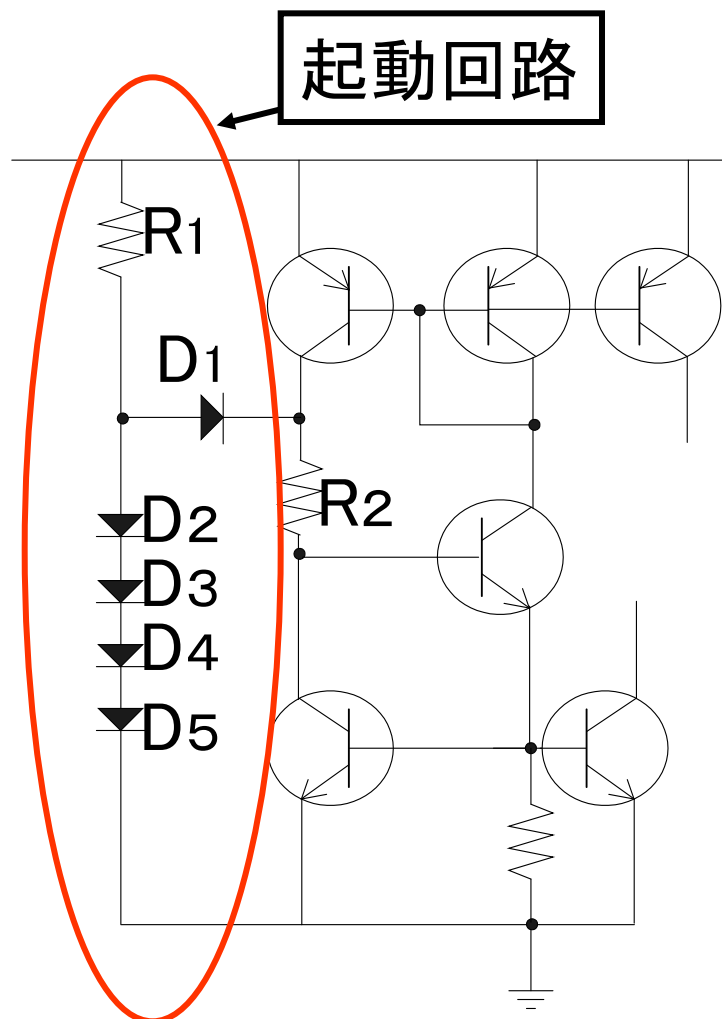
トランジスタに電流が常に流れる事を保障するため起動回路を用いる

電流が流れる

R2の電位が上がる

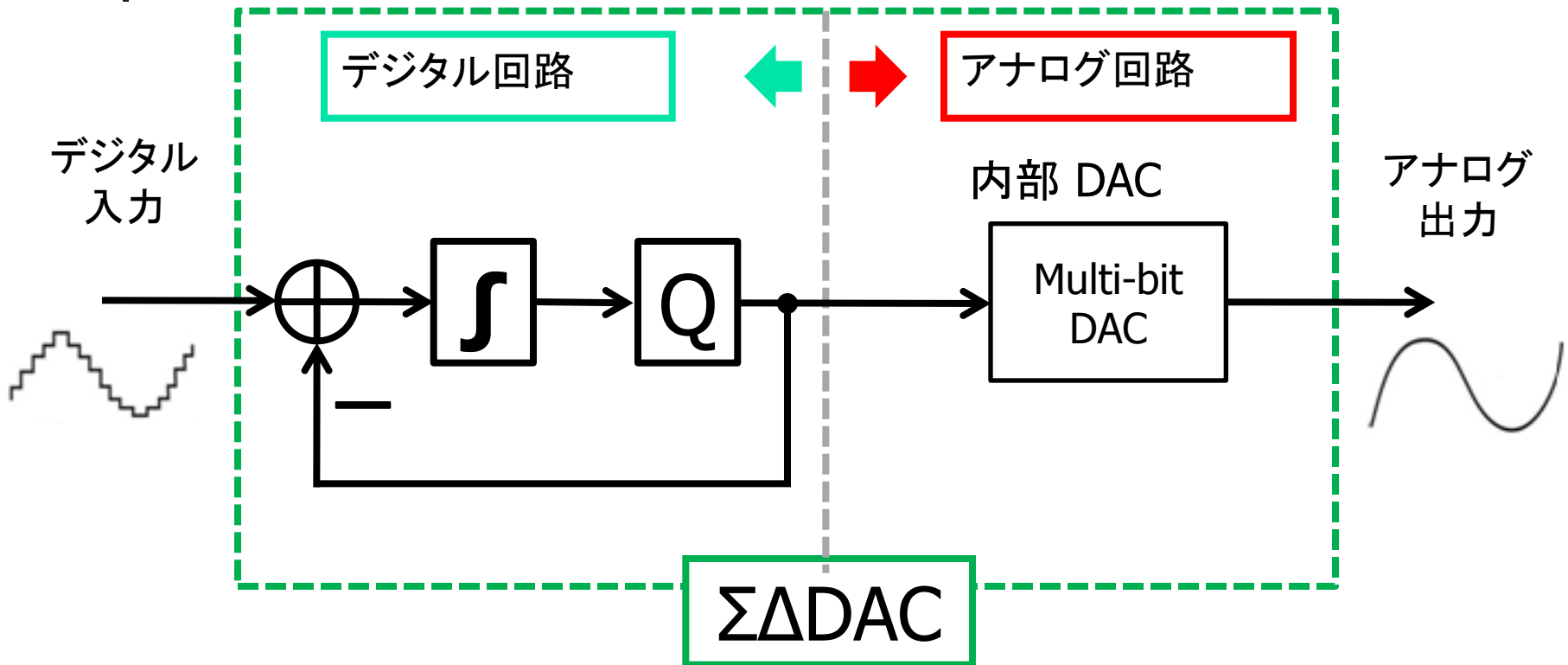
D1がOFF状態となる

起動回路は関係なくなる



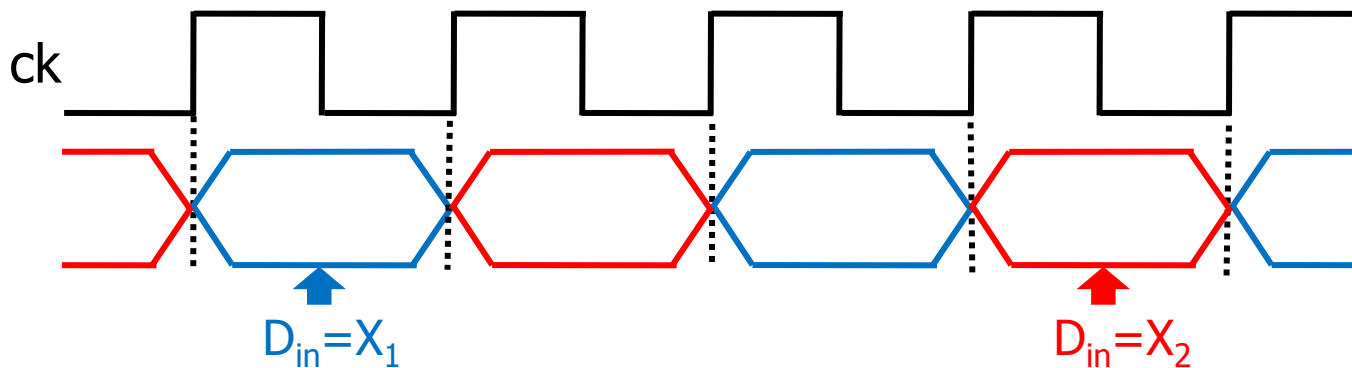
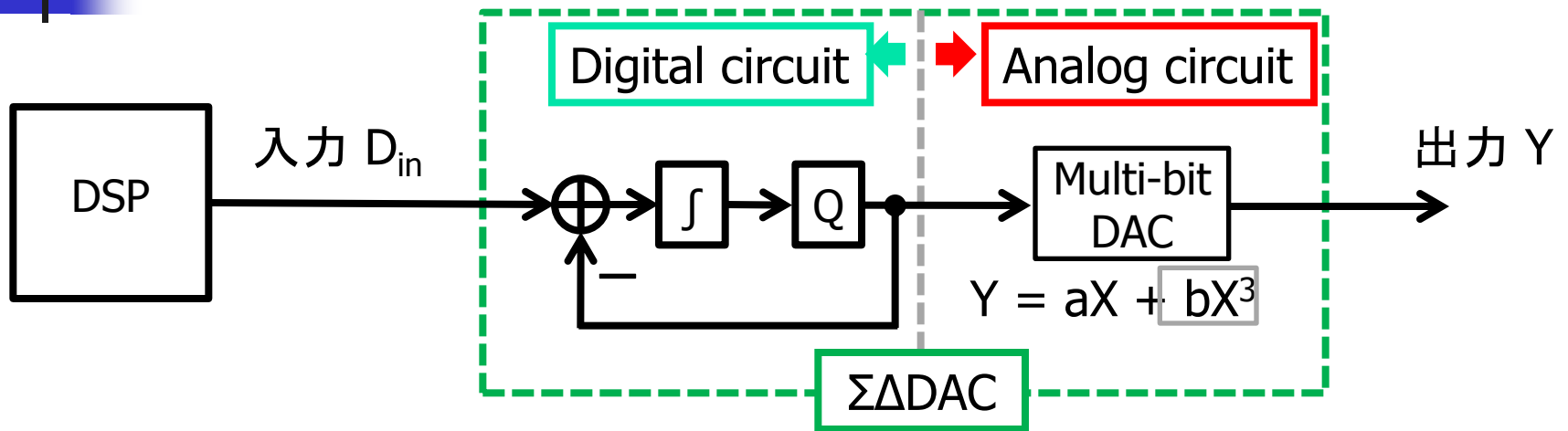
# デジタルアシストテスト技術の開発事例

## ADCテスト用低歪み正弦波発生



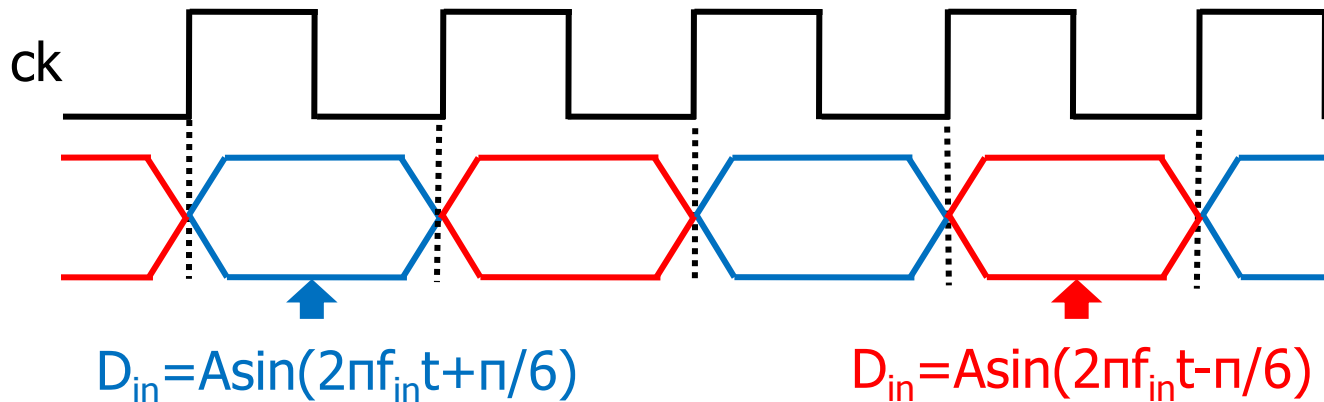
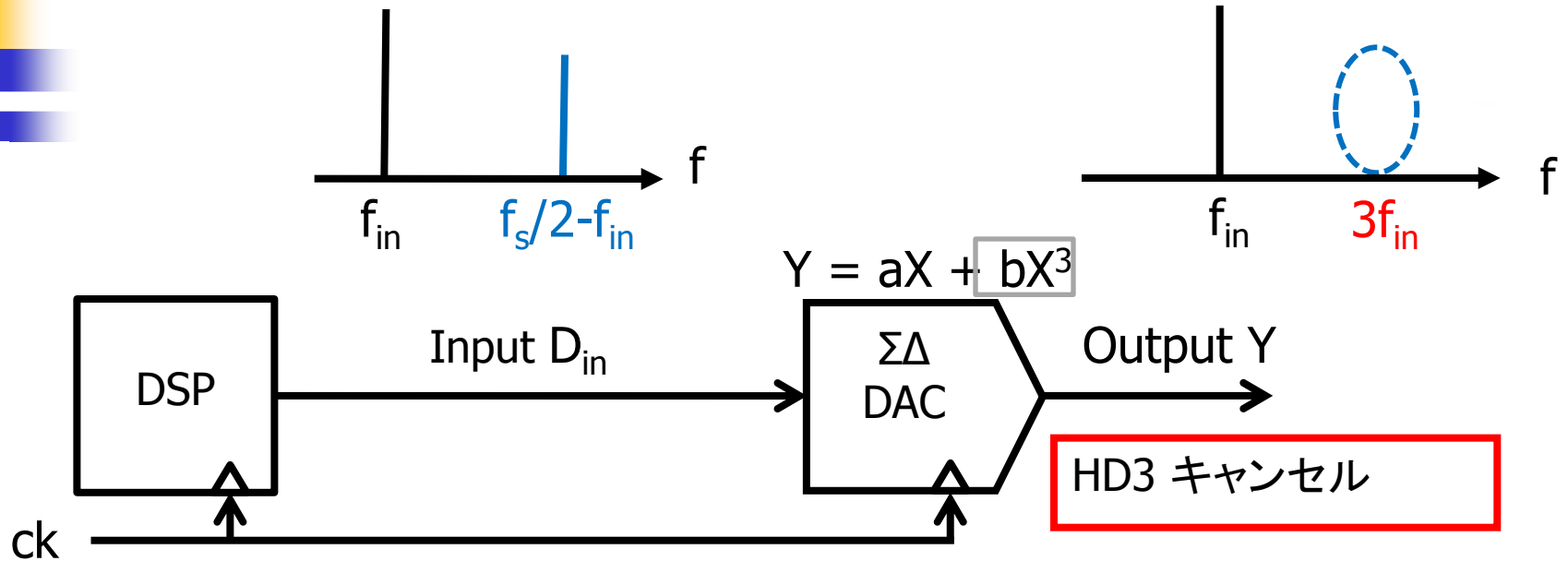
$\Sigma\Delta$ DAC ⇒ テストモード時に  
SoC内のDSP, DAC コアを用いて構成

# 開発した手法

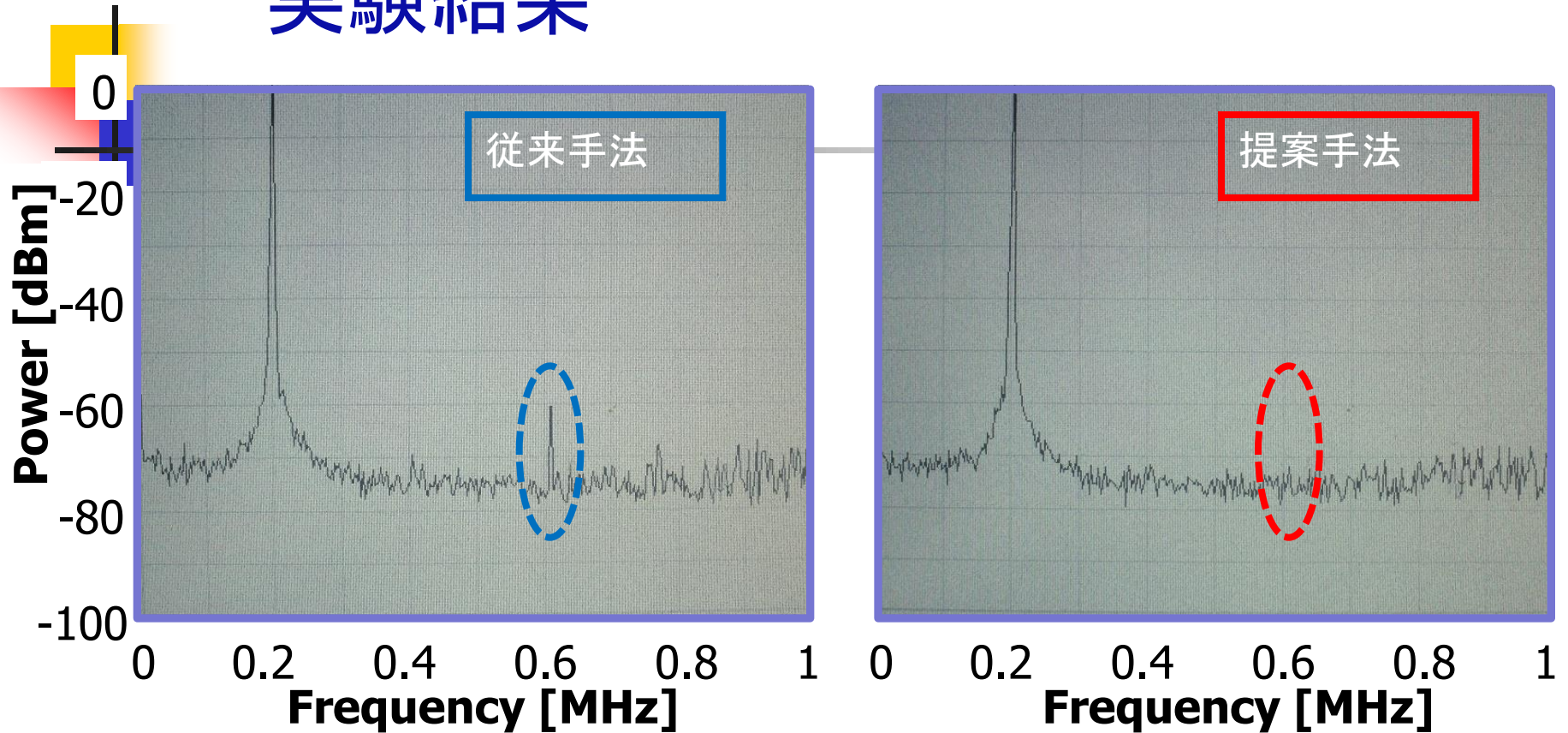


$X_1, X_2$  をインターリーブして  $D_{in}$  を生成

# 低歪み正弦波発生の原理



# 実験結果



Fundamental  
(200kHz) : 3.8 dBm

-1.2 dB

2.6 dBm

HD3  
(600kHz) : -60 dBm

-14 dB

-74 dBm



# 発表内容

---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

# 教育論：アナログ回路を志す学生にとって

習得すべき知識領域が広がる？  
基本は変わらない？

- システム的な考え方、システム全体を理解・設計できる能力、信号処理技術の知識が必須になる。
- いわゆる「アナログ回路」しかわからないのは（現状でも）通用しない。  
しかし「アナログ回路」がわからないのも通用しない。

「木」も「森」も見ること、理解できることが必要



# デジタルアシストの定義

- 「**微細**」と「**CMOS**」の2つの条件
- 4つの回路領域全てを使用
- 回路、設計手法、検証手法、テストをデジタル的に行う

More Moore  
のアナログ

	時間 連続	時間 離散
振幅 連続	領域1 アナログ	領域2 スイッチドキャパシタ サンプリング回路
振幅 離散	領域3 TDC、PWM	領域4 デジタル

領域1: バイポーラ、化合物が得意  
領域2, 3, 4: CMOSが得意

# デジタルアシストの必然

## 微細CMOSでアナログ高性能化

- 微細CMOSでは、低電源電圧、トランジスタ利得小、特性バラツキ大 で従来のアナログ回路では動作が難しい
- 小チップ面積、低消費電力、高性能化
- 設計容易化
- プロセス・ポータビリティ、スケーラビリティ
- 初回の試作で動作
- 半導体プロセス開発と並行して回路設計可能
- 他のデジタル回路と集積化可能



# デジタルアシストの体系化が必要

- ADC自己校正技術の理論的基礎は未解決  
ADC内部回路の誤差

→ ADC内回路自体を用いて測定  
測定自体に誤差  
測定内容も制限

どの条件で、なぜ自己校正で精度がでるのか？

結果としてADC精度確保。

個別技術では解決、一般論では未解決。

- ADCでの冗長性を用いたデジタル誤差補正  
パイプラインADC, 逐次比較近似ADC 等

→ 統一理論が必要

デジタルアシストで用いられている

## Z変換の問題点

離散時間信号・システム表現にZ変換が多用されているが、サンプリング周期  $T$  が陽に表れていないので使いづらい面がある。



$T$  をゼロに近づけた時、連続時間系の理論とスムーズに一致する表現が望ましい。

(東大名誉教授 北森俊行先生)

$$z = e^{sT}$$

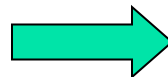
# デジタルアシストの思想の発展形

- 生物に学ぶ

自己校正

冗長性、故障耐性

自己診断・テスト・修復



生体システム

適応、学習、診断

自然治癒、回復

- 将来の微細CMOS SOC アーキテクチャは生物のシステムにも学ぶ必要あり。

- 生物と工学システムは異なるが。。。

鳥と飛行機、馬と自動車、脳とコンピュータ  
ニューラルネットワークは普及が限定

# 技術論：デジタルアシストはSOC向け？ それとも先端アナログ/RFとして必達？

- 微細CMOS SOC 向け
- アナログ、RF回路だけでなく  
パワー系回路(デジタル電源等)でも  
必要な考え方(必須ではないが)

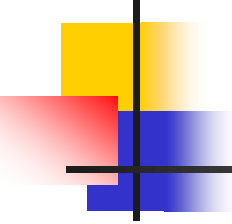


外資系半導体メーカーの多くは  
パワーマネージメントに注力。

高耐圧・パワーデバイスに加え

**微細CMOS**を集積化

デジタル制御(デジタルアシスト)が理由の一つ



# デジタルアシストの普及・発展は 市場駆動か、技術駆動か？

---

- **答え：** 両方. 微細CMOS SOCでは必須
- **市場駆動：**  
発展途上国向け製品では  
低コスト化・大量生産が必須.  
その手段として微細化が重要.
- **技術駆動：**  
微細化によるアナログRFを含むSOCの  
性能向上のストーリーを容易に描ける.



# デジタルアシストはアナログ回路設計を容易化するのか、難易度を高めるか？

---

- 微細CMOS SOCでは容易化する。  
枯れたプロセスで小規模アナログICを設計する場合は有効性小.
- 「アナログ回路設計」というより「システム全体の設計」という発想をしその設計を容易にする設計手法を確立すべき。  
(解は存在すると思う)
- アナログ自動合成を可能にする(?)  
アナログ部もデジタル手法でMatlab, Verilog 記述で回路設計、レイアウト設計、検証、テスト設計を行う.

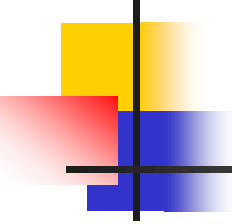




# デジタルアシストでは解決できない アナログ特性劣化要因とチャレンジ？

---

- **ピュアなアナログ回路領域は必ず残る.**  
基準電圧発生回路  
発振回路（完全デジタルPLL 回路DCOの  
LC発振回路など）  
低雑音アンプ  
パワーアンプ 等（の回路の一部）
- **これらは差別化部分になりえる**
- **「全てをデジタルで置き換える」ことはできない**



# デジタルアシストは新しい技術なのか？ これまでもあったが カテゴライズされて目立った？

---

- デジタルは偉大な技術
- アナログ回路の一部をデジタルで置き換えることができれば、アナログには戻らない。
- 電子計測器では「校正」の技術が以前からあり、それがチップ内に入ってきたとの見方もできる。



# ジッタ、熱雑音に対して

---

- デジタルアシストではジッタ、熱雑音は対応できない。  
ADCの性能限界はジッタできまる。  
(不確定性原理から標準偏差0.025ps)
- 多数個、多数回で統計的に平均化すれば精度を向上させえるのではないか。
- そのようにするとパワー効率が下がる。

が、この先入観にとらわれず、原理的に対応できるので踏み込んでデジタルアシストでジッタ・熱雑音に対処する研究をすべき。

微細CMOS ミクストシグナルSOC にての



# Analog RF Technologyの展開

---

Digitally-Assisted から  
System-Assisted へ



# 発表内容

---

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域1: 振幅連続、時間連続
  - 領域2: 振幅連続、時間離散
  - 領域3: 振幅離散、時間連続
  - 領域4: 振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ



# まとめ

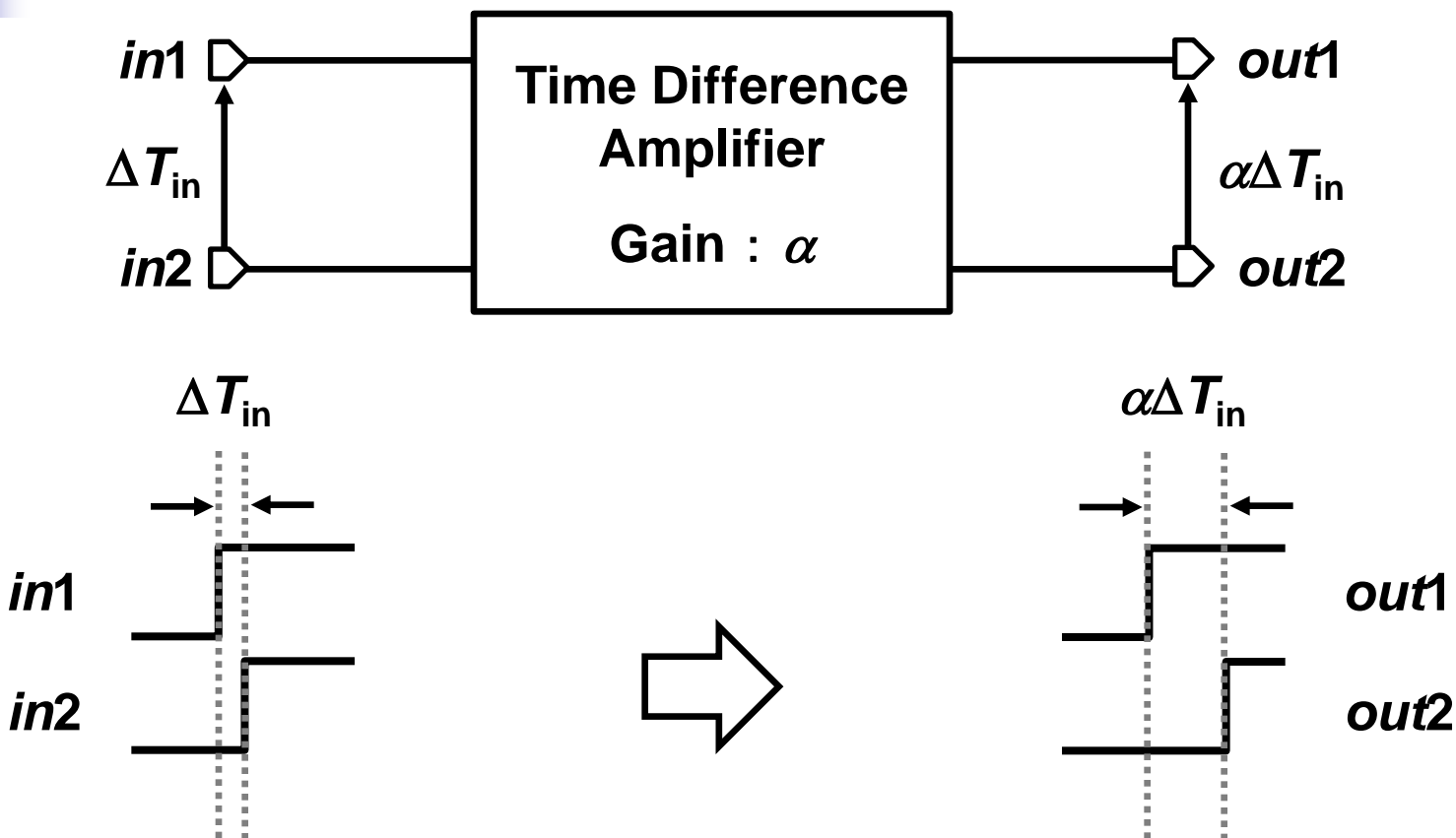
---

- ナノCMOSでのアナログ性能向上、設計容易性、プロセスポータビリティ、スケーラビリティのため
  - 4つの回路領域を全て使用
  - デジタル化を進める、アナログは最小
  - 誤差補正・自己校正技術
- アナログ技術、RF技術に加えて  
信号処理、計測・制御技術の知識・センスが必要
- デジタルアシストの個別技術の開発に加え、  
体系化・理論構築が必要

# 付録1： 時間差は増幅できる

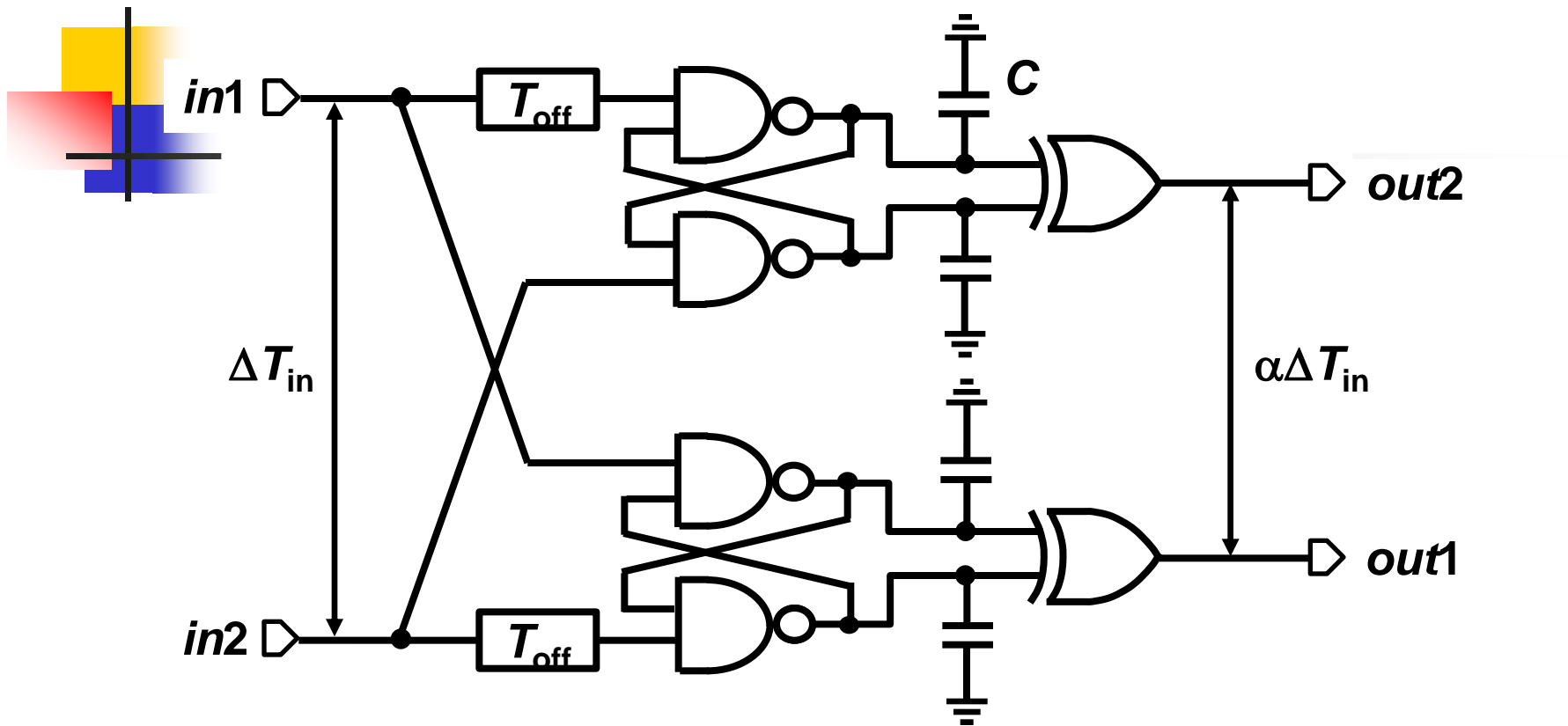
## 時間差増幅回路

### Time Difference Amplifier



信号の立ち上がりエッジ間の時間差を増幅

# ラッチを用いた時間差増幅回路

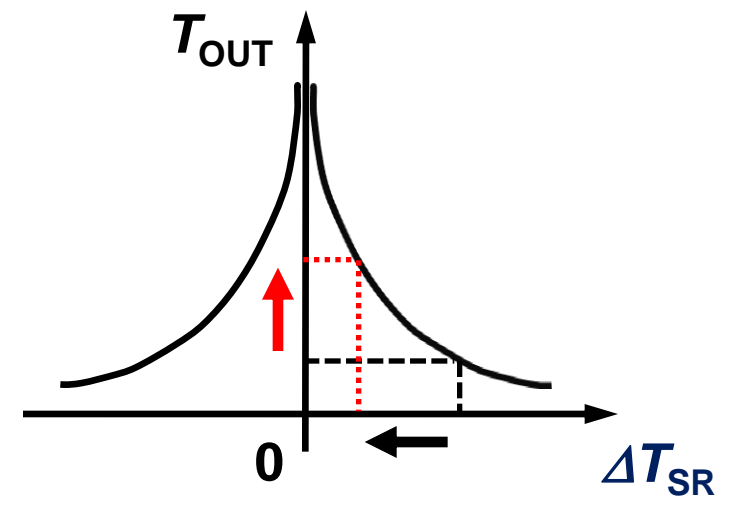
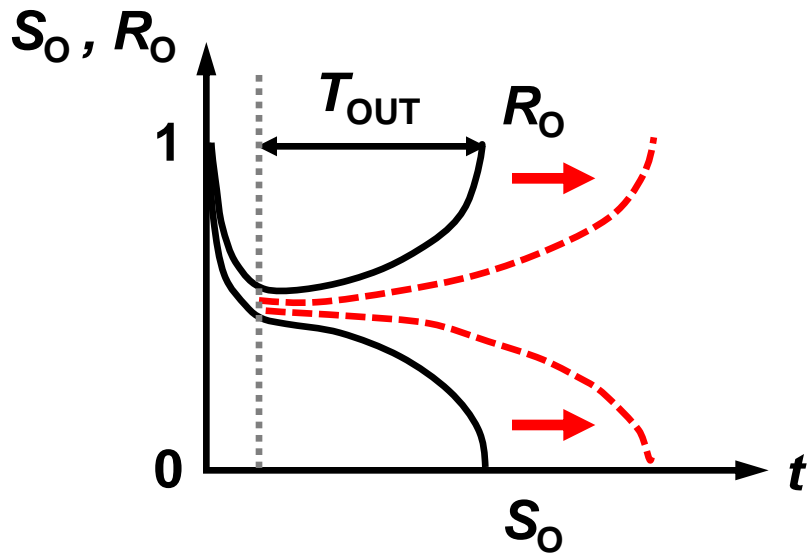
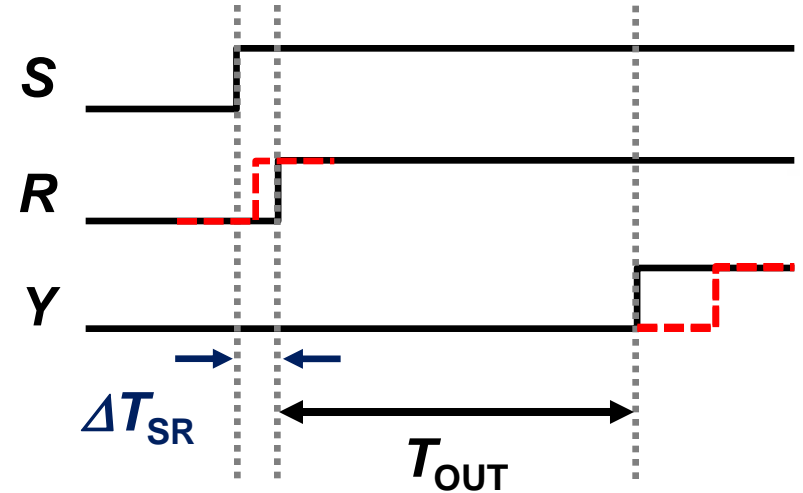
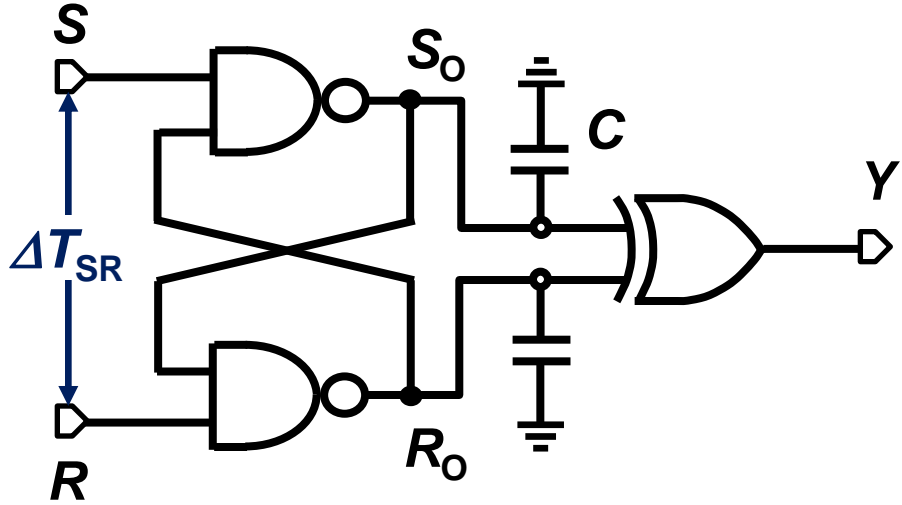


ラッチのメタスタビリティ現象を利用

- [1] M. Lee and A. A. Abidi, "A 9b, 1.25 ps Resolution Coarse-Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue," *IEEE Symp. On VLSI Circuits*, pp. 168-169, June 2007.

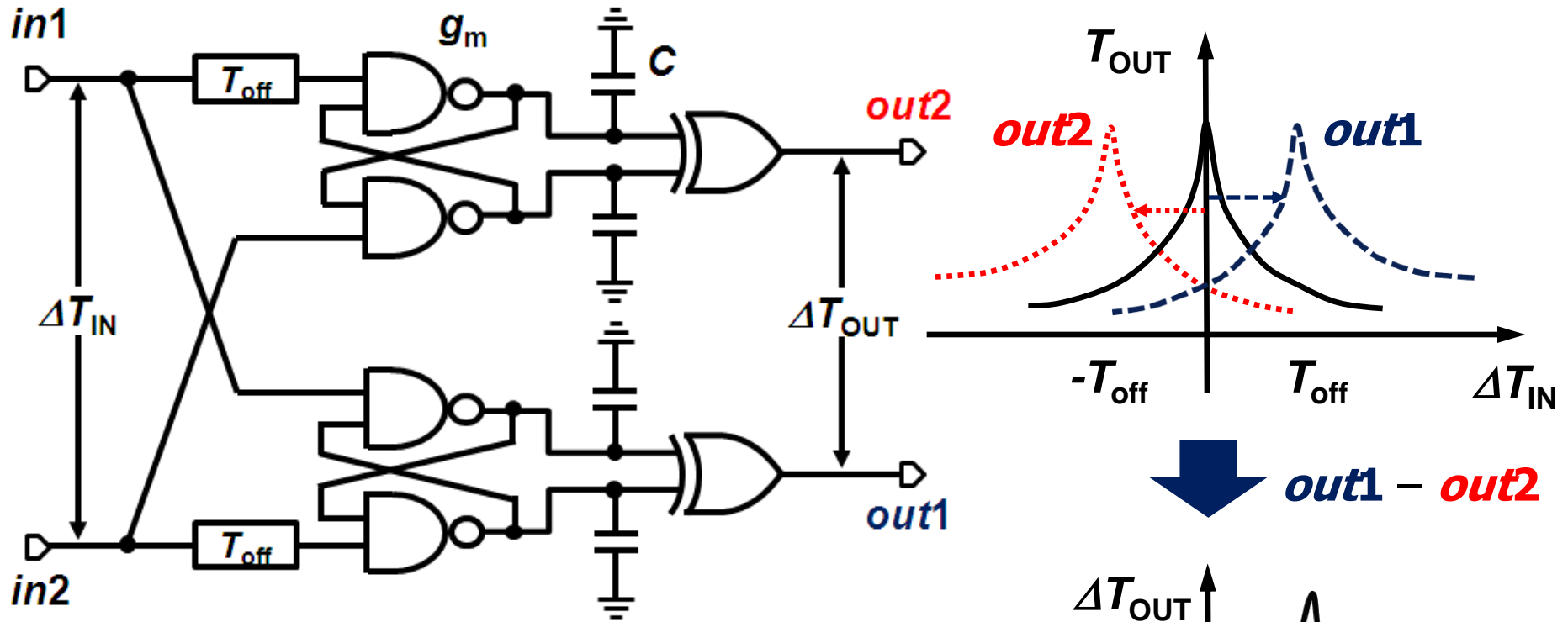


# NAND-SRラッチ回路の入出力特性



入力時間差  $\Delta T_{SR}$  : 小 ➡ 準安定状態からの回復時間  $T_{OUT}$  : 大

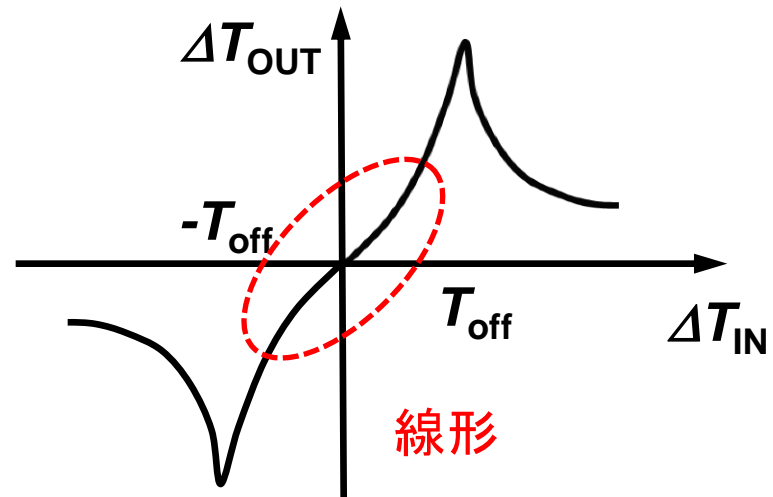
# ラッチを用いた時間差増幅回路の動作



$\Delta T_{IN} \ll |T_{off}|$  : ゲインは線形とみなす

時間差増幅回路のゲイン : 
$$A_T = \frac{2C}{g_m \cdot T_{off}}$$

$g_m$  : 準安定状態時のNANDゲートの  
トランスコンダクタンス



## 付録2: 水平思考

# 信号を電圧軸(垂直)ではなく 時間軸(水平)で

### 水平思考 (lateral thinking):

問題解決のために既成の理論や概念にとらわれずアイデアを生み出す方法。

エドワード・デ・ボノが1967年頃に提唱。

白と黒い石を一つずつの袋にいれた籤(くじ)。

白い石を引けば勝ち。

籤を作る側がインチキをして黒い石を2つ入れる

ところを見る。  どうやれば勝てるか。

# 水平思考による解

## 「兵は詭道なり」 孫子

籤を引く。が、  
石の色を確かめる前に敷地に落してしまう。



「袋に残ってる石の色を見れば  
引いた石が何色だったか分かる」と主張

インターネットより

# 信号を電圧軸(垂直)ではなく 時間軸(水平)で

水平思考 (lateral thinking):

問題解決のために既成の理論や概念にとらわれずアイデアを生み出す方法。

「こじつけ」です  
(念のため)

唱。

た籤(くじ)。

を2つ入れる  
てるか。

## 付録3: 計測制御工学と自己校正

### 計測制御工学で

### 自己校正、自動調整を理論づける

- 計測  $\longleftrightarrow$  制御 双対(dual) の関係
- 計測  $\longrightarrow$  逆問題
- 古典制御理論

工学のエッセンスをたくさん含む

古典: 古くからある & 現在生き延びている  
史記、論語、孫子、三国志 等

(良くないものは廃れてしまい残らない。)



# フォアグラウンド、バックグラウンド 自己校正

---

## フォアグラウンド自己校正

仕事を中断し、学校で学習

## バックグラウンド自己校正

(アナログフィルタ等の)自動調整

仕事をしながら学習 (on the job training)

生涯学習(社会の変化に対応した学習)



# フィードバックによる情報獲得 フィードフォワードによる補正

---

## 人間の熟練動作の獲得過程

フィードバック制御から

フィードフォワード制御への移行

## 自己校正

フィードバック構成で誤差測定

フィードフォワードで補正





# バックグラウンド自己校正と自動調整

---

ADCバックグラウンド自己校正



アナログフィルタの自動調整

共通点あり & 相違点あり



# 能動計測と受動計測

---

## 能動計測

測定対象に積極的に入力を与えて  
結果(出力)を計測

基準信号を与えて自己校正

## 受動計測

測定対象の入力は意図的ではない。  
出力を計測。

基準信号を不要で自己校正



# 自己校正による計測

---

Divide & Conquer  
Superposition

1mm の精度で100m までを測定

1mm 精度で100m の物差しは非現実的

1mm 精度で30cm の物差しを用いる

ダイナミックレンジを制限 (divide & conquer)

それをつなぎ合わせる (superposition)



# 計測器はテクノロジードライバ

---

計測器で用いられている技術



民生製品に降りてくる。



# 収束、学習の早さを考える

---

Split ADC 2つの異なる論理

整合するように自動調整

収束が早い。

1つのことを別の観点から学ぶ

→ 知識の習得、学習が早い