

# シグマデルタ型タイムデジタイザ回路の検討

上森 聡史\* 土井 佑太 小林 春夫 (群馬大学)  
小林 修 (STARC) 松浦 達治 新津 葵一 (群馬大学)

## Sigma-Delta Time-to-Digital Converter Architecture

Satoshi Uemori\*, Yuta Doi, Haruo Kobayashi (Gunma University)

Osamu Kobayashi (STARC) Tatsuji Matsuura Kiichi Niitsu (Gunma University)

This paper describes a sigma-delta-type time-to-digital circuit for high-speed IO interface circuit testing. We show its structure and operation principle. Especially we propose a multi-bit-type sigma-delta time-to-digital circuit, where mismatches among delay cells in delay-lines degrades the linearity but the data-weighted averaging algorithm improves the linearity of the overall time-to-digital converter. Our MATLAB simulation results verify these.

**キーワード** : タイムデジタイザ, 時間計測, シグマデルタ変調, マルチビット, 高速 IO 回路テスト  
(Time-to-Digital Converter, Time Measurement, Sigma-Delta Modulation, Multi-bit, High-Speed IO Interface Circuit Testing)

## 1. はじめに

この論文では2つの繰り返しかロック間の時間差を高時間分解能・簡単な回路で計測するための、シグマデルタ型タイムデジタイザ回路の構成と原理を記述する。とくにマルチビット型の構成を提案する。内部の遅延線の遅延セルのミスマッチ影響を Data Weighted Averaging Algorithm で軽減させ、タイムデジタイザの線形性を向上させることができる。提案構成は DDR でのデータ、クロック間の時間差を高速にデジタル出力として計測すること等に用いることができる。[1] MATLABシミュレーションによりこれらの基本動作を確認した。

## 2. シグマデルタ型 TDC の構成

### (2-1) シグマデルタ型 TDC の構成と動作

シグマデルタ型 TDC の全体構成を図 1 に示す。遅延素子と積分器、比較器、マルチプレクサから構成される。2つのクロック信号 CLK1, CLK2 を入力し、立ち上がりタイミング間隔  $T$  を測定する回路である。

CLK1, CLK2 はそれぞれ比較器出力  $D_{out}$  の結果である 0, 1 に応じて、そのまま何もせずに信号を通す経路か、遅延経路を通して信号を遅らせるかが選択される。その後に出力された信号をそれぞれ CLK1a と CLK2a とする。CLK1a と CLK2a のうち、速い方の信号を Mask 信号とし、Mask 信号とそれぞれのクロックとの論理積をとる。その出力結

果を CLK1b と CLK2b とし、この両信号の時間差  $CLK_{in}$  を出す。その時間差  $CLK_{in}$  を電圧に変換し、電圧モードで積分して  $INT_{out}$  を出力する。この出力結果  $INT_{out}$  を比較器によりゼロと比較し、最終的な出力結果  $D_{out}$  を求める。CLK1 が速い場合には時間差を求めたときに正となるため積分した後の比較結果は 1 となり、次のクロックでは CLK1 は遅延の経路が選択され、CLK2 はそのまま信号を通す経路が選択される。逆に CLK2 が速い場合には時間差を求めたときに負となるため積分した後の比較結果は 0 となり、次のクロックでは CLK2 が遅延の経路側を選択されることになる。最終的には、比較器から出力された 1 の数から、クロック間の立ち上がりタイミング間隔を求める。

比較器を動作させるクロック CK はタイミングジェネレータを用い、CLK1b, CLK2b の立ち下がり後に  $T_d$  だけずらして発生させる。

図 2 に比較器出力が 0, 1 それぞれの場合のタイミングチャートを示す。

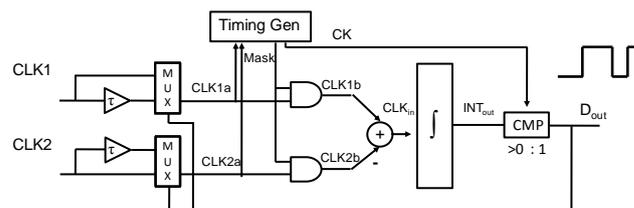


図 1 シグマデルタ型 TDC の構成図

Fig. 1. Architecture of Sigma-Delta TDC.

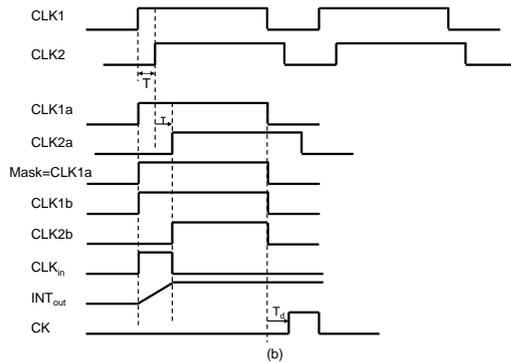
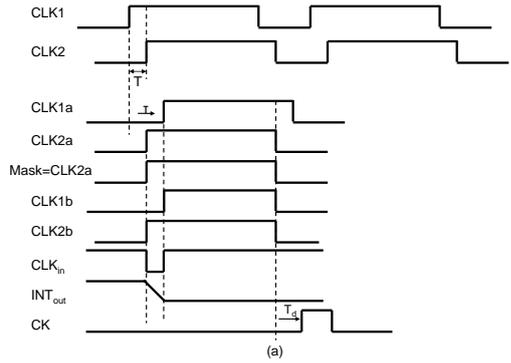


図2 シグマデルタ型 TDC のタイミングチャート. (a)  $D_{out}=1$  のとき. (b)  $D_{out}=0$  のとき.  
Fig. 2. Timing diagram of Sigma-Delta TDC.  
(a) In case  $D_{out}=1$ . (b) In case  $D_{out}=0$ .

### 〈2・2〉 マルチビットシグマデルタ型 TDC の構成と動作

図3にマルチビットシグマデルタ型 TDC の構成を示す。マルチビットシグマデルタ型 TDC の場合は比較器として Flash 型の AD 変換器を用い、温度計コードとしてビット分の出力がされる。また、遅延素子とマルチプレクサの数も増え、N ビットのシグマデルタ型 TDC とするには、 $(2^N-1)$  個の遅延素子とマルチプレクサが必要とされる。

動作としては単一ビットの場合と同様で CLK1, CLK2 を入力し、出力結果  $D_{out}$  によって信号を遅延させる。Mask 信号を求めて各信号との論理積をとった後、その時間差  $CLK_{in}$  を求める。それを電圧モードで積分し、結果である  $INT_{out}$  を Flash 型 AD 変換器を用いて変換する。その出力の温度計コードの結果  $D_{out}$  により、それぞれの信号が次のクロックで通される経路を選択される。そのため単一ビットの場合とは異なり、各信号の遅延時間は Flash 型 AD 変換器の出力結果によって変化する。クロック間の立ち上がりタイミング間隔は Flash 型 AD 変換器から出力された 1 の数から求める。

点線枠で囲まれた部分はマルチビット DTC であり、通常の  $\Delta\Sigma$  ADC でのマルチビット DAC に対応する。マルチビット DTC 内の遅延素子  $\tau$  の相対ばらつきにより、DTC の非線形性やシグマデルタ型 TDC 全体の非線形性を引き起こしてしまい、測定の誤差原因となってしまう。そのため、Element Rotation [2] によってその影響を軽減させる。

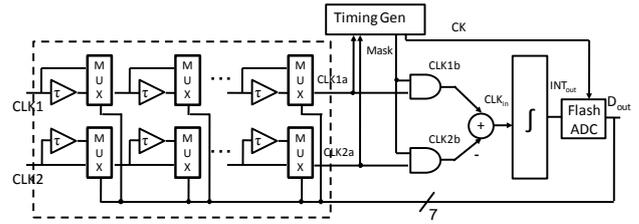
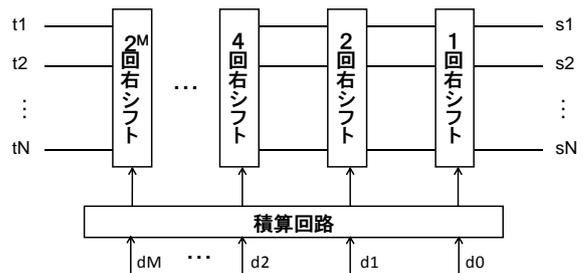


図3 マルチビットシグマデルタ型 TDC の構成図  
Fig. 3. Architecture of multi-bit Sigma-Delta TDC.

### 3. Element Rotation Logic の構成と動作

Element Rotation Logic のブロック図と動作を図4に示す。シフト回路とその制御入力から構成される。

この Element Rotation 回路を用いていない場合には、前の入力に関わらず、入力された  $S_1$  から  $S_N$  は  $t_1$  から  $t_N$  と等しくなるため、常に同じ位置で信号が入力される。したがって入力が温度計コードのようなもの場合には 0 もしくは 1 ばかりが入力される個所が出てくる。しかし、Element Rotation 回路を用いた場合には、前のクロックで 1 がどこまで入力されたか（前の入力である  $d$  とそれまでのシフト量）を記憶し、次の入力時にはポインタを用いて前の入力で 1 が出た次の位置へと開始位置をずらす動作をする。図を例に、最初の入力ではシフトせずに  $S_1$  から開始し、次の入力では前の入力が 1 であったことから 1 シフトした  $S_2$  から開始、次の入力では前の入力が 3 でそれ以前に 1 シフトしていたので計 4 シフトして  $S_5$  から開始という動作をする。それにより、 $S_1$  から  $S_N$  では、ある程度均等に 0 と 1 が出力される。



d	$t_1$	$t_N$	$S_1$	$S_N$
1	1000000000...00		1000000000...00	0シフト
3	1110000000...00		0111000000...00	0+1=1シフト
2	1100000000...00		0000110000...00	1+3=4シフト

図4 Element Rotation 回路の動作

Fig. 4. Operation of Element Rotation Logic.

マルチビットシグマデルタ型 TDC のマルチビット DTC 部分に Element Rotation(Data Weighted Averaging アルゴリズム)を適用した図を図5に示す。Flash 型 AD 変換器から出力された温度計コードを用いてマルチビットシグマ

デルタ型 TDC 内のマルチプレクサを制御した場合、同じ遅延素子ばかりが使用されることになる。このとき、遅延素子に遅延誤差がなければ問題はないが、実際には遅延ばらつきがあるため、その影響が非線形性として現れてしまう。そこで、Element Rotation 回路により遅延ばらつきの影響を抑える。同じ遅延素子ばかりを使うことなく、全ての遅延素子を使うため遅延ばらつきの影響を軽減させることができる。すなわち遅延セルの選択を均等化し、遅延ばらつき  $\Delta \tau$  の影響を高周波側に押しやる(ノイズシェーブする)。

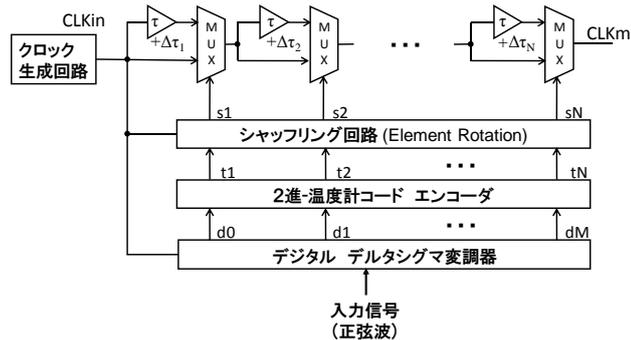


図 5 マルチビット DTC と Element Rotation  
Fig. 5. Multi-bit DTC and Element Rotation  
Logic.

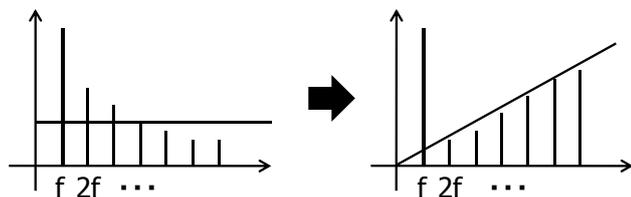


図 6 Element Rotation によるノイズシェーブ  
Fig. 6. Noise shaping by Element Rotation  
Logic.

#### 4. マルチビットシグマデルタ型 TDC への Element Rotation Logic の適用

マルチビットシグマデルタ型 TDC に Element Rotation Logic を適用した図を図 7 に示す。Flash 型 AD 変換器からの出力を Element Rotation 回路に入力し、そこからの出力をマルチビット DTC の各マルチプレクサの制御信号とする。

Element Rotation 回路内で 1 クロック前の Flash 型 AD 変換器からの 1 の出力数を記憶させ、次のクロックではその分シフトさせた位置から 1 が入力されるようにする。全体の動作は Element Rotation 回路を入れていない場合と同様であり、制御信号として 1 が入力されたときには遅延セルの経路を通す。この動作が各マルチプレクサで行われる。動作として異なるのは、均等に遅延セルを使用するようになっていることである。そのため、遅延ばらつきの影

響を減少させることができる。

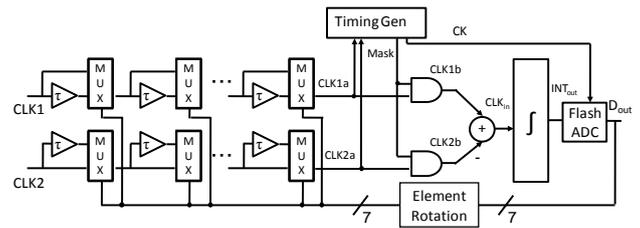


図 7 Element Rotation を適用したマルチビット TDC  
Fig. 7. Multi-bit TDC using Element Rotation  
Logic.

#### 5. シミュレーションによる動作の確認

ここでは MATLAB シミュレータを用いて、シグマデルタ型 TDC の動作の確認を行う。

##### 5.1 シングルビットシグマデルタ型 TDC の動作確認

シミュレーション条件として、遅延セルの遅延時間  $\tau$  を  $\tau = 1\text{ms}$  とし、CLK1, CLK2 間の立ち上がりタイミング間隔 T を 0.05ms 刻みで  $T = -0.9\text{ms}$  から  $T = 0.9\text{ms}$  まで変化させた。また、出力される数(比較器で比較され、Dout が出力される回数)は 100 点となるようにした。

この条件でシングルビットのシグマデルタ型 TDC のシミュレーションを行い、クロック間の立ち上がりタイミング間隔 T に対する 1 が出力された数をプロットしたものを図 8 に示す。

クロック間の立ち上がりタイミング間隔により 1 の出力される回数が増減し、また、その値は線形に変化している。

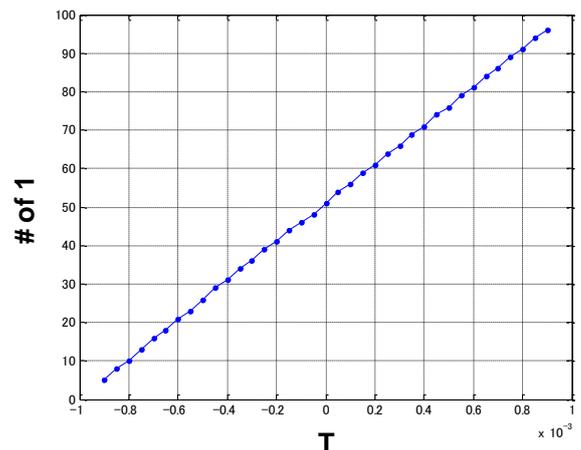


図 8 1 ビットシグマデルタ型 TDC のクロック間立ち上がりタイミング間隔に対するコンパレータ出力 1 の出力数  
Fig. 8. Number of 1's for comparator output with respect to the rising edge timing difference between CLK1 and CLK2 (in 1bit Sigma-Delta TDC case).

### 〈5.2〉 マルチビットシグマデルタ型 TDC の動作確認

シミュレーション条件として、DTC の部分を 3 ビットの DTC へと置き換え、遅延セルの遅延時間を  $\tau=1\text{ms}$  とし、クロック間の立ち上がりタイミング間隔  $T$  を  $0.5\text{ms}$  刻みで  $T=-6\text{ms}$  から  $T=6\text{ms}$  まで変化させた。また、出力される数を 100 点となるようにした。最終的な出力は Flash 型 AD 変換器からの温度計コード出力を足し合わせているので  $100 \times (2^{\text{bit}} - 1) = 700$  点となる。

この条件で 3 ビットのシグマデルタ型 TDC のシミュレーションを行い、クロック間の立ち上がりタイミング間隔  $T$  に対する 1 の出力された数をプロットしたものを図 9 に示す。

1 ビットのシグマデルタ型 TDC の出力結果と同様に、クロック間の立ち上がりタイミング間隔により 1 の数が線形に変化している。

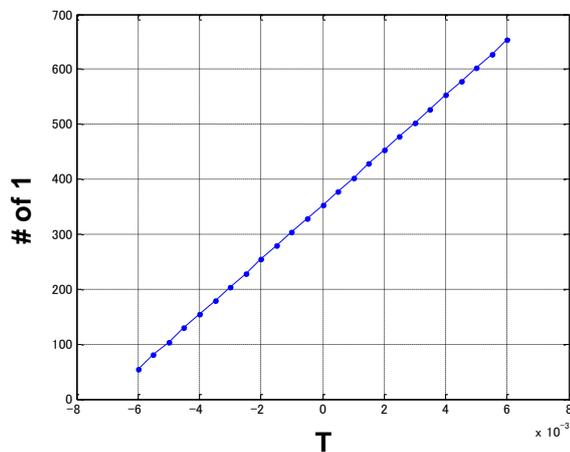


図 9 3 ビットシグマデルタ型 TDC のクロック間立ち上がりタイミング間隔に対する 1 の出力数

Fig. 9. Number of 1's for comparators outputs with respect to the rising edge timing difference between CLK1 and CLK2. (in 3bit Sigma-Delta TDC case).

次に、遅延セルに遅延ばらつきがあった場合について記す。シミュレーション条件としては、遅延セルの遅延時間以外は先程と同様であり、遅延時間を表 1 のようにした。このとき、遅延ばらつきはガウス分布でランダムに生成し、平均が  $\tau=1\text{ms}$  であり最大で  $\tau$  の  $\pm 10\%$  程度の誤差となるように設定した。表 1 はシミュレーション時に上の条

件で得られた遅延時間のパラメータである。

この条件でシミュレーションを行い、遅延ばらつきのない理想状態でのマルチビットシグマデルタ型 TDC の出力結果との差を求めてプロットしたものを図 10 に示す。破線が Element Rotation 回路無しの場合である。

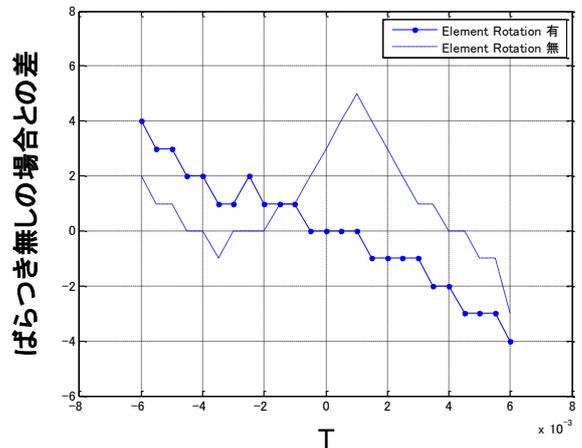


図 10 遅延ばらつきのない場合とある場合の 1 の出力数の差

Fig. 10. Difference of comparator outputs 1's number in cases with and without mismatches among delay cells

### 〈5.3〉 Element Rotation 回路を適用したマルチビットシグマデルタ型 TDC の動作確認

シミュレーション条件としては遅延ばらつきがあった場合と同様の条件を用い、Flash 型 AD 変換器と 3 ビットの DTC との間の部分に Element Rotation 回路を適用してからシミュレーションを行った。結果を図 10 に実線で示す。

次に、Element Rotation は遅延ばらつきによる出力の非線形性の影響を減少させることが目的であったので、どの程度影響するのかを確認する。確認方法としては、立ち上がりタイミング間隔に対して 1 の出力数をプロットした図において 1 の数が最少と最大となる部分を結び、その直線と元の出力の差を求めた。この直線からのずれが小さいほど線形であるということができる。

Element Rotation 回路を適用していない場合と適用した場合の直線との差をそれぞれ求めてプロットしたものを図 11 に示す。Element Rotation 回路を用いることにより、直

表 1 遅延ばらつきがある場合の遅延時間シミュレーション値

Table 1. simulation parameter.

	$\tau 1$	$\tau 2$	$\tau 3$	$\tau 4$	$\tau 5$	$\tau 6$	$\tau 7$ [ms]	$\tau$ 合計値
CLK1 経路	1.02	1.01	1.03	0.99	0.95	1.04	1.04	7.08
CLK2 経路	1.04	1.04	1.04	0.92	1.03	0.98	1.03	7.08

線との差が約 6 点程度あり非線形だった出力結果が、±1 点以内の差となった。このことから、Element Rotation 回路を用いることで遅延ばらつきの影響を軽減させることができ、出力を線形にすることができると考えられる。

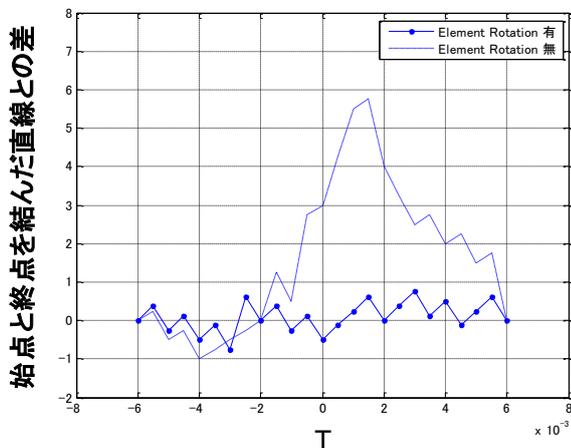


図 11 遅延ばらつきのない場合とある場合の INL.

Fig.11. INL in cases with and without mismatches among delay cells

## 6. まとめ

シグマデルタ型タイムデジタイザ回路について、シングルビットの場合およびマルチビットの場合の検討を行った。また、遅延セルに遅延ばらつきがあった場合の検討を行い、その影響を軽減させるために Element Rotation 回路を適用したときの有効性を MATLAB シミュレーションで確認した。

今後はより高次の構成も検討していきたい。[3,4,5]

## 文 献

- (1) J. Moreira, H. Werkmann, An Engineer's Guide to Automated Testing of High-Speed Interfaces, Artech House (2010).
- (2) R. Schreier, G. Temes, Understanding Delta-Sigma Data Converters, IEEE Press, 2005.
- (3) D.-W. Jee, Y.-H. Seo, H.-J. Park and J.-Y. Sim A 2 GHz Fractional-N Digital PLL with 1b Noise Shaping  $\Delta\Sigma$  TDC, IEEE VLSI Circuit Symp. 11-4, Kyoto (June 2011 June)
- (4) B. Young, K. Sunwoo A. Elshazly, P. K. Hanumolu, "A 2.4ps resolution 2.1mW second-order noise-shaped time-to-digital converter with 3.2ns range in 1MHz bandwidth," IEEE Custom Integrated Circuits, San Jose (Sept. 2010)
- (5) Y. Cao, P. Leroux, W. D. Cock, M. Steyaert, "A 1.7mW 11b 1-1-1 MASH  $\Delta\Sigma$  time-to-digital converter," ISSCC (Feb. 2011)