

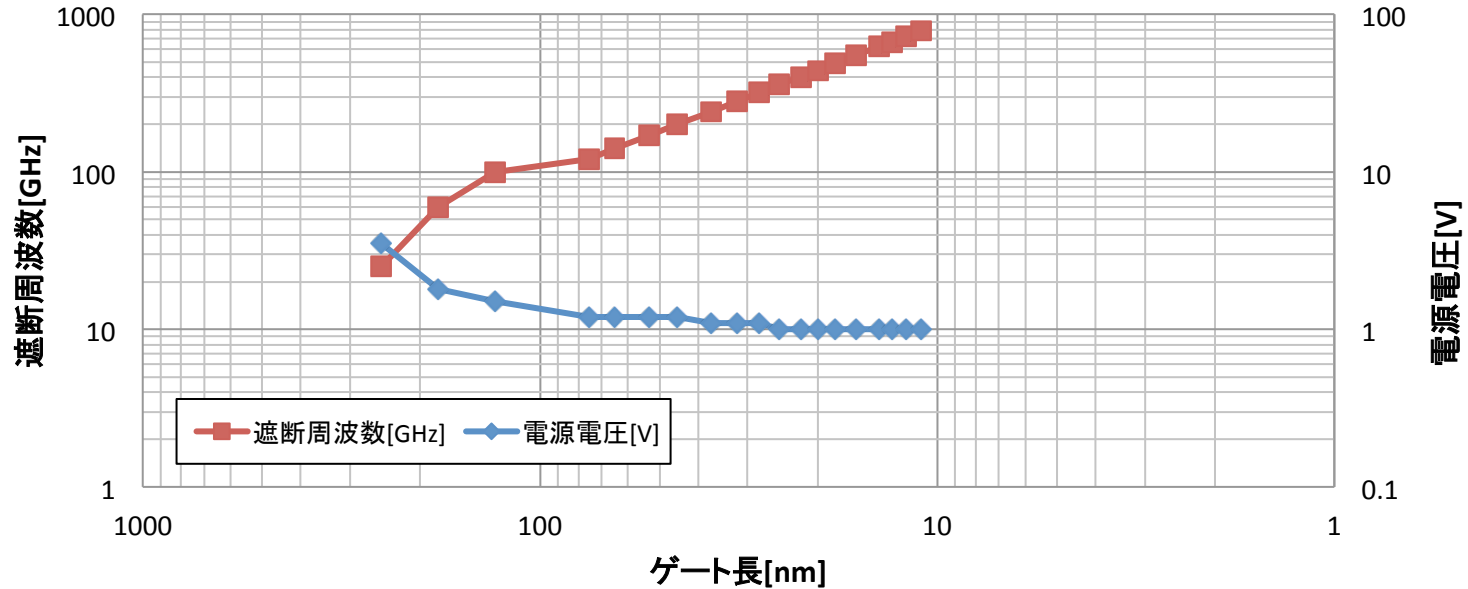
TVチューナ用完全デジタルPLL回路 —システムの観点から—

○湯本 哲也₁ 村上 健₁ 西村 繁幸₁ 田邊 朋之₁
壇 徹₂ 高橋 伸夫₂ 内藤 智洋₂ 北村 真一₂ 坂田 浩二₂
小林 春夫₁ 高井 伸和₁ 新津 葵一₁
群馬大学大学院 工学研究科₁
三洋半導体 株式会社₂

- 研究背景と目的
- 設計した完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーション及び測定による検証結果
- まとめと今後の課題

- 研究背景と目的
- 設計した完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーション及び測定による検証結果
- まとめと今後の課題

プロセス微細化によるCMOSの遮断周波数と電源電圧の変化



MOSの微細化

アナログ回路

高周波に対応可能
電圧制御範囲の減少
回路面積の縮小が困難

デジタル回路

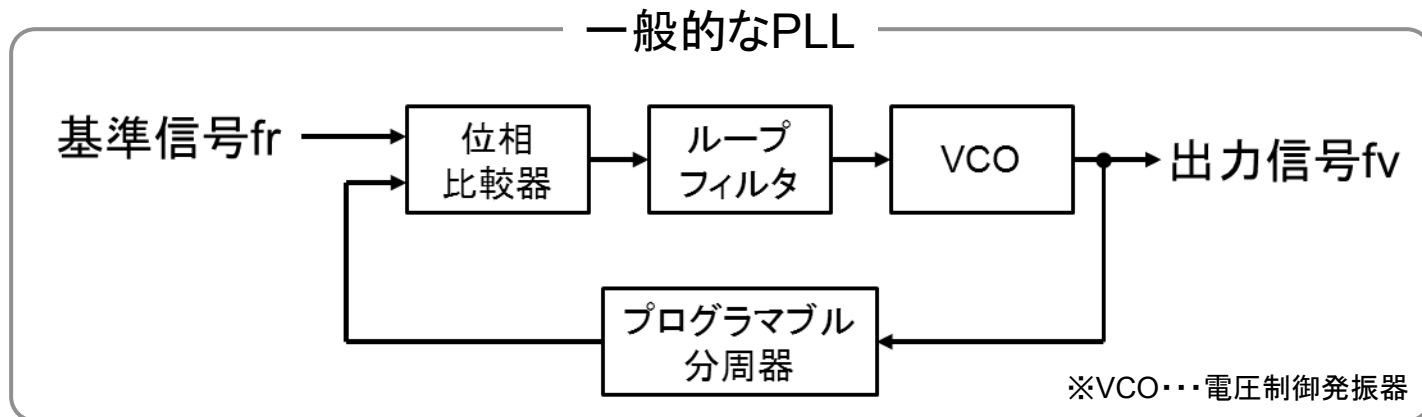
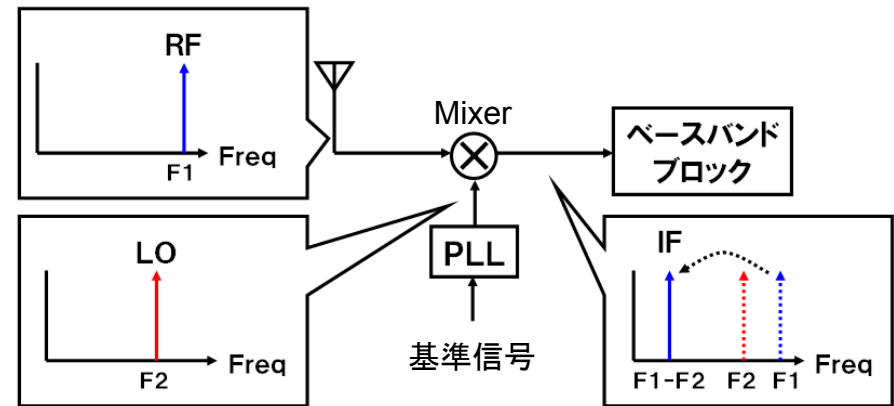
動作速度の向上
消費電力の低減
回路面積の減少

デジタルアシストアナログ技術

■ PLL(Phase Locked Loop)

基準信号に同期した信号を出力

主な用途: Mixer用LO信号



分周比 N を制御することで任意の出力が得られる $f_v = N \cdot f_r$

VCOはアナログ電圧によりチューニング

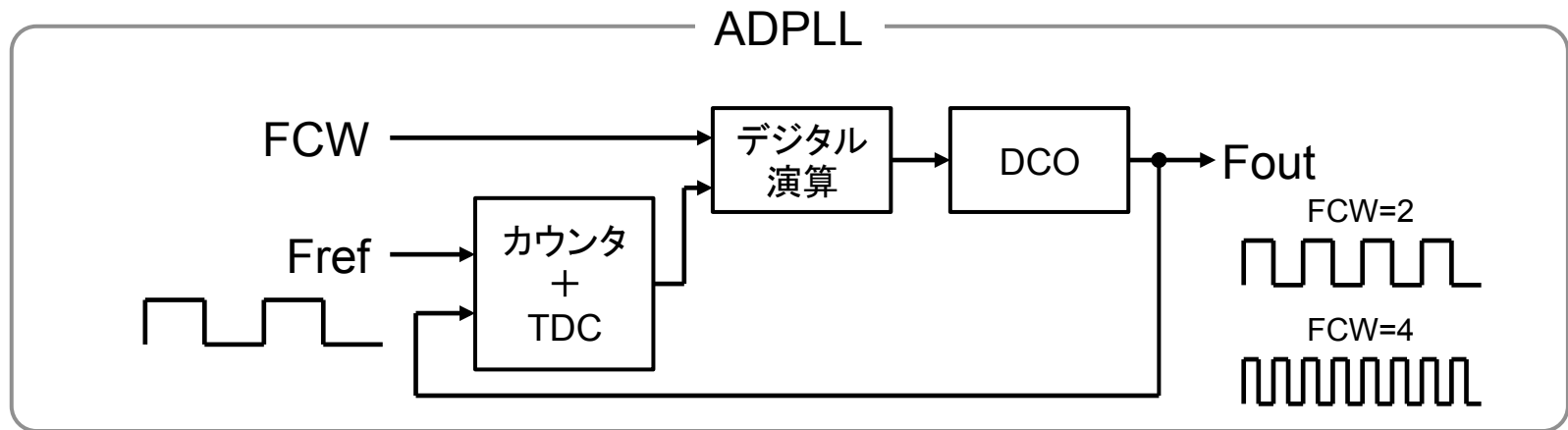
⇒ 周波数制御範囲の制限

アナログフィルタの受動素子

⇒ 回路面積の縮小が困難

■ ADPLL (All Digital PLL)

PLL回路をほぼ全てデジタル回路で構成



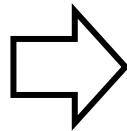
FCWを制御することで任意の出力が得られる $F_{out} = FCW \cdot F_{ref}$

アナログ構成

位相比較器

VCO

アナログフィルタ



デジタル構成

カウンタ + TDC

DCO

デジタルフィルタ

FCW: 周波数制御入力

Fref: 基準信号

Fout: 出力信号

TDC: Time to Digital Converter

DCO: デジタル制御発振器

微細化により高性能化が期待できる

ADPLLの現状

アメリカのメーカーにより提案 (Texas Instruments社)

GSM・Bluetooth等の狭帯域無線向けが多数



研究目的: TVチューナ用広帯域ADPLLの開発

目標仕様

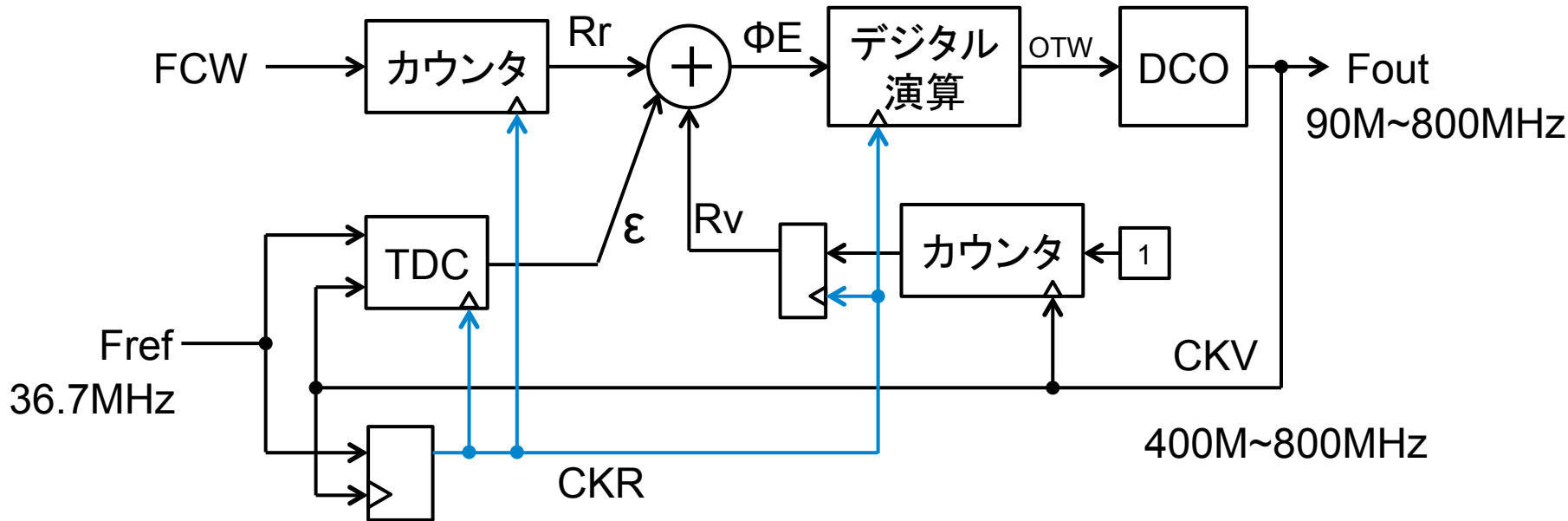
出力周波数範囲 97M~771MHz
位相雑音 -90dBc/Hz @10kHz

広帯域化へ向けた研究課題

- ・低位相雑音化
- ・広帯域動作化
- ・チューニング時間短縮化

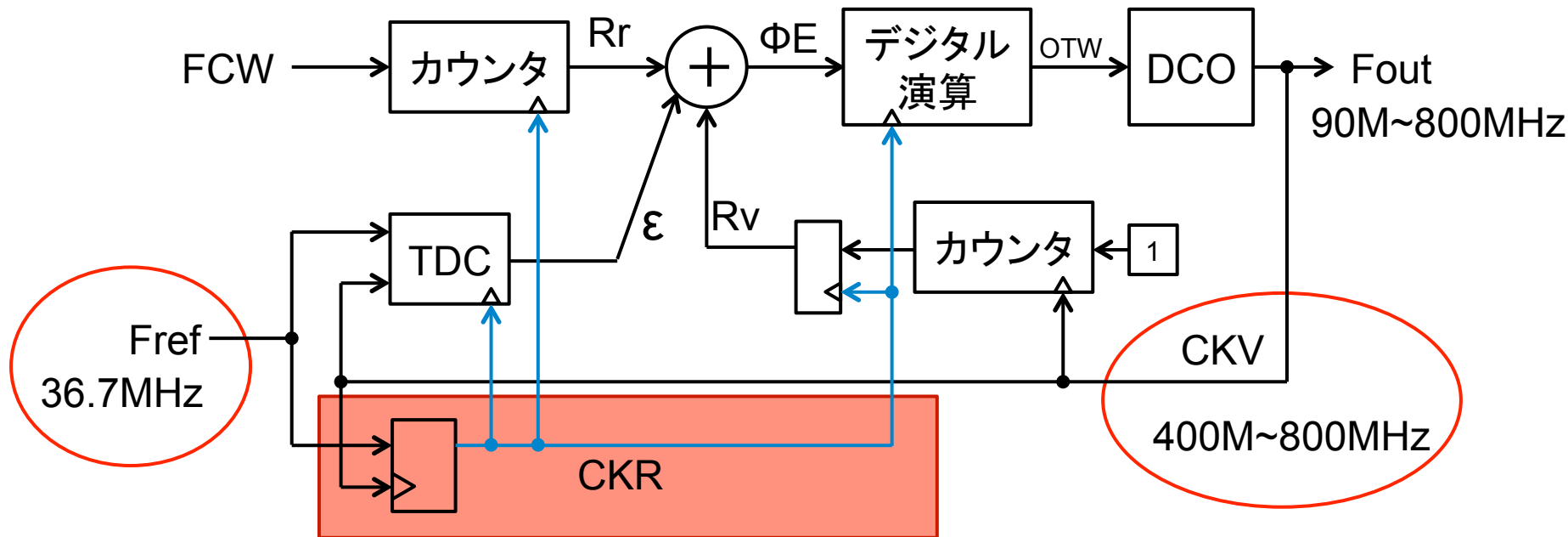
- 研究背景と目的
- 設計した完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーション及び測定による検証結果
- まとめと今後の課題

■ADPLL全体ブロック



FCW...周波数制御入力
Fref...基準信号
Fout...出力信号
CKV...フィードバック信号
CKR...システム同期クロック

■ADPLL全体ブロック

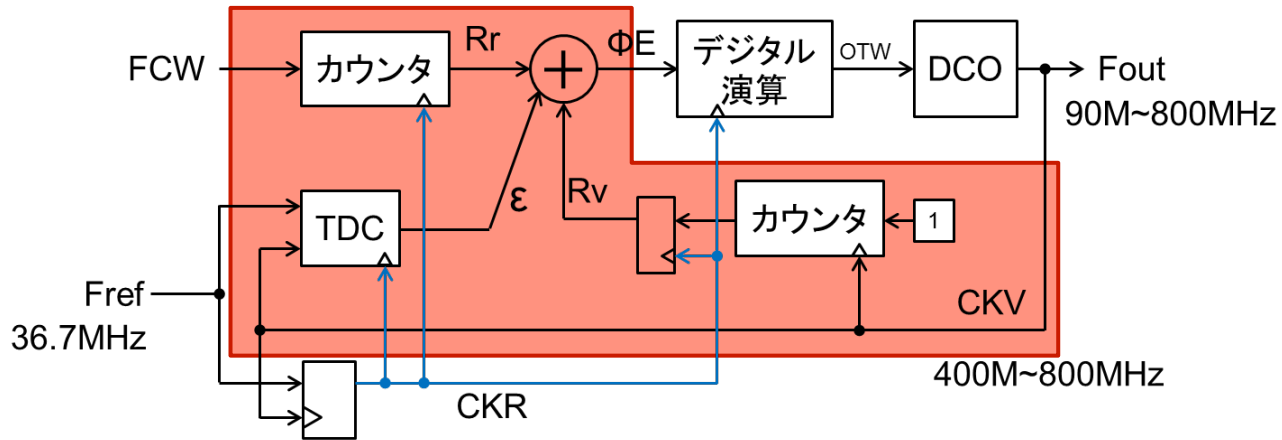


CKR...システム同期クロック

- 全ての演算及び制御はCKRのタイミングで行われる
- F_{ref} とCKVの位相を関連付ける

$F_{ref} = 36.7\text{MHz}$, $CKV = 400\text{M}\sim 800\text{MHz}$, $CKR = \text{約}36.7\text{MHz}$

■ADPLL全体ブロック



R_r
目標位相データ(整数、小数)

$W_i=8\text{bit}$
 $W_f=7\text{bit}$

R_v
出力位相データ(整数)

$W_i=8\text{bit}$

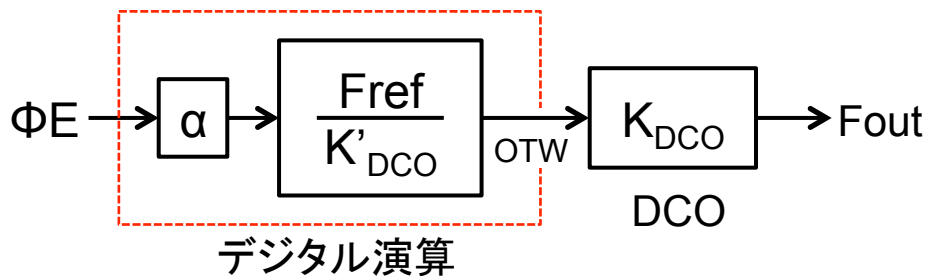
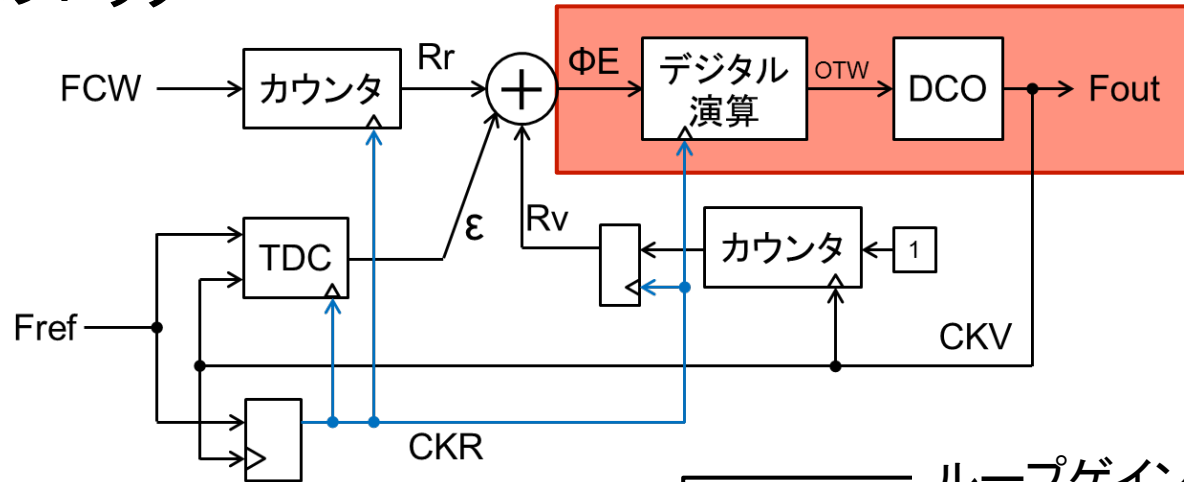
ϵ
CKV量子化誤差(小数)

$W_f=7\text{bit}$

$$\text{位相差 } \Phi_E = R_r - R_v + \epsilon$$

Φ_E は0(一定値)に収束する

■ADPLL全体ブロック



$$F_{out} = \alpha \cdot \frac{F_{ref}}{K'_{DCO}} \cdot K_{DCO} \cdot \Phi E = \alpha \cdot F_{ref} \cdot \Phi E$$

DCOゲインの影響をキャンセル

ループゲイン α

システムの応答特性を決定

収束精度 \longleftrightarrow 収束時間

トレードオフ

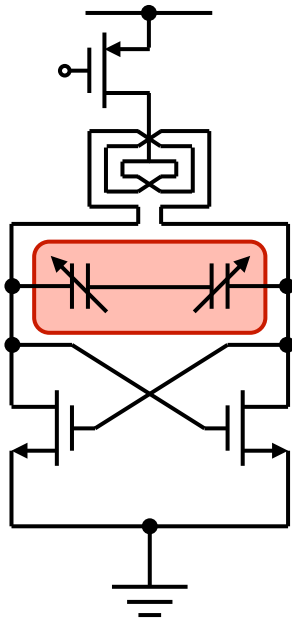
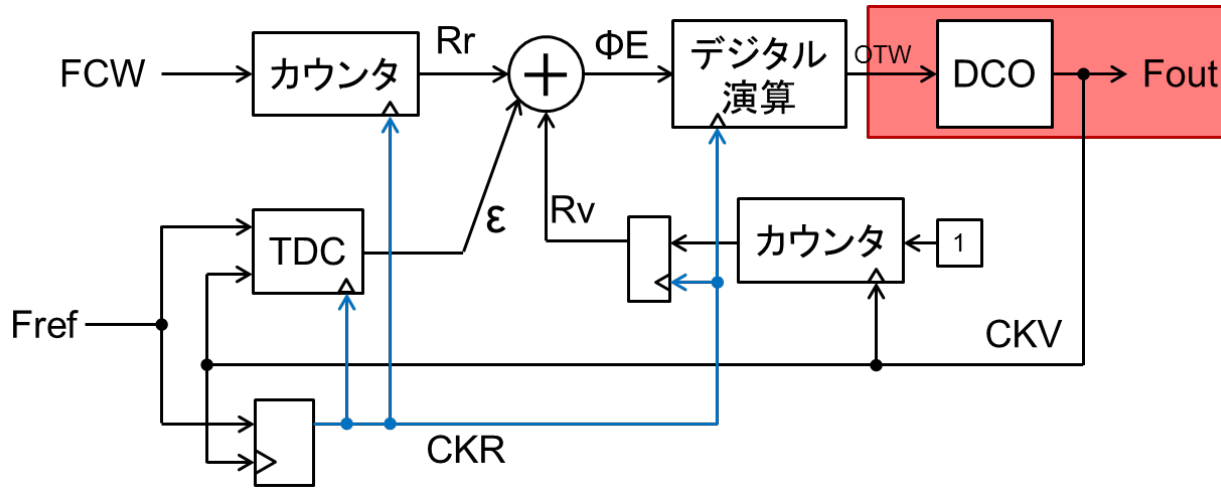
DCOゲイン K_{DCO}

OTWからFoutへの変換ゲイン

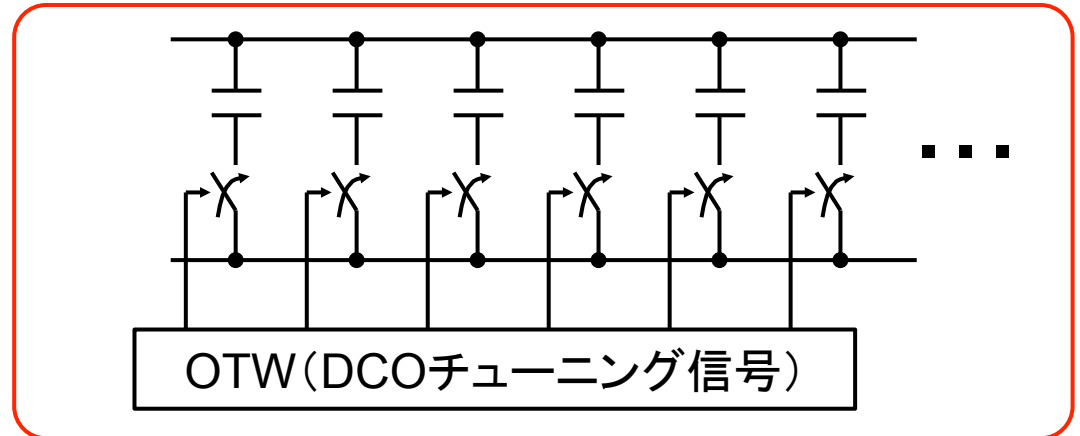
発振周波数に依存した非線形なパラメータ

伝達関数に影響 \rightarrow 補正を行った

■ADPLL全体ブロック



MOSバラクタ(可変容量)をアレイ状に並べる



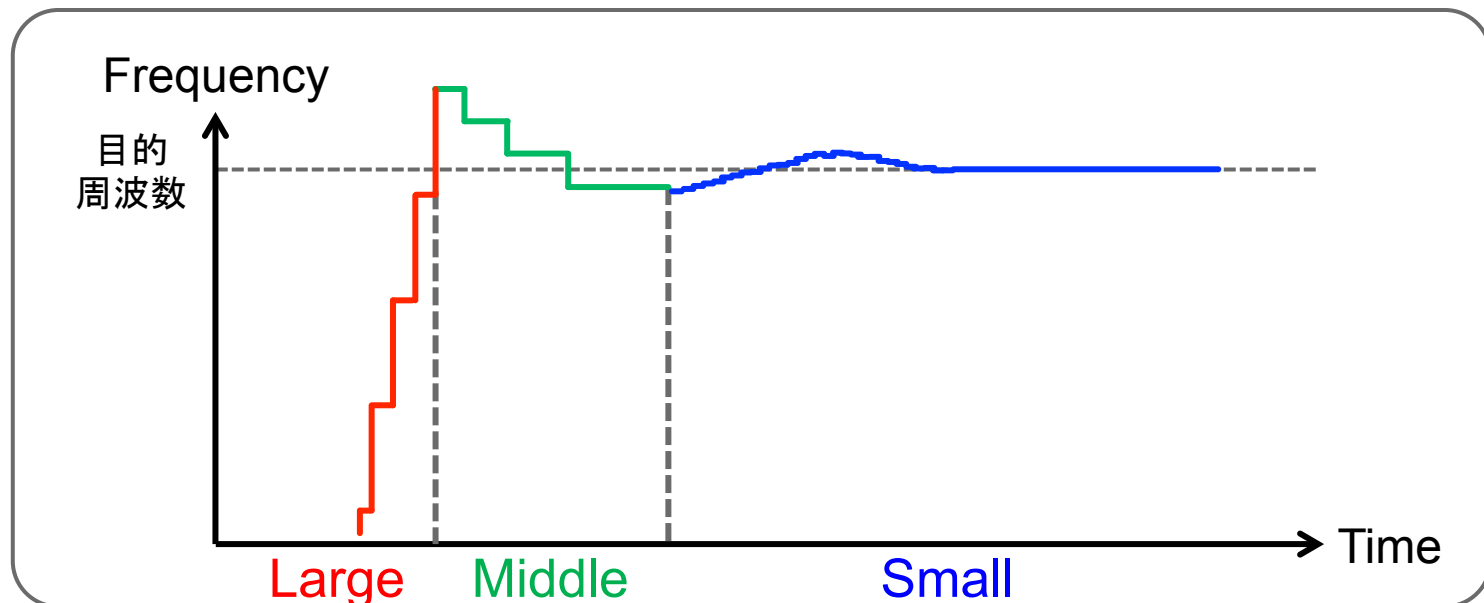
OTWによりデジタル値で容量を制御

高収束精度・高速ロック ⇨ 3つのモードを設定

粗調
↓
微調

チューニングモード	ループゲイン α	DCOバラクタ 分解能	DCOバラクタ 最大可変容量
Large	$\alpha_L=2^{-4}$	$\Delta C_L=100\text{fF}$	$C_{L\text{tot}}=3.2\text{pF}$
Middle	$\alpha_M=2^{-7}$	$\Delta C_M=6.25\text{fF}$	$C_{M\text{tot}}=400\text{fF}$
Small	$\alpha_S=2^{-9}$, $\rho_S=2^{-19}$	$\Delta C_S=250\text{aF}$	$C_{S\text{tot}}=16\text{fF}$

※Smallのみ2次のフィルタを使用



システムのチューニング動作

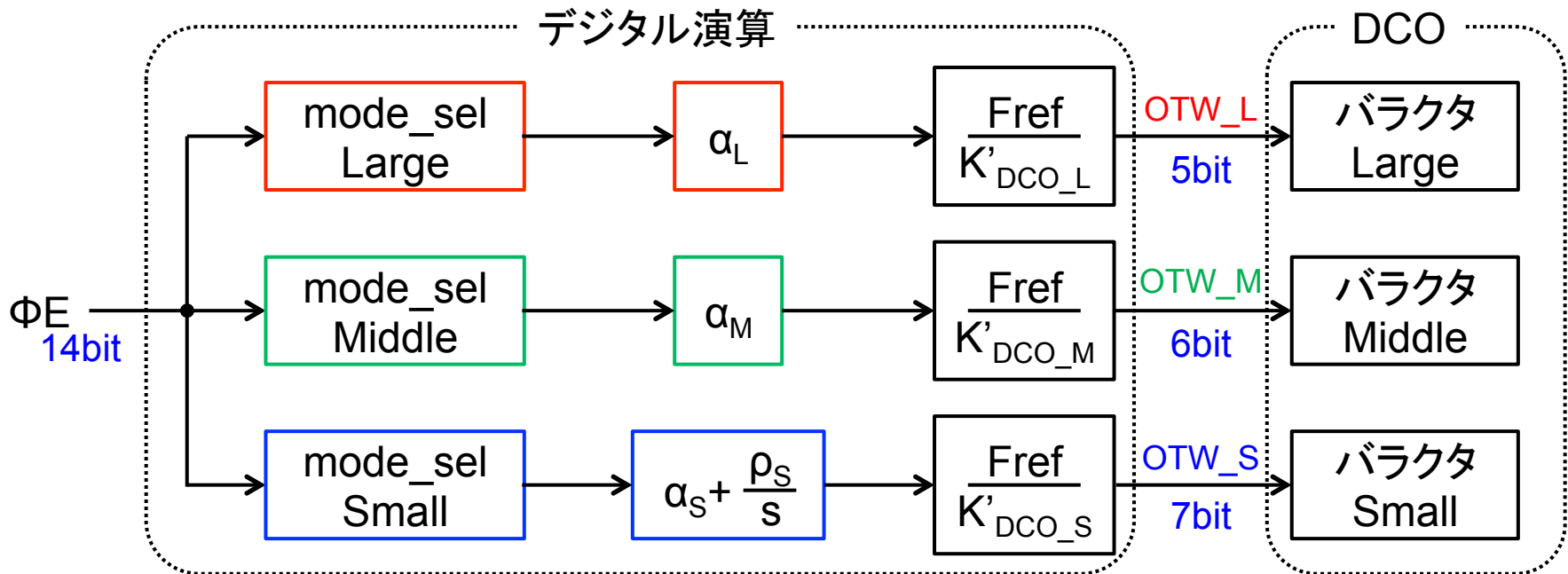
チューニング手法

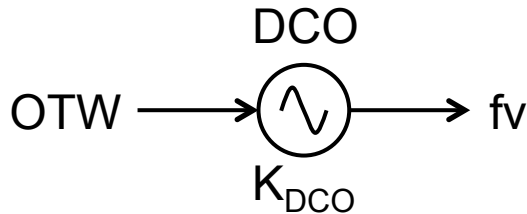
高収束精度・高速ロック ⇨ 3つのモードを設定

粗調
↓
微調

チューニングモード	ループゲイン α	DCOバラクタ分解能	DCOバラクタ最大可変容量
Large	$\alpha_L = 2^{-4}$	$\Delta C_L = 100\text{fF}$	$C_{L\text{tot}} = 3.2\text{pF}$
Middle	$\alpha_M = 2^{-7}$	$\Delta C_M = 6.25\text{fF}$	$C_{M\text{tot}} = 400\text{fF}$
Small	$\alpha_S = 2^{-9}, \rho_S = 2^{-19}$	$\Delta C_S = 250\text{aF}$	$C_{S\text{tot}} = 16\text{fF}$

※Smallのみ2次のフィルタを使用



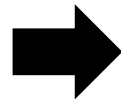


DCOゲインの定義式

$$K_{DCO} = \frac{\Delta fv}{\Delta OTW} = \frac{\text{DCO出力周波数の変化}}{\text{OTW(1LSB)の変化}}$$

LC発振器の基本公式

$$fv = \frac{1}{2\pi\sqrt{LC}}$$



バラクタ(1LSB)あたりの発振周波数変位

$$\Delta fv = -2\pi^2 \times \Delta C_{1LSB} \times L \times fv^3$$

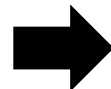
バラクタ(1LSB)が変化したときのDCOの発振周波数の変化量

||

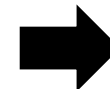
OTW(1LSB)が変化したときのDCOの発振周波数の変化量

$$K_{DCO} = -2\pi^2 \times \Delta C_{1LSB} \times L \times fv^3$$

PVTばらつきと発振周波数により変動



測定が困難



OTWを測定することで
K_{DCO}を推定する

DCOゲインの定義式に
 $\Delta f_v = \Delta FCW \times F_{ref}$ を代入
ADPLLの基本公式

$$K_{DCO} = \frac{\Delta f_v}{\Delta OTW} = \frac{\Delta FCW \times F_{ref}}{\Delta OTW}$$

FCWを ΔFCW だけ変化させた時のOTWを用いてDCOゲインを見積もる

見積もりフロー

FCWで収束値1を記憶



FCW+ ΔFCW で収束値2を記憶

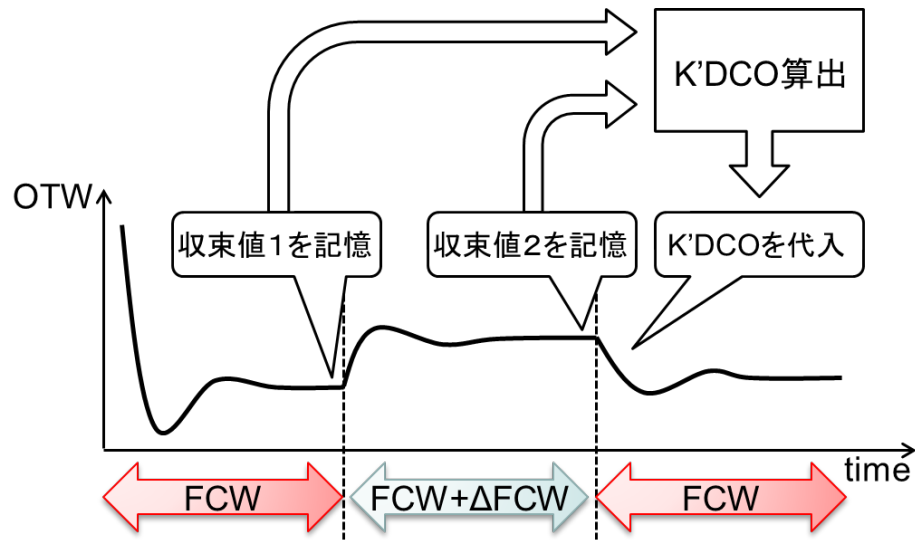


K'_{DCO} の演算

$$K_{DCO} = \frac{\Delta FCW \times F_{ref}}{OTW2 - OTW1}$$



K'_{DCO} をシステムに代入



システム内のパラメータを用いて自己校正を実現

- 研究背景と目的
- 設計した完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーション及び測定による検証結果
- まとめと今後の課題

課題と提案手法

■ 位相雑音特性

DCOアナログ雑音の影響 ⇨ 位相雑音特性の劣化

逓倍発振・分周構成による雑音低減化

■ 周波数特性

DCOの発振周波数の可変限界 ⇨ ADPLLの発振周波数の制限

可変分周回路・複数のDCO切り替えによる広帯域化

■ チューニング時間

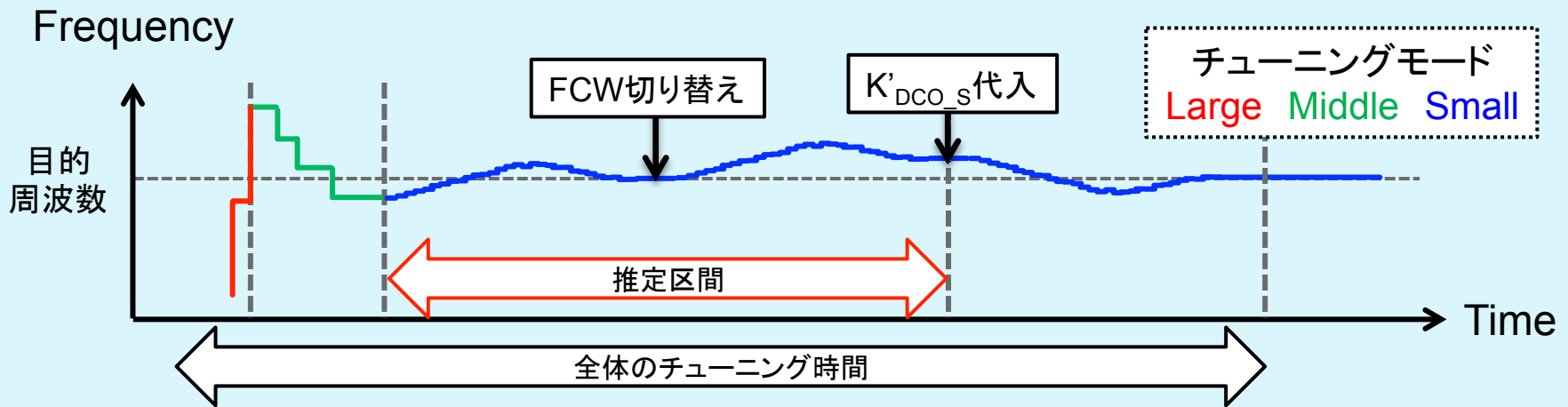
DCOゲインの見積もり ⇨ 長いチューニング時間

Middleモードで見積もりチューニング時間を短縮する

従来のDCOゲイン見積もり手法

最も精度を要求されるSmallモードのDCOゲイン K'_{DCO_S} が重要

K'_{DCO_S} はSmallモードで見積もる必要がある

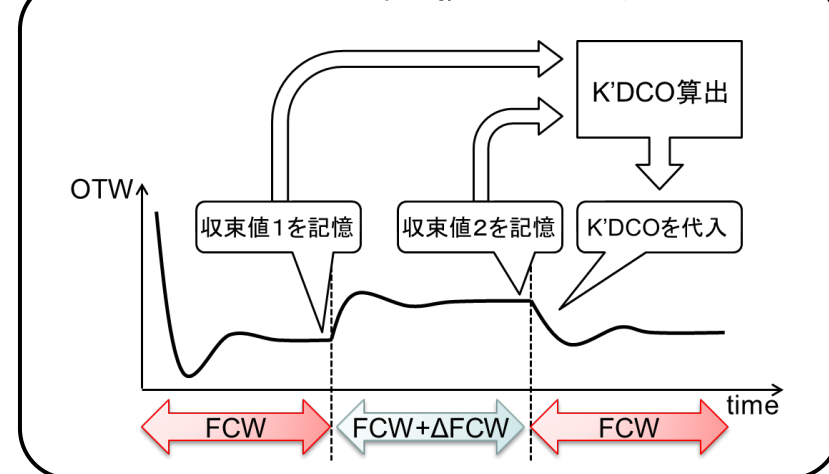


Smallモードを3回行う必要がある
(推定に2回、 K'_{DCO} 代入後に1回)

高精度 \longleftrightarrow 長い収束時間

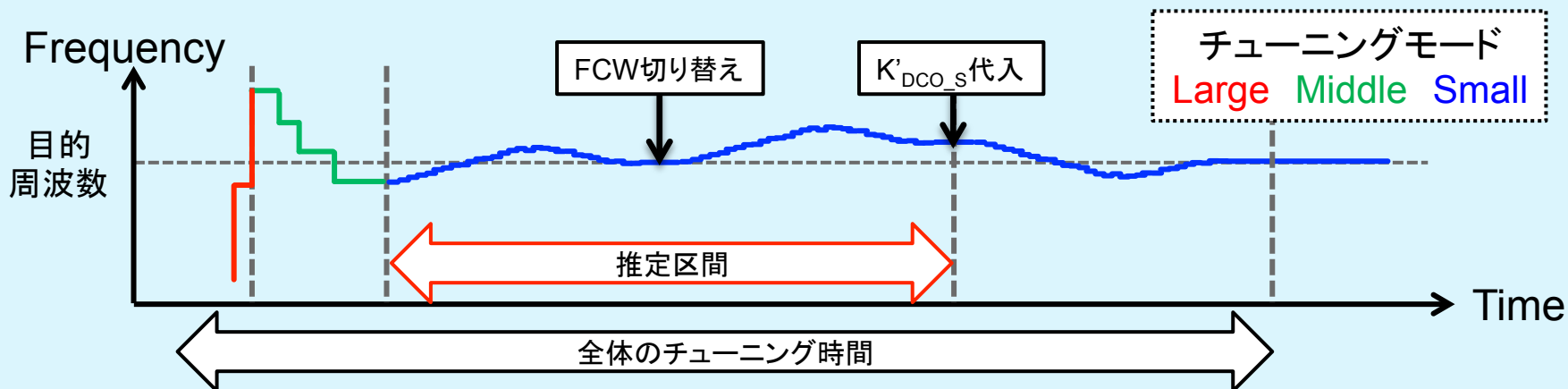
収束時間の短い
Middleモードに着目

DCOゲイン見積もりの概念

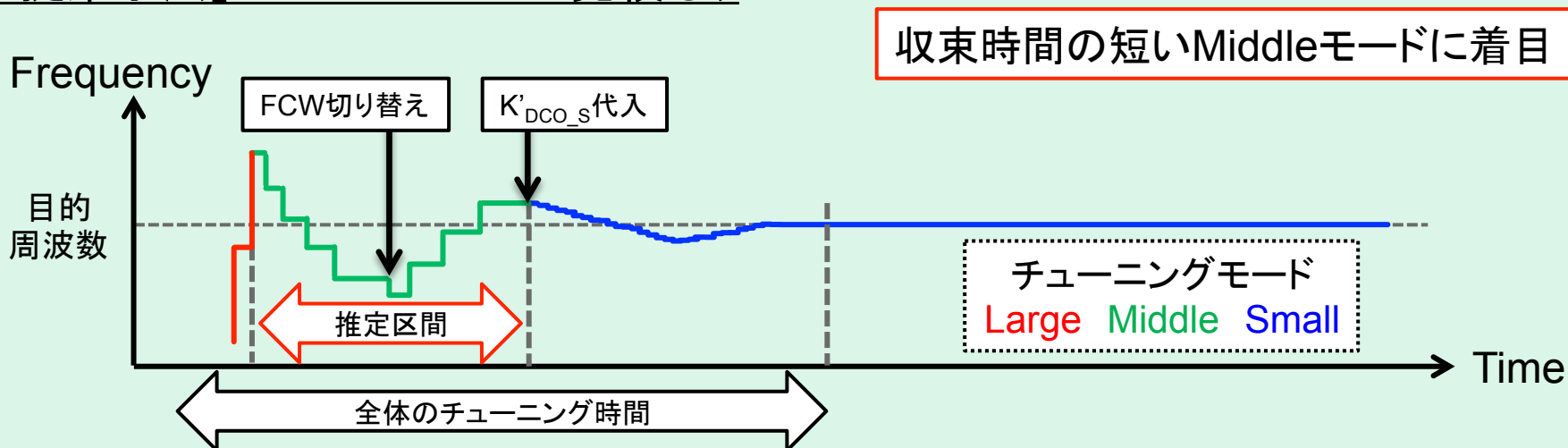


提案するDCOゲイン見積もり手法

■ 「従来手法」 Smallモードで見積もり



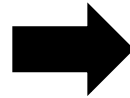
■ 「提案手法」 Middleモードで見積もり



MiddleモードでSmallモードの K'_{DCO} を求められればチューニング時間の大幅な短縮が可能

提案するDCOゲイン見積もり手法

Middleモードで見積もりを行う



チューニング時間の大幅な短縮化

提案方法の課題

Middleモード

K'_{DCO_M}

求められる値



Smallモード

K'_{DCO_S}

求めたい値

$$K_{DCO} = -2\pi^2 \times \Delta C_{1LSB} \times L \times fv^3$$

Middleモード $\Delta C_{1LSB_M} = 6.25\text{fF}$

Smallモード $\Delta C_{1LSB_S} = 250\text{aF}$

K'_{DCO_M} から K'_{DCO_S} への変換方法

DCOゲインの比

バラクタ分解能の比

$$K'_{DCO_S} : K'_{DCO_M} = \Delta C_{1LSB_S} : \Delta C_{1LSB_M} \Rightarrow K'_{DCO_S} = \frac{\Delta C_{1LSB_S}}{\Delta C_{1LSB_M}} \times K'_{DCO_M}$$

提案したMiddleモードによる K'_{DCO_S} の見積もりを実現

- 研究背景と目的
- 設計した完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーション及び測定による検証結果
- まとめと今後の課題

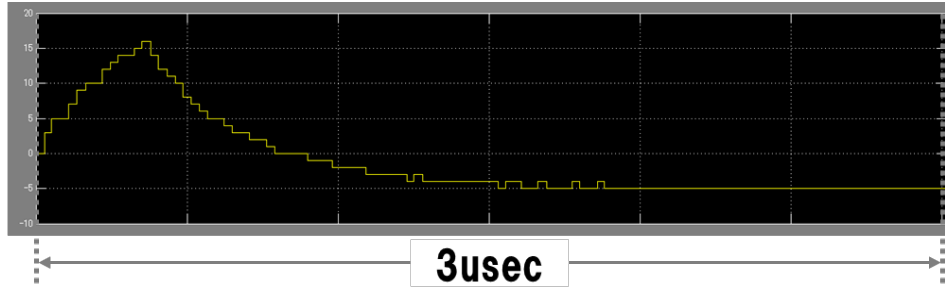
シミュレーション条件

MATLAB Simulinkを使用してシステムを解析

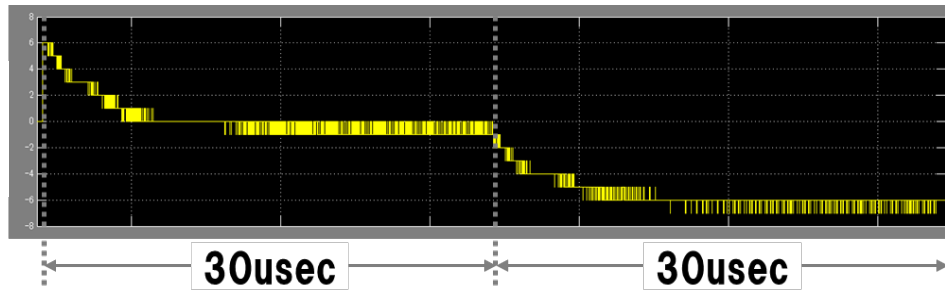
主なパラメータ	設定値
Fref	36.57142857MHz($1/7 \times 2^8$ MHz)
TDC時間分解能	63psec
ビット幅	Wi=8bit, Wf=7bit
ループゲイン	Large $\alpha_L=2^{-4}$ Middle $\alpha_M=2^{-7}$ Small $\alpha_S=2^{-9}$, $\rho_S=2^{-19}$
K'_{DCO}	$K'_{DCO_L}=20$ MHz $K'_{DCO_M}=1.5$ MHz
DCOバラクタ分解能	$\Delta C_{1LSB_L}=105$ fF $\Delta C_{1LSB_M}=6.25$ fF $\Delta C_{1LSB_S}=250$ aF
ΔFCW	0.05
MASH $\Delta\Sigma$ 構成	3次
FCW	18.125 (CKV=666.148571MHz)
シミュレーション時間	400usec

各モードのOTWの収束時間から全体の収束時間を比較する

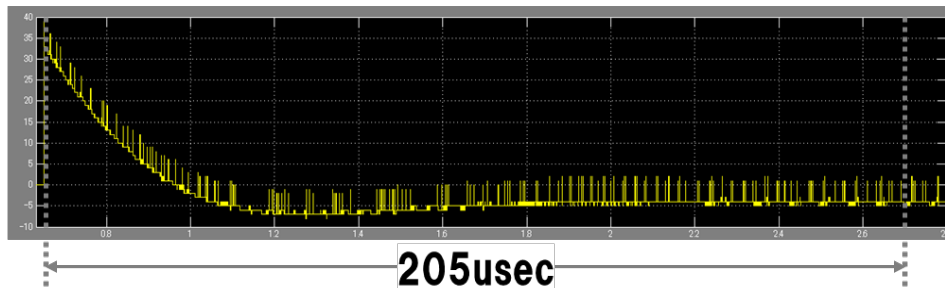
OTW
Large



OTW
Middle



OTW
Small



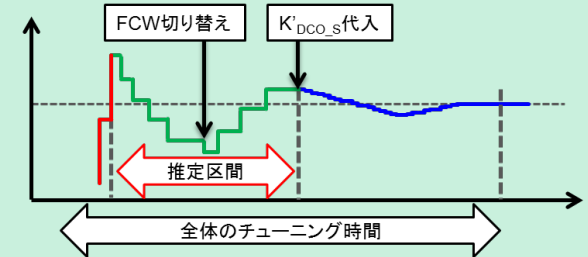
チューニング時間の比較

従来手法 : $3u + 30u + 205u \times 3 \geq 600u\text{sec}$

提案手法 : $3u + 30u \times 2 + 205u \doteq 268u\text{sec}$

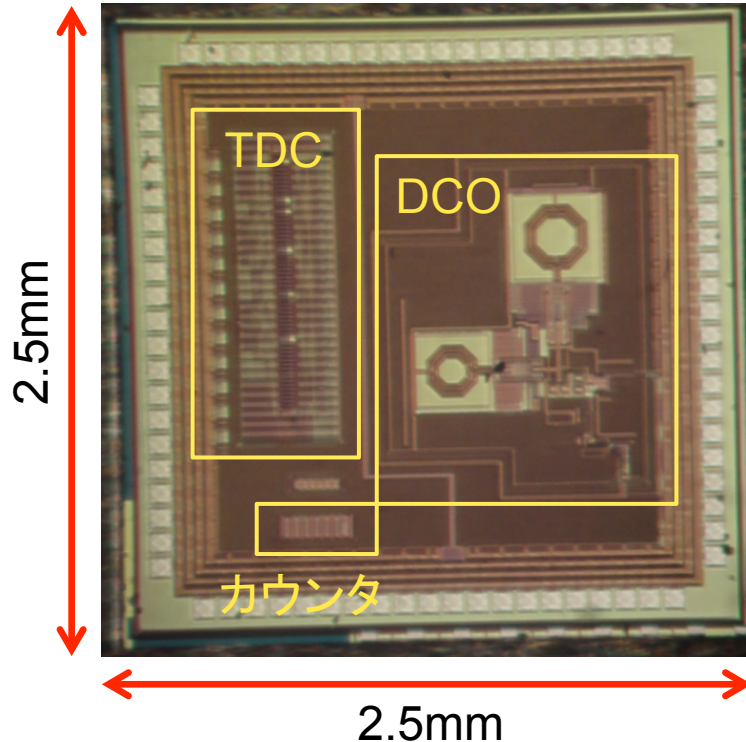
全体の収束時間の計算式

- 従来手法
Large → Middle → Small (×3)
- 提案手法
Large → Middle (×2) → Small



Middleモード見積もりによる
チューニング時間の短縮を確認

試作チップ 0.18um CMOSプロセス



測定用基板



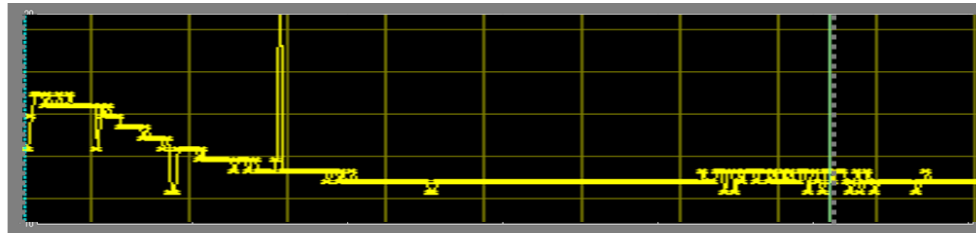
その他のデジタル回路ブロックはFPGA(Verilog HDL)にて作成

後から構成を変更することが可能

チップと組み合わせて測定

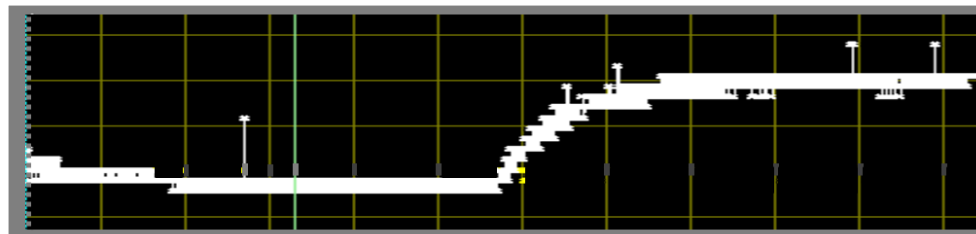
各モードのOTWの収束時間から全体の収束時間を比較する

OTW
Large



5usec

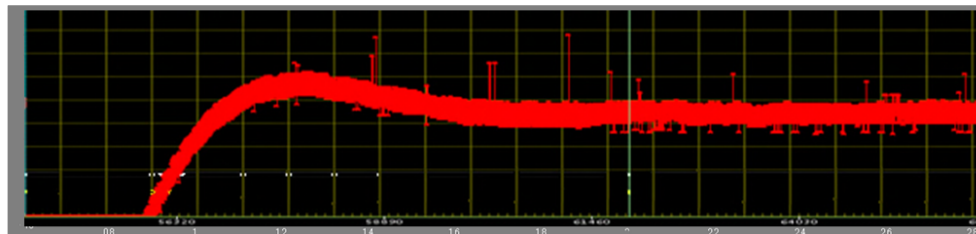
OTW
Middle



40usec

40usec

OTW
Small



191usec

チューニング時間の比較

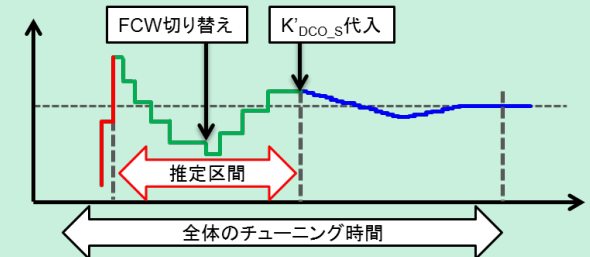
シミュレーション : $3u + 30u \times 2 + 205u \doteq 268u\text{sec}$

測定結果 : $5u + 40u \times 2 + 191u \doteq 276u\text{sec}$

全体の収束時間の計算式

● 提案手法

Large \rightarrow Middle ($\times 2$) \rightarrow Small



同様の収束時間
実装で効果を確認

- 研究背景と目的
- 設計した完全デジタルPLLの基本動作
- 提案するTVチューナ用ADPLL回路設計技術
- シミュレーション及び測定による検証結果
- まとめと今後の課題

- TVチューナを想定した広帯域なADPLLを提案しチップへの実装を行った
- 研究課題であったチューニング時間の短縮化技術について検討
- シミュレーション及び実機にて効果を確認することができた

チューニング時間の比較

従来構成 \geq 600usec

シミュレーション \doteq 268usec

測定結果 \doteq 276usec

今後の課題

- ADPLLの1チップ化を行い、さらに性能の向上を目指す
- さらに微細なプロセスへの移行

Q.3つのチューニングモードで使用するCの容量の分解能は等しいか？

A.違う。モードごとに使用するバラクタサイズを変えることで最小容量値を変えてある。

Q.DACではマッチングがとれない問題があるが、DCOのバラクタのマッチングがとれないとき問題になるか？

A.ばらつきの量によるが、DACほど影響は受けないと考えている。

発振周波数の可変範囲は十分余裕を持っているため問題ない。

周波数精度については断言できないが、 $\Delta\Sigma$ のディザリングを行うことでバラクタのばらつきの影響は小さくなるのではないかと考えている。

Q.OTWが出力されてもバラクタに反応しないビットがあった場合の影響は？

また、実測でそのような現象はあったか？

A.影響する。反応しないビットがある場合、周波数を合わせることができない範囲が存在してしまう。実測においてそのような問題は発生しなかった。

Q.Smallモードで使用中に温度変化の影響で発振周波数が増える。それをOTWで抑えるわけだが、OTWで制御出来る範囲を超えた場合(OTWがサチった場合)どうするのか？

A.考えていなかった。方法としてはSmallモードでOTWがサチった時、Middleモードの値を上下させるような構成をとれば、ロックが外れることを防げるかもしれない。

Q. OTWがサチってロックが外れてしまった場合のテレビシステムへの影響は？

KDCOも変化してしまうがどうするか？

A.長時間ロックした状態での動作については考慮していなかったので今後の課題にしたい。