

=====

vlda 研究者各位

第 52 回「システム LSI 合同ゼミ」開催のお知らせ

発表時間制限のない自由な研究討論の場として、標記合同ゼミを下記のように企画いたしました。この合同ゼミは、不定期に開催される非公式の公開研究発表会で、1 研究室や 1 研究部署で行われている研究発表を複数の研究機関合同で行い、幅広く忌憚のない意見交換を行おうとするものです。ご興味のおありの方は是非お誘い合わせの上ご参加ください。

なお、本合同ゼミは年 3 回程度の割で、今後も引続き開催していく予定です。皆様からもご発表頂けるようでしたら、これほど嬉しいことはございません。ご遠慮無くご相談いただきたく、お待ち申し上げます。

金子峰雄，梶谷洋司（北陸先端科学技術大学院大学），
高島康裕（北九州市立大学），
北沢仁志，藤吉邦洋（東京農工大学），
小平行秀（会津大学），
山田昭彦（CS メディア研），
貴家仁志（首都大学），
戸川望（早稲田大学），
岡田健一，高橋篤司（東京工業大学）
築山修治（中央大学），
白石洋一，小林春夫（群馬大学）

記

<<第 52 回システム LSI 合同ゼミ>>

日時：2012 年 10 月 27 日（土）午後 1 時半頃から午後 7 時頃まで（予定）

場所：中央大学理工学部，後楽園キャンパス 3 号館 10 階 31008 会議室

http://www.chuo-u.ac.jp/chuo-u/access/access_korakuen_j.html

ポスター懇談会：午後 5 時頃より同会場にて

ポスター懇談会では、発表のあった研究に関してポスターボードを用いた研究討論を予定しております。軽食・アルコール飲料を準備いたします。ポスター懇談会のみ参加も歓迎します。

参加費：1,000 円(予定, 当日払い)

申し込み：合同ゼミ(ポスター懇談会のみも可)に参加ご希望の方は, 準備の都合上, 2012 年 10 月 23 日(火)までに, 以下の連絡先までお申し込みください。

申し込み, ご質問等宛先：

中央大学 築山修治

E-mail: tsuki@elect.chuo-u.ac.jp

発表：

(1) 任意波形発生器を用いた高 SNR 信号発生技術

群馬大学 小林研究室 学部 4 年 新井薫子

AD 変換器試験用の高 SNR の正弦波やマルチトーン信号を任意波形発生器 (Arbitrary Waveform Generator: AWG) を用いて発生させるアルゴリズムとそのシミュレーション結果, および一部の実測結果を示す。任意波形発生器は DSP 部(波形メモリ部)と DA 変換器から構成されるが, 提案手法は DSP 部のアルゴリズム変更だけでよく, アナログ的な校正は不要である。DA 変換器の量子化ノイズ, その他の信号帯域内雑音を抑制することができる。

(2) 調整可能な遅延値が 2 値である PDE の遅延調整最適化手法

会津大学大学院 小平研究室 修士 1 年 増子駿

LSI の微細加工技術が進歩する一方で製造後の遅延ばらつきによるタイミング違反が原因でチップの歩留まりが低下している。近年, このタイミング違反による歩留まり低下を解消するために, 製造前に PDE と呼ばれる遅延調整可能な素子をクロック木に挿入し, 製造後にタイミング違反を解消するように PDE の遅延調整を行う手法が検討されている。本研究では 2 つの遅延値に調整可能な PDE を使用することを前提に PDE 構造, 市販の LSI 設計ツールを用いて PDE を付加した回路の設計フロー, 最適な PDE の遅延調整手法を提案し, 計算機実験によりその性能を評価する。

(3) HDR アーキテクチャを対象とした同時実行指向スケジューリングを用いた
クロック設計考慮低電力化高位合成手法

早稲田大学大学院 戸川研究室 修士 1 年 赤坂宏行

現在 LSI の小型化や高性能化と、設計プロセスの微細化に伴い、消費電力の削減と配線遅延の予測を図った高位合成が必要となる。本発表では HDR を対象に同時実行指向スケジューリングを適用し、クロックツリーの消費エネルギーを含めた全消費エネルギーが最小となるようハドルを構成する手法を提案する。通常よりクロックゲーティングでクロックを遮断するステップ数を増やすことに着目し、同時に実行する演算を増加させるスケジューリングを実行する。高位合成の段階でクロックゲーティングのタイミングを合わせこむことで、論理合成後に適用するよりクロックゲーティングの効果を高める。さらに CG タイミング決定時にクロックツリーの消費エネルギーを含めて最小となるよう CG タイミングを決定する。計算機実験により提案手法は従来手法と比較して最大 21.2%の消費エネルギーを削減できることを確認した。

(4) 小型 SoG-LCD 用駆動回路の最適入力配線設計に対するシミュレーテッド
アニーリング手法について

中央大学大学院 修士 2 年 水津太一

様々な機器の画像表示装置としての需要が増加している小型 LCD の駆動回路は、System on Glass (SoG) 技術を用いて液晶ガラス板上に形成されるようになってきた。このような SoG-LCD 用駆動回路に画素データを高速に取り込むためには、入力端子から画素データのラッチ回路までのクロックおよびデータの配線を最適に設計しておく必要がある。本発表では、配線の幅を段階的に変化させることにより、遅延と遷移時間を低減させる手法を提案する。また、配線幅の変化率などの各設計値をシミュレーテッドアニーリング手法を用いて最適化する際、シミュレーテッドアニーリング手法のパラメータをどのように設定すればよいかについて考察する。