

# デジタル信号タイミング試験用BOSTの検討

○平林 大樹 荒川 雄太 河内 智 石井 正道 上森 聡史  
佐藤 幸志 小林 春夫 新津 葵一 高井 伸和

群馬大学 光サイエンス

*Supported by STARC*

- 研究背景・目的
- ΣΔTDCの構成・動作
- PSoCでの設計と評価
- 自己校正手法
- まとめ・今後の課題

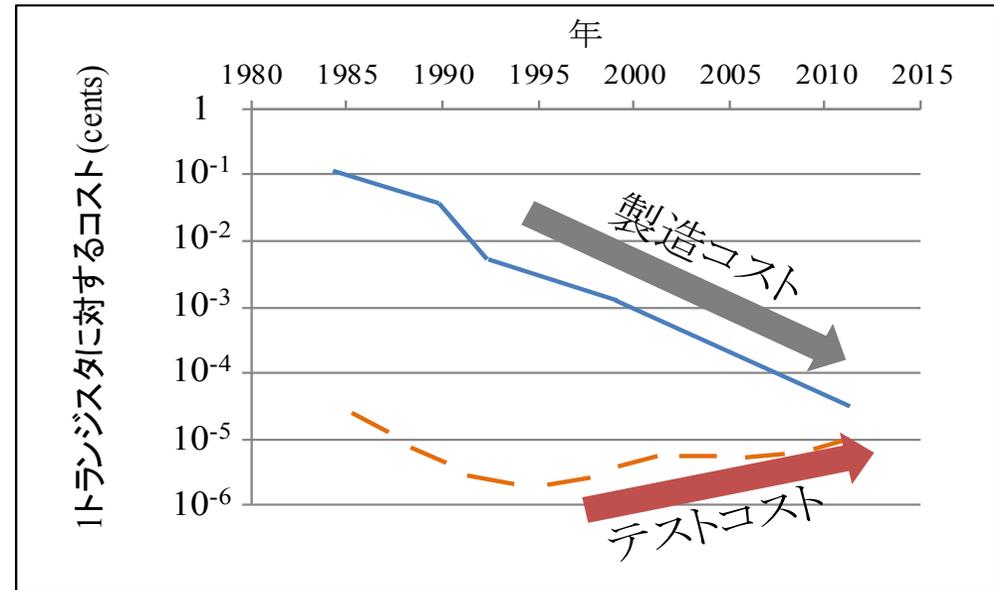
# アウトライン

---

- 研究背景・目的
- $\Sigma\Delta$ TDCの構成・動作
- PSoCでの設計と評価
- 自己校正手法
- まとめ・今後の課題

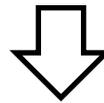
# 研究背景

- 半導体製造コスト：減少
- テストコスト：増加
- 要求事項
  - 低コストテスト
  - 高テスト品質



# 研究目的

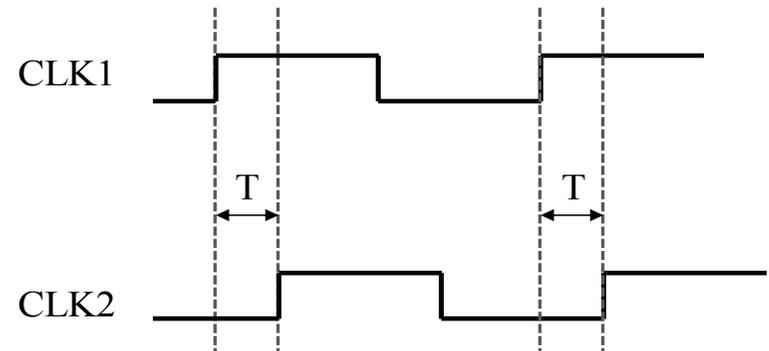
チップ外テスト容易化回路 (BOST : Built-Out Self Test) と廉価テスト



低コスト・高品質テスト

2つの繰返しクロック間の時間差テスト

- DDR(Double Data Rate)メモリのデータ - クロック間の時間差テスト等



$\Sigma\Delta$ TDCを利用したBOST

BOSTをPSoCで実現

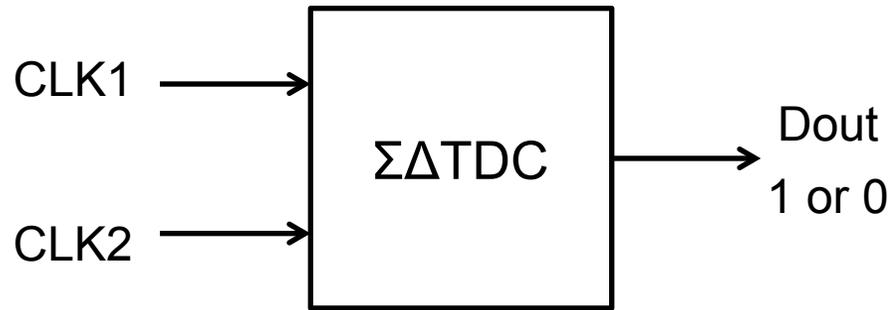
PSoC : Programmable System-on-Chip  
(アナログFPGA, サイプレス社)

# アウトライン

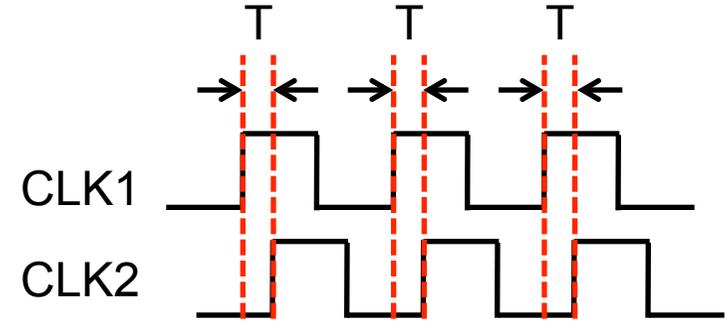
---

- 研究背景・目的
- **ΣΔTDCの構成・動作**
- PSoCでの設計と評価
- 自己校正手法
- まとめ・今後の課題

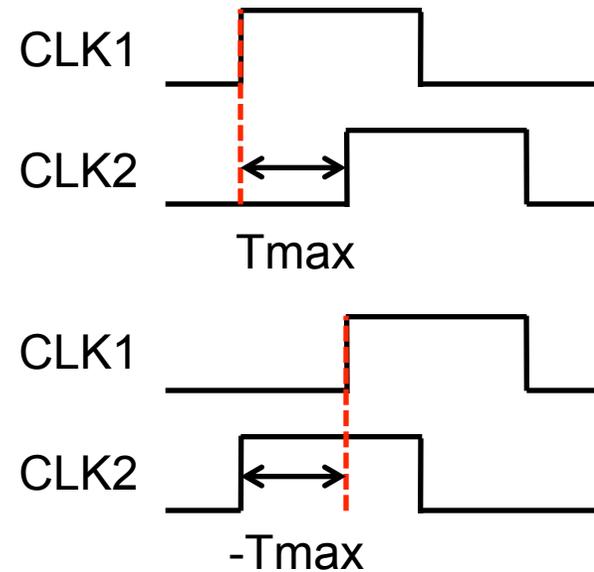
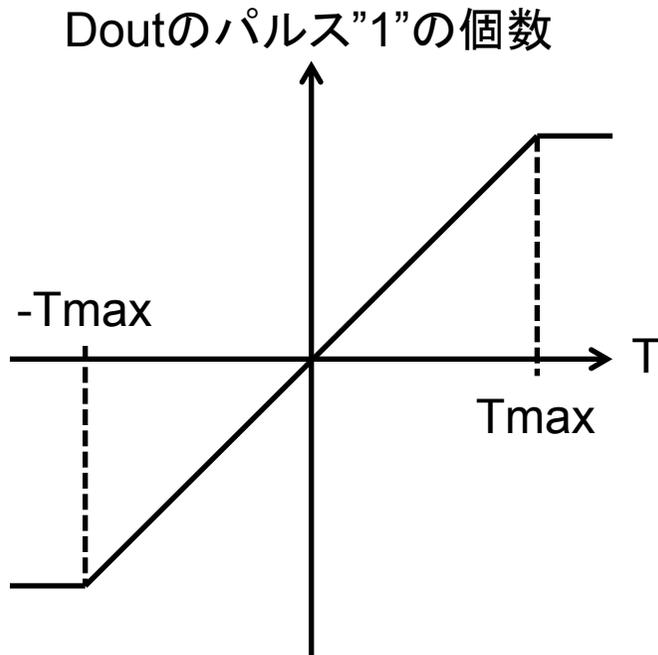
# $\Sigma\Delta$ TDCの原理



繰り返しクロックの時間差  $T$



$T$ がDoutのパルス"1"の個数に比例



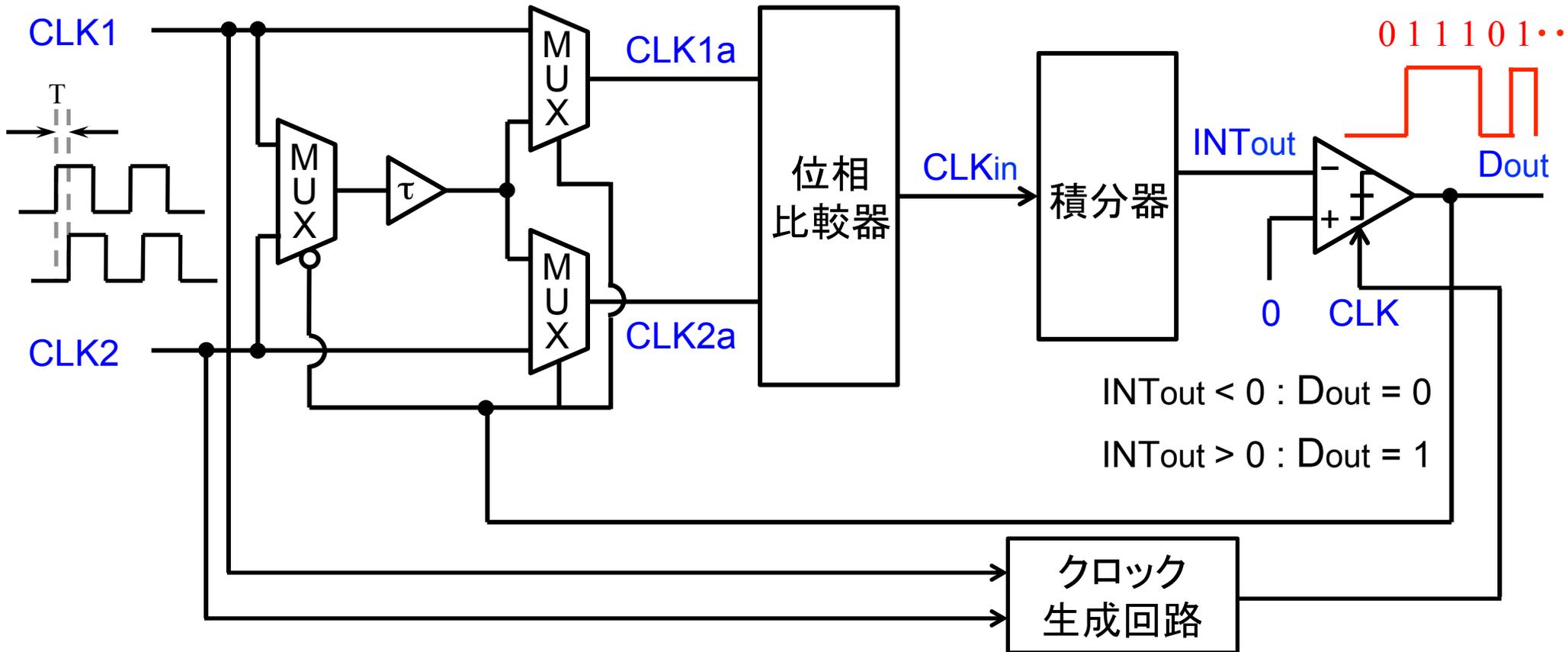
測定可能範囲 :  $-T_{max} < T < T_{max}$

# $\Sigma\Delta$ TDCの特徴

---

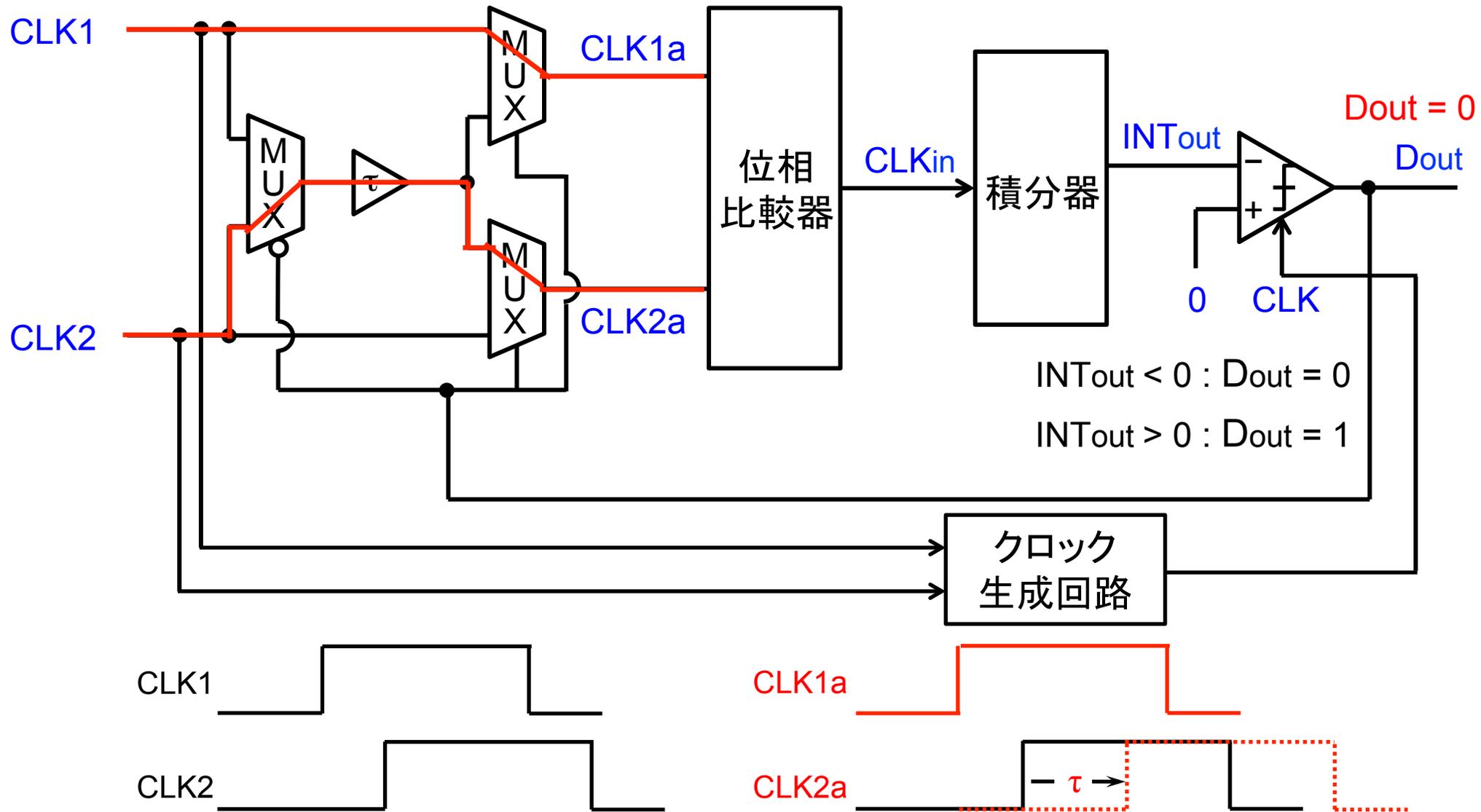
- 簡単な回路
- 高線形性
- 繰り返しクロック間タイミング適用化
- 測定時間:長 → 時間分解能:細

# ΣΔTDCの構成



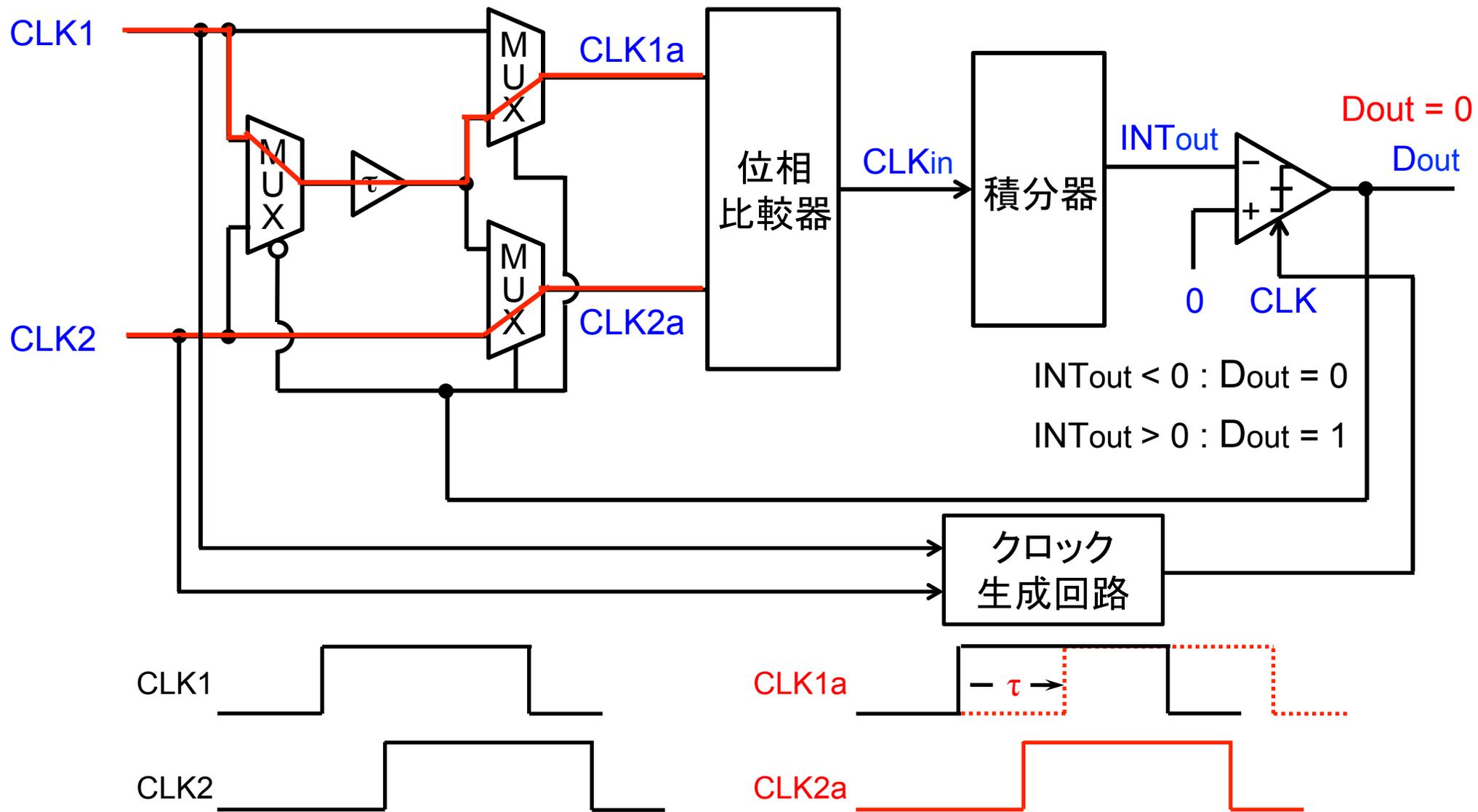
- TがDoutのパルス”1”の個数に比例
- 測定可能範囲 :  $-T_{max} < T < T_{max} \Rightarrow -\tau < T < \tau$

# ΣΔTDCの動作



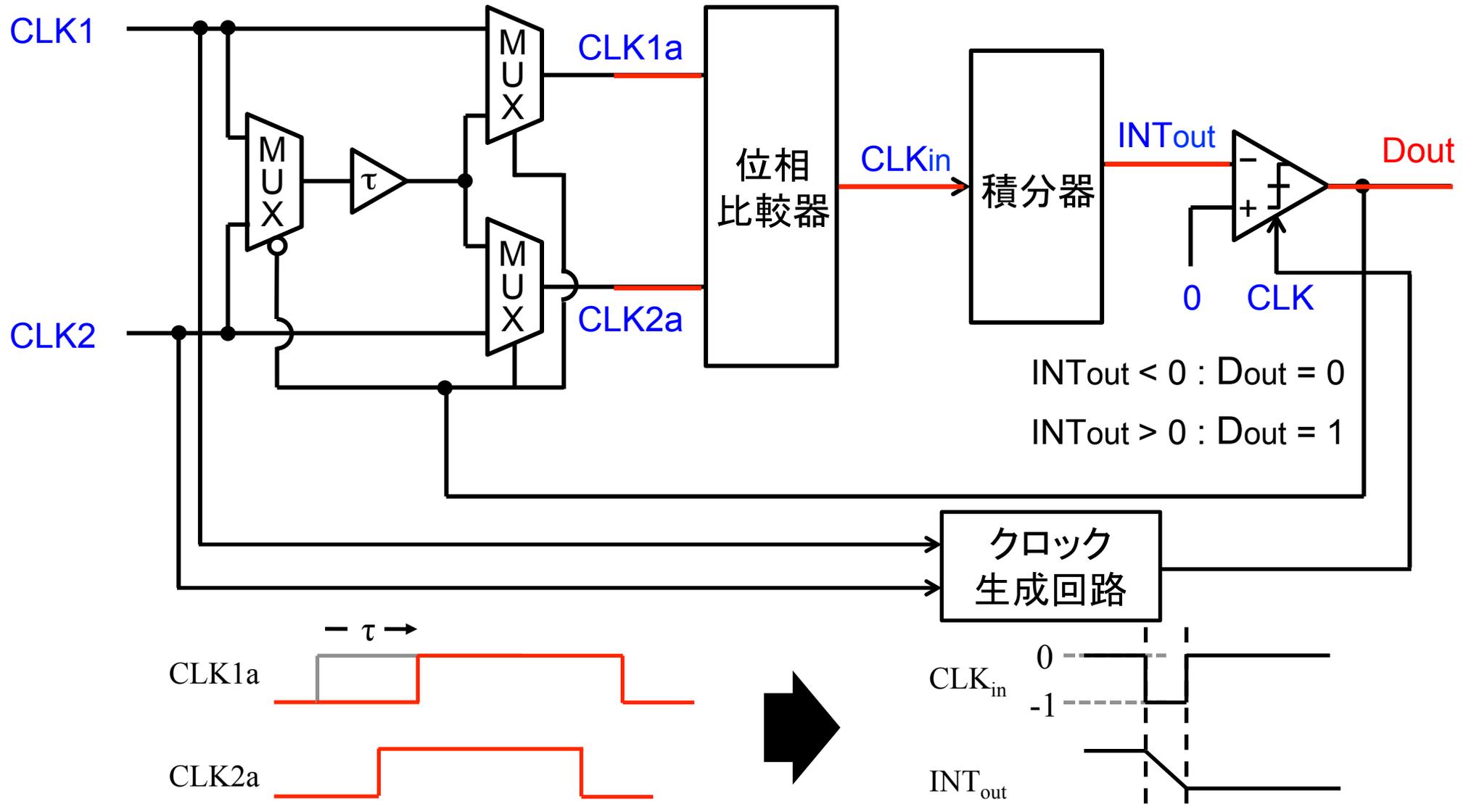
- CLK1とCLK2を入力
- 比較器出力により経路選択 → CLK1a, CLK2aを得る

# ΣΔTDCの動作



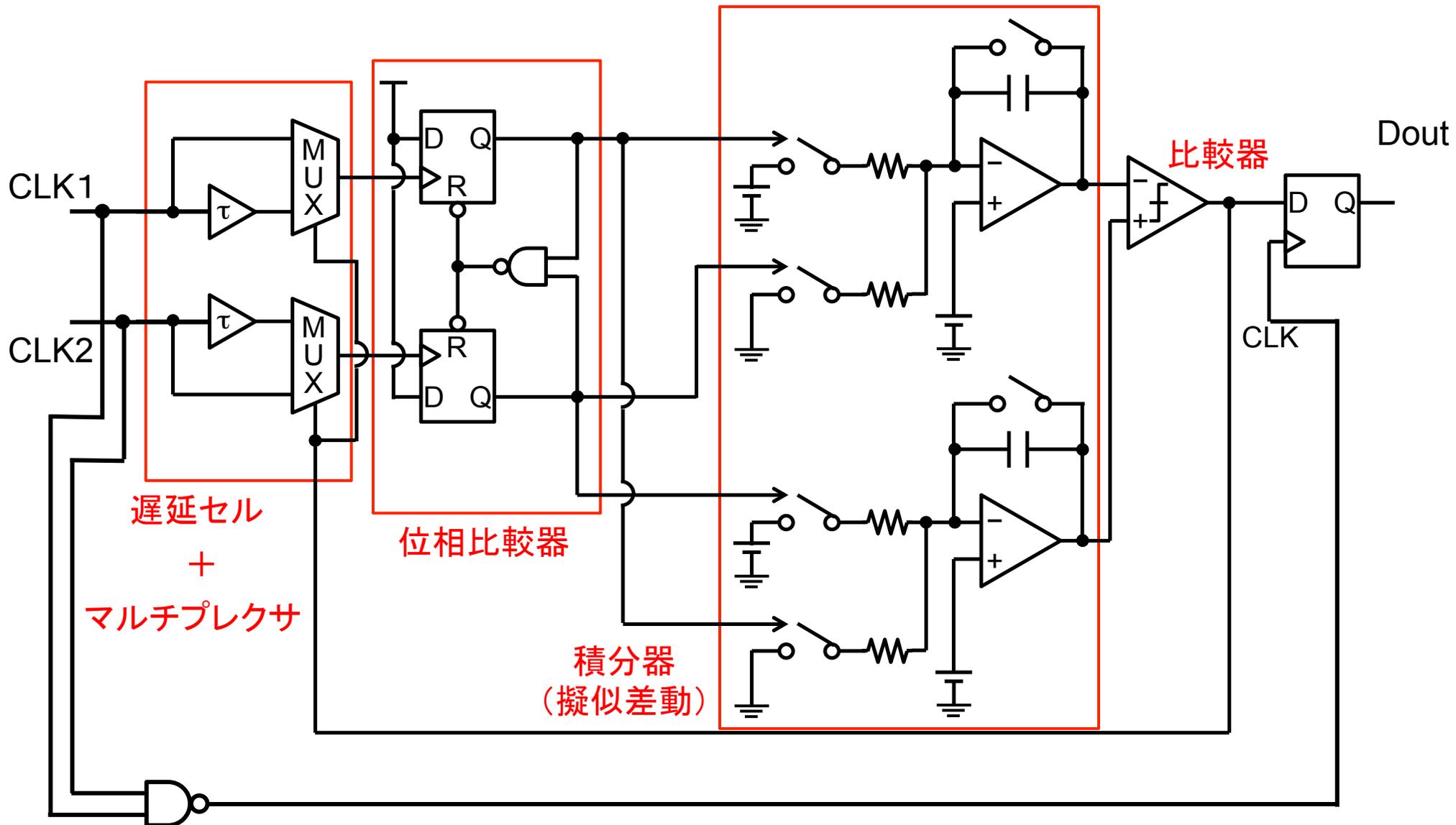
- CLK1とCLK2を入力
- 比較器出力により経路選択 → CLK1a, CLK2aを得る

# ΣΔTDCの動作

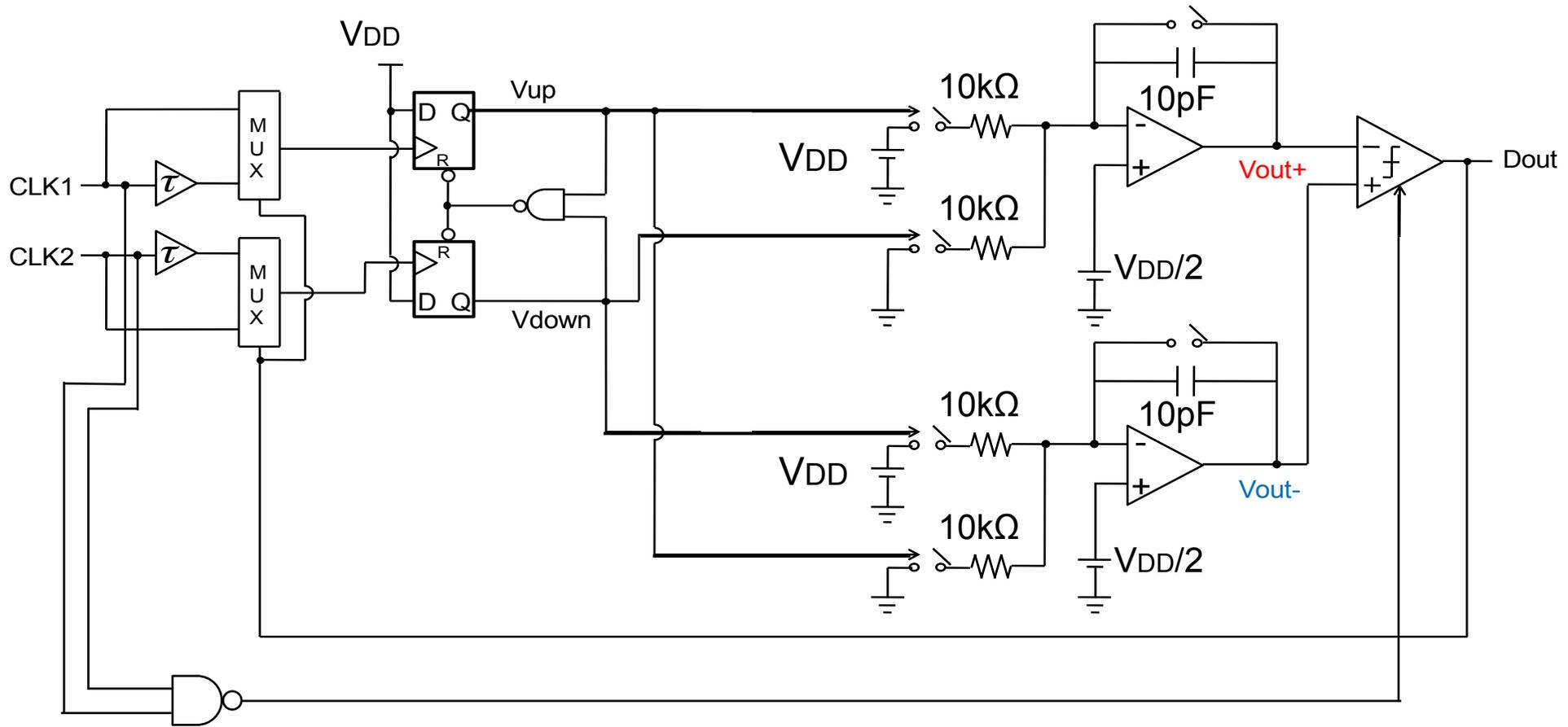


- 位相差  $CLK_{in}$  を出力
- 比較器で  $INT_{out}$  を 0 と比較し、出力  $D_{out}$  を得る → 次のクロックでの経路を制御

# 設計した $\Sigma\Delta$ TDC回路



# シミュレーションによる動作の確認



## シミュレーション条件

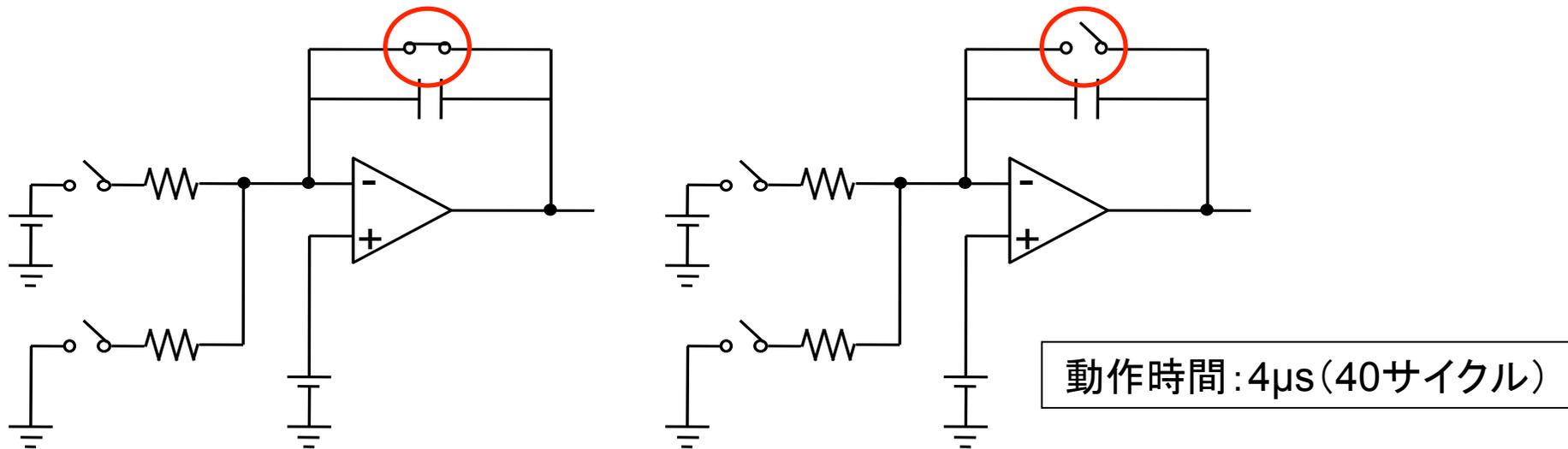
	遅延 $\tau$	周波数	電源電圧
CLK1,CLK2	1ns	10MHz	1.8V

spectreで設計  
(TSMC0.18um CMOSプロセス)

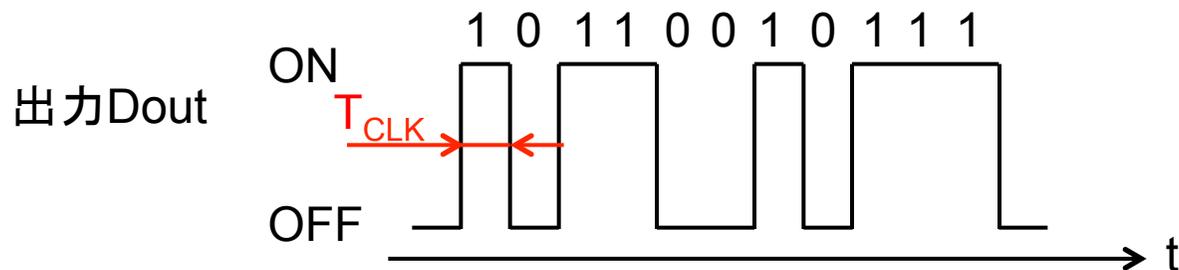
# シミュレーションによる確認

## 初期条件

- キャパシタの両端を短絡し、キャパシタの電荷を放電

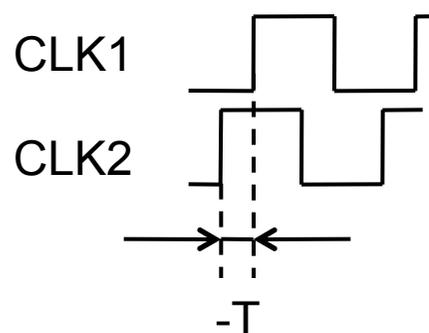
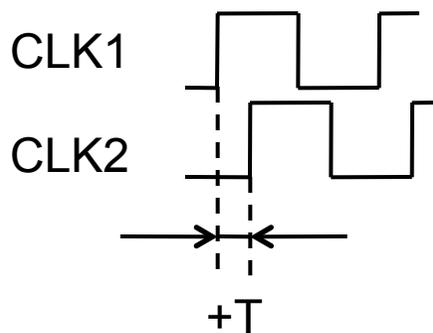


## 1のパルスの数え方



パルス数合計: 7

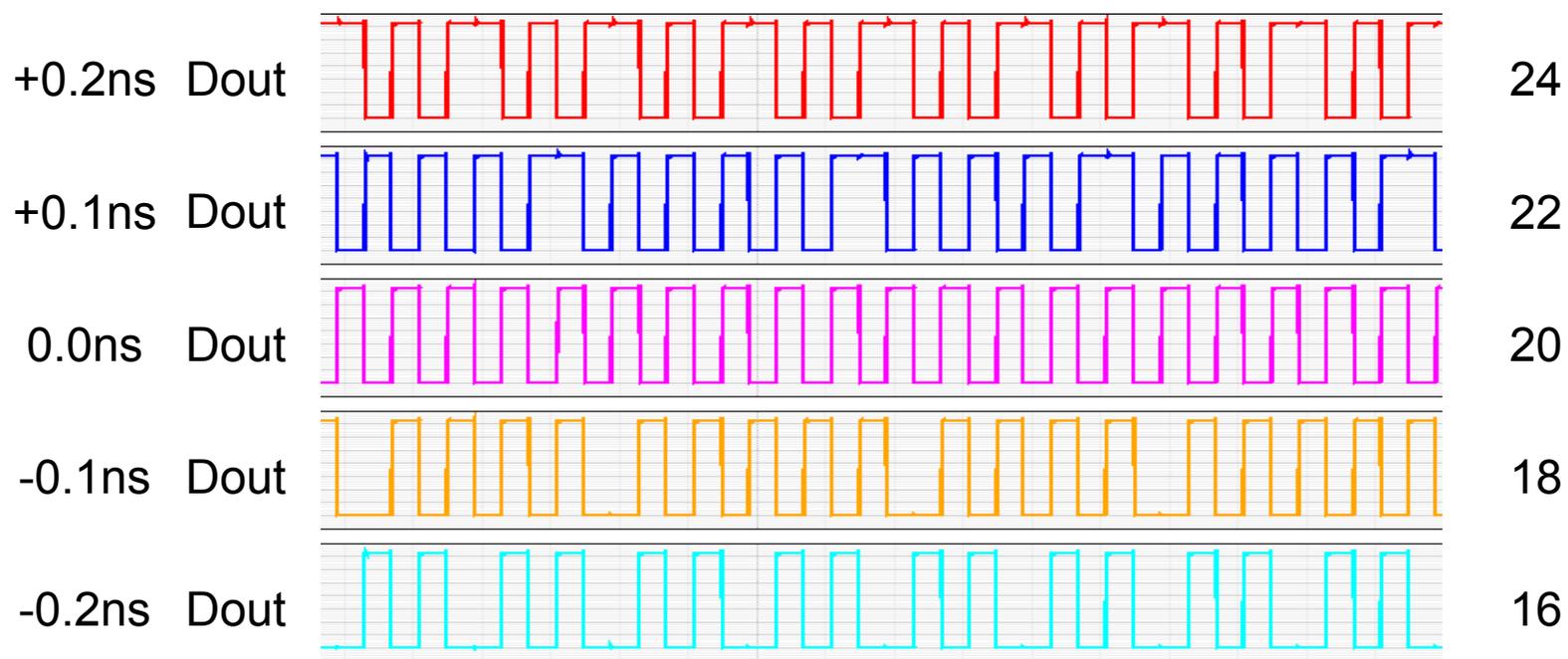
# シミュレーション結果



動作:40サイクル

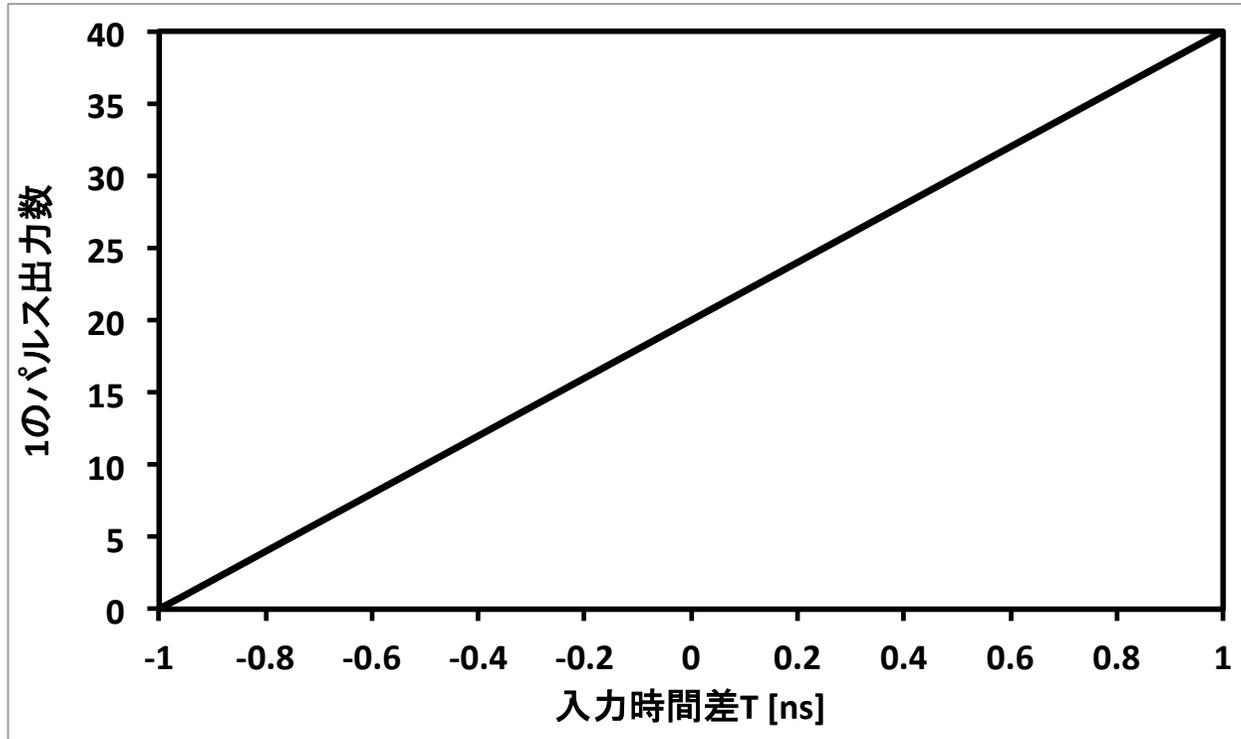
時間差T

1のパルス数



時間差に比例してパルス数に変化

# シミュレーション結果まとめ

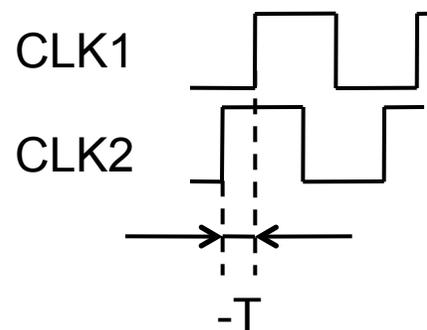
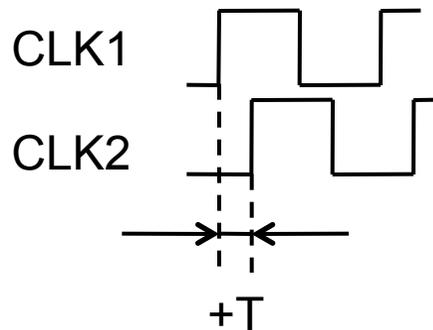


動作: 40サイクル

時間差が0.05ns変化すると  
パルス数が1変化



分解能50ps  
( $\tau$ は1ns)



測定時間の増加



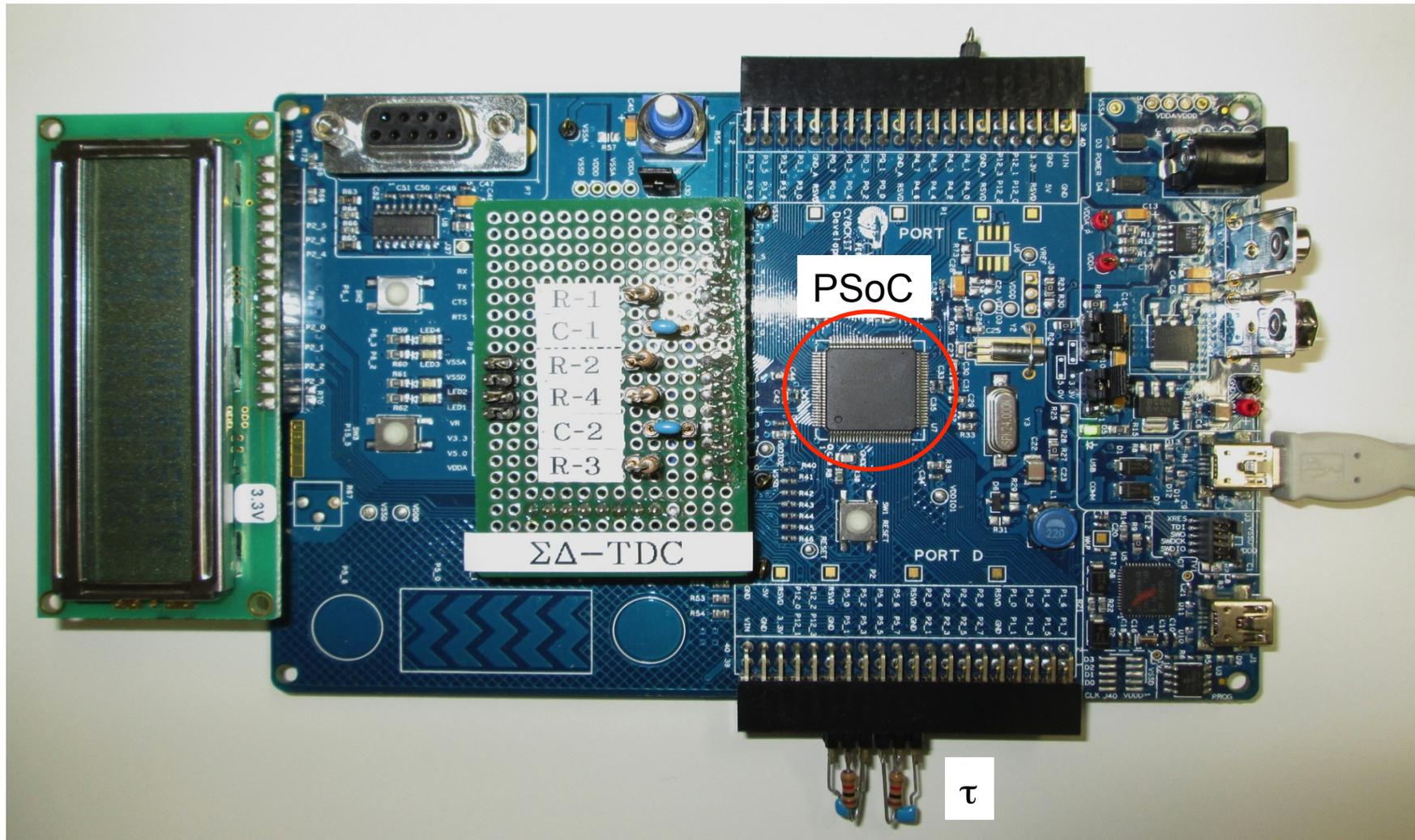
分解能の向上

# アウトライン

---

- 研究背景・目的
- ΣΔTDCの構成・動作
- **PSoCでの設計と評価**
- 自己校正手法
- まとめ・今後の課題

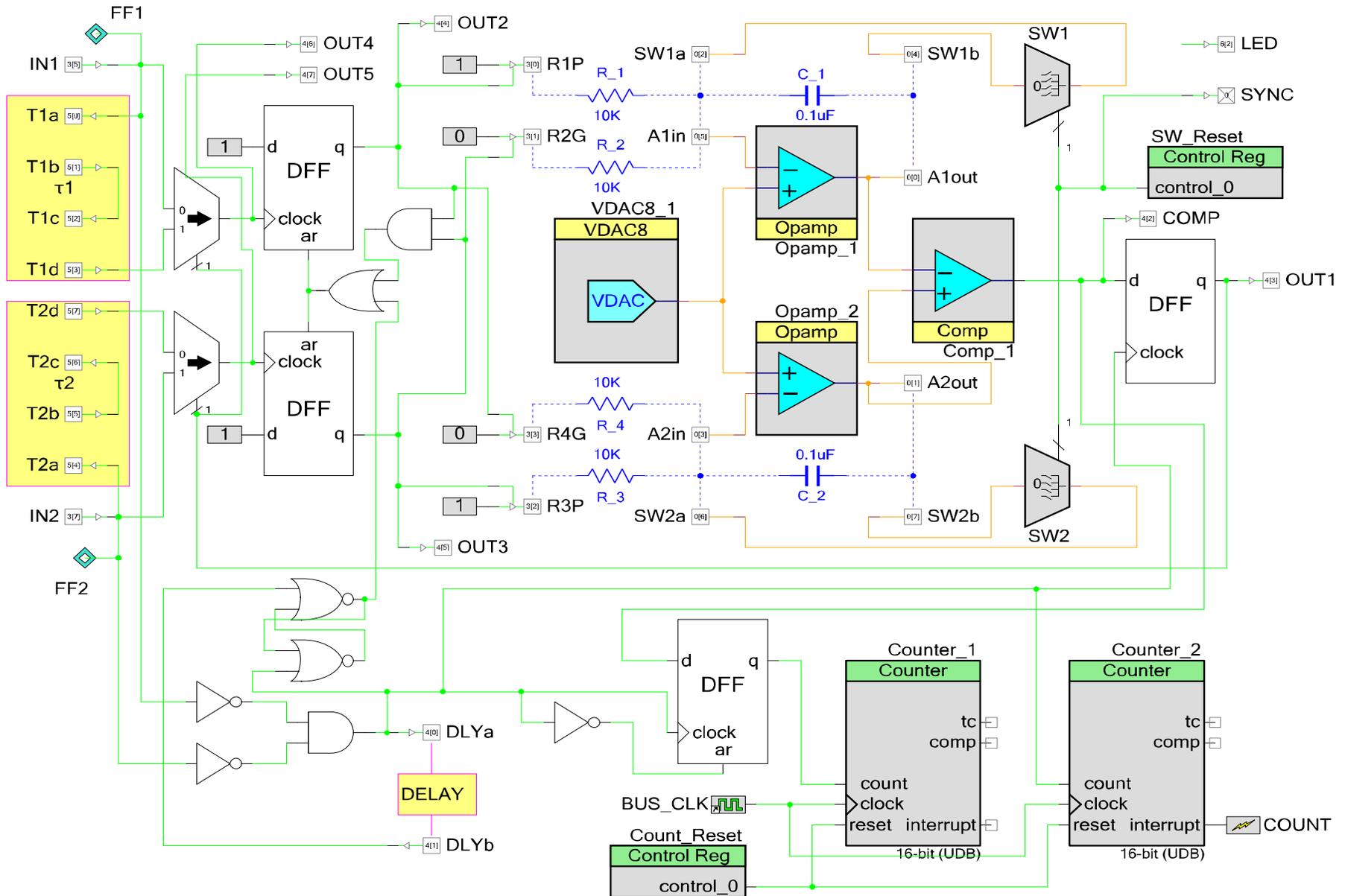
# ΣΔTDCを実装したPSoC



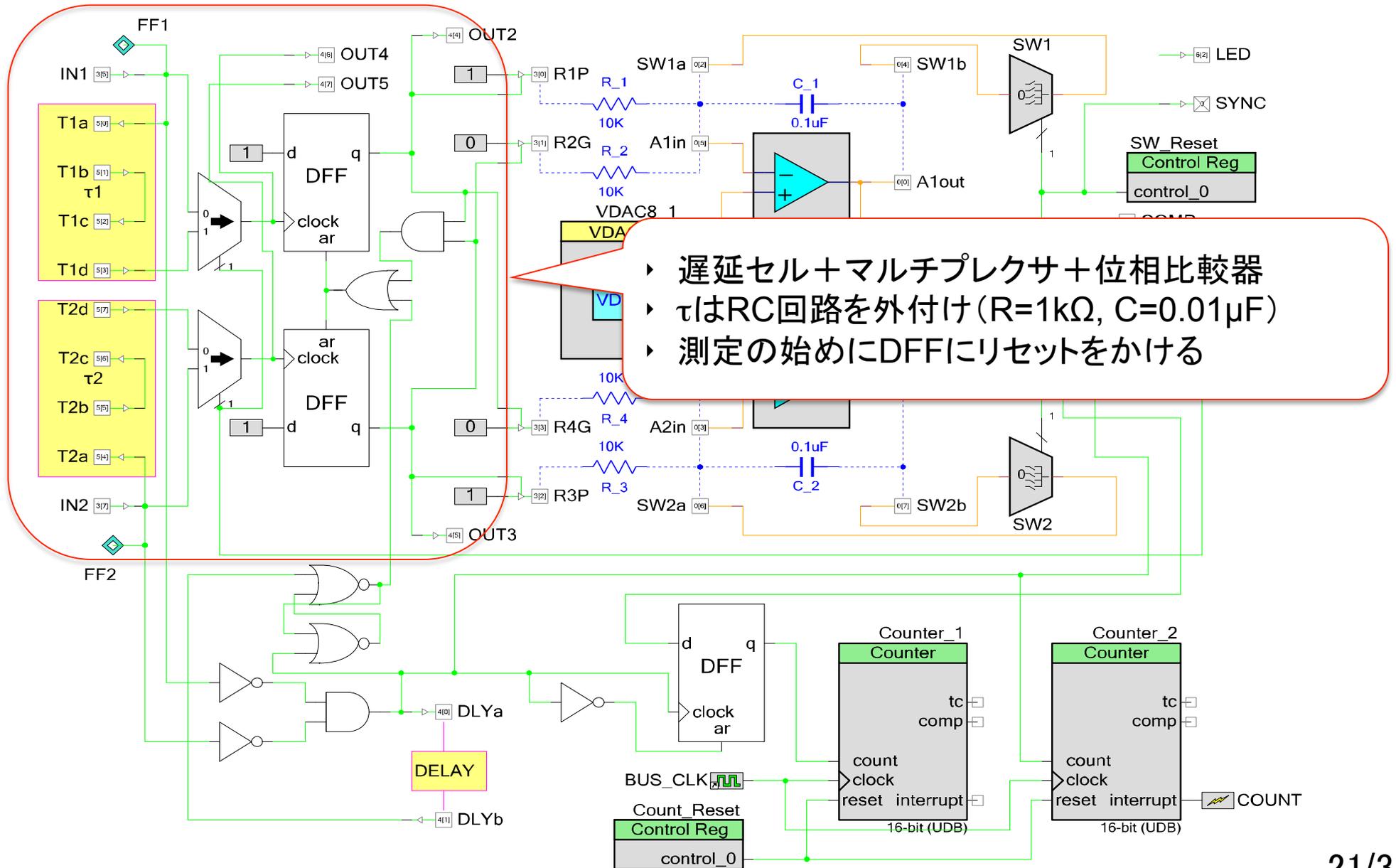
ΣΔTDC全体の写真

PSoC : アナログFPGA, サイプレス社

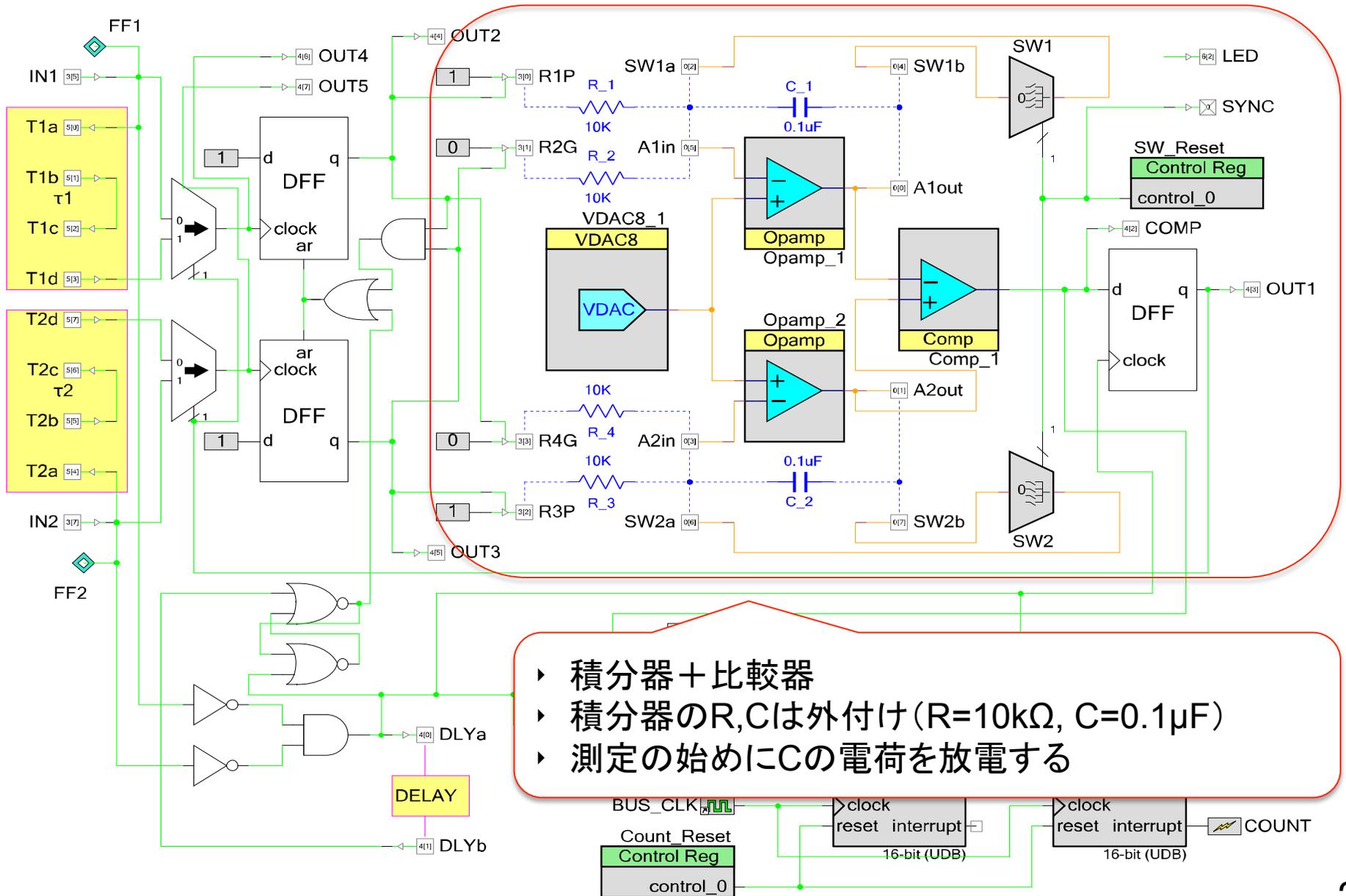
# 設計した $\Sigma\Delta$ TDC



# 設計した $\Sigma\Delta$ TDC

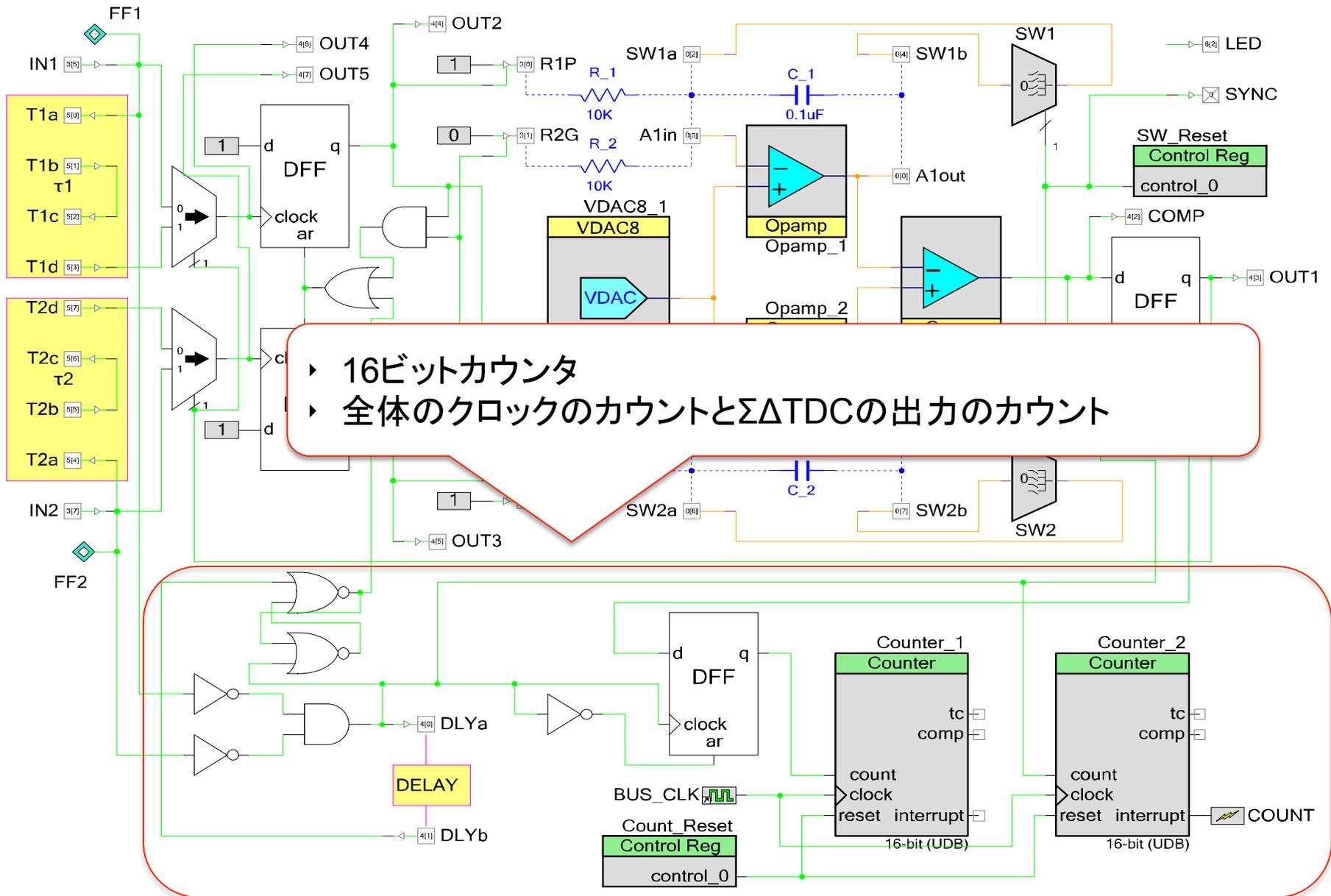


# 設計したΣΔTDC



- ▶ 積分器 + 比較器
- ▶ 積分器のR, Cは外付け (R=10kΩ, C=0.1μF)
- ▶ 測定の始めにCの電荷を放電する

# 設計した $\Sigma\Delta$ TDC



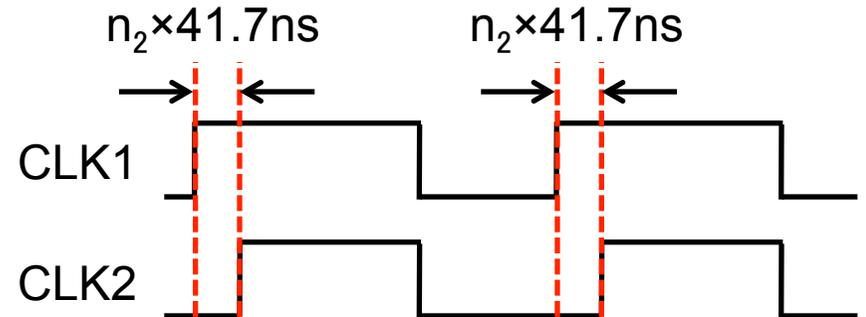
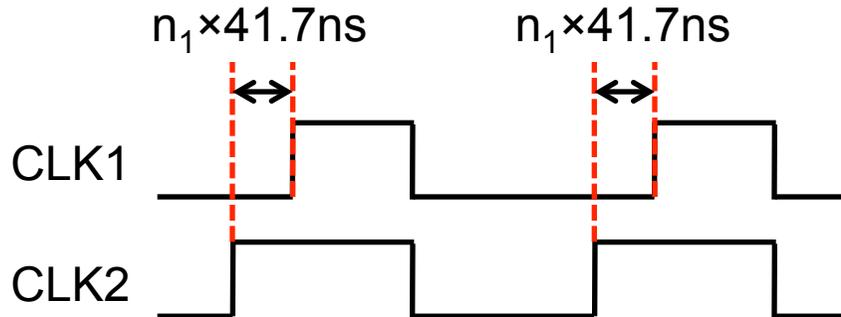
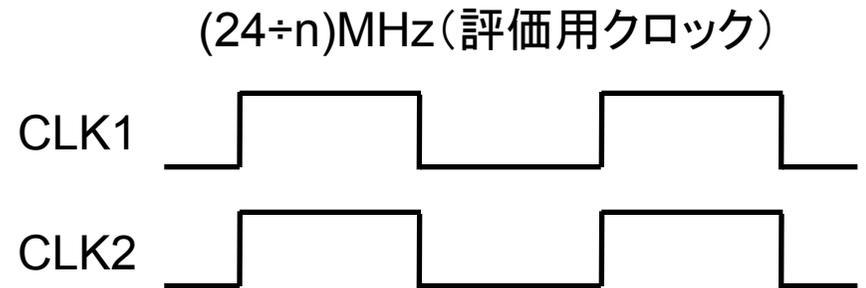
# CLK1,CLK2の生成

PSoC内部で24MHzの基準クロックを生成

プログラムによる基準クロックの操作

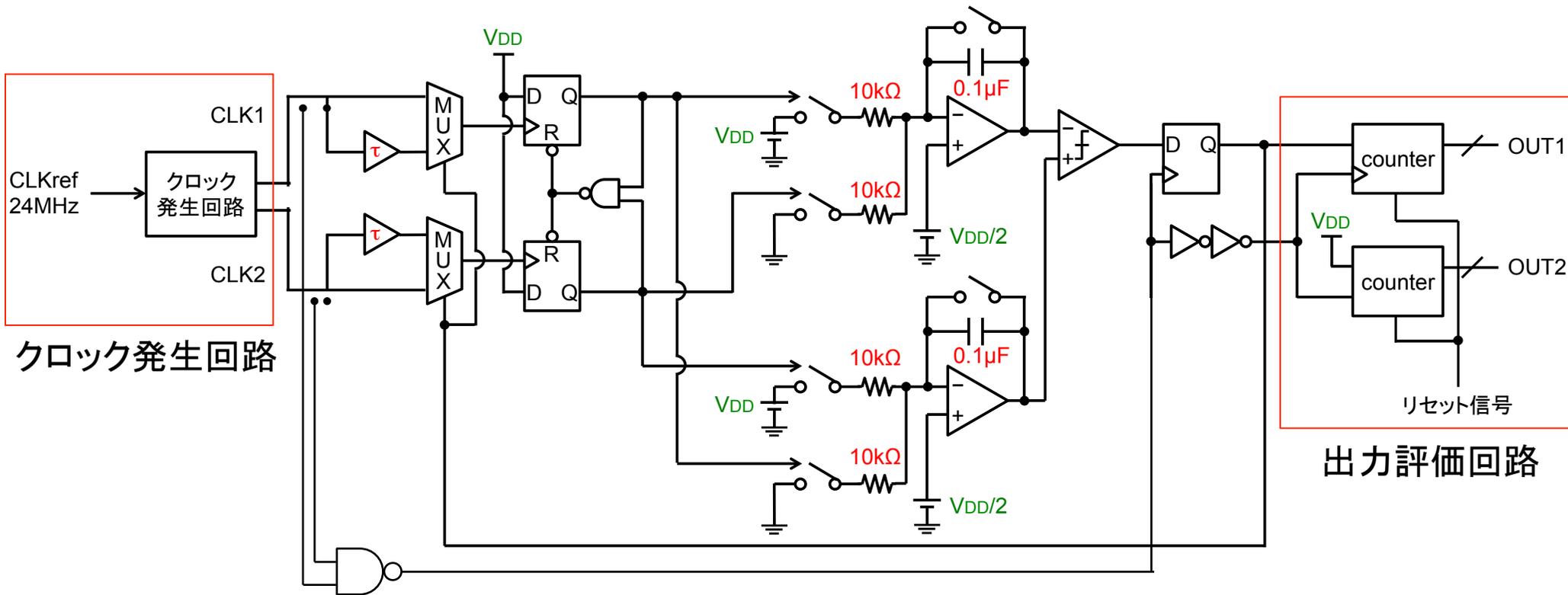
- ・ 基準クロック周波数を $\div n$ 分周
- ・  $n \times 41.7\text{ns}$ 倍の時間差

正確な周波数・時間差のクロックを生成可能



評価用・自己校正用に使用可能

# 設計したPSoC $\Sigma\Delta$ TDC測定条件

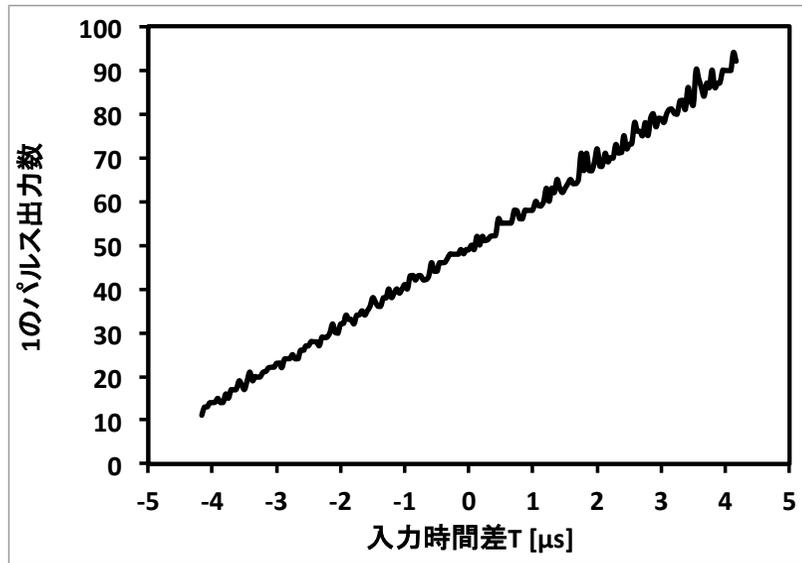


測定条件

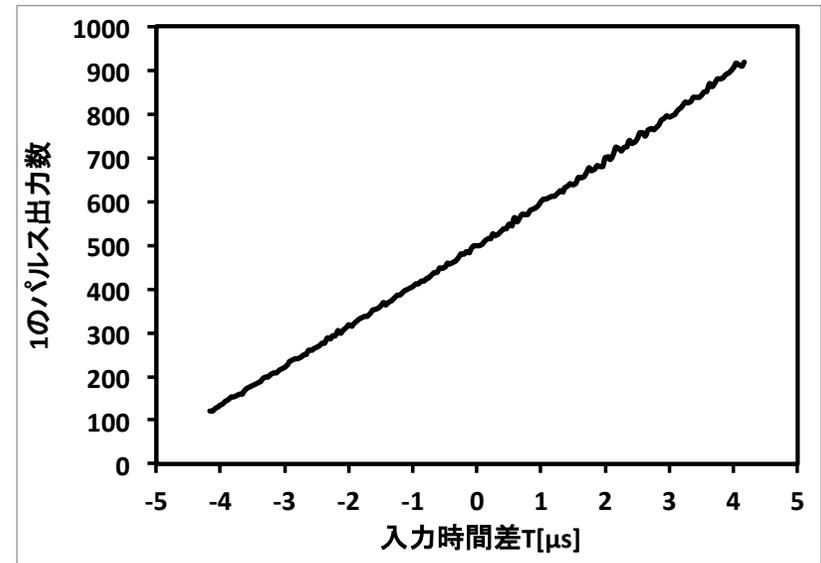
電源電圧 $V_{DD}$	3.3V
遅延素子 $\tau$	約 $5\mu\text{s}$
入力時間差 $T$	$-4.17\mu\text{s} < T < 4.17\mu\text{s}$ 41.7ns刻みで変化
入力周波数	20kHz

# PSoC $\Delta\Sigma$ TDC測定結果

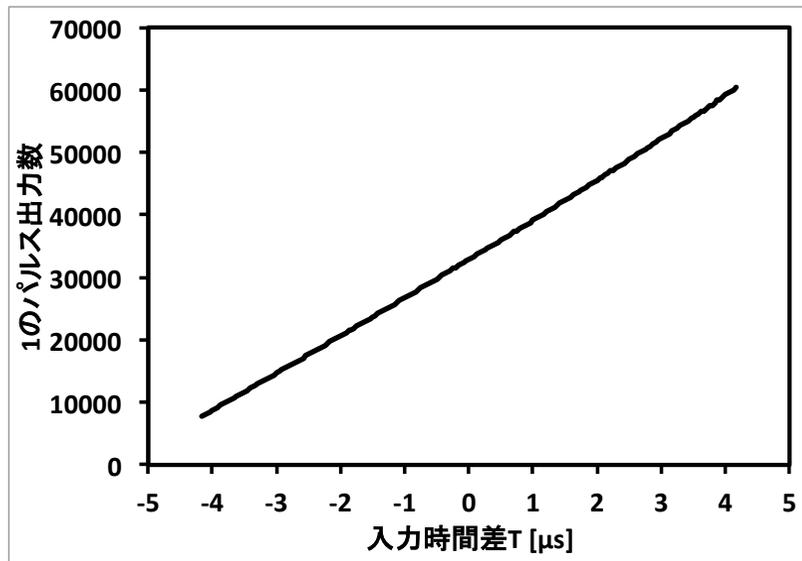
測定サイクル:100



測定サイクル:1000

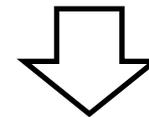


測定サイクル:65535



時間差に比例して出力数が増加

出力数を増やすと線形性が改善されている



INLを求めることで確認

# INLの計算方法

最小二乗法を用いて線形近似直線を求め、積分非直線性(INL)を計算

$$gain = \frac{N \cdot K_4 - K_1 \cdot K_2}{N \cdot K_3 - K_1^2}$$

$$offset = \frac{K_2}{N} - gain \cdot \frac{K_1}{N}$$

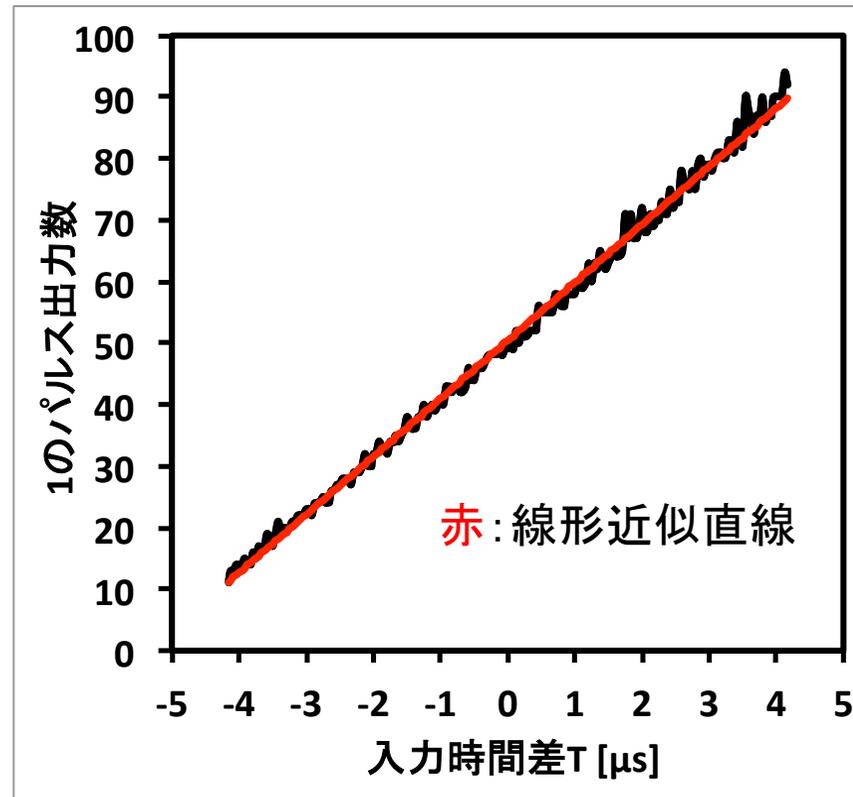
$$K_1 = \sum_{i=0}^{N-1} i \quad K_2 = \sum_{i=0}^{N-1} S(i)$$

$$K_3 = \sum_{i=0}^{N-1} i^2 \quad K_4 = \sum_{i=0}^{N-1} i \cdot S(i)$$

N: データ数(201)

i: 入力時間差

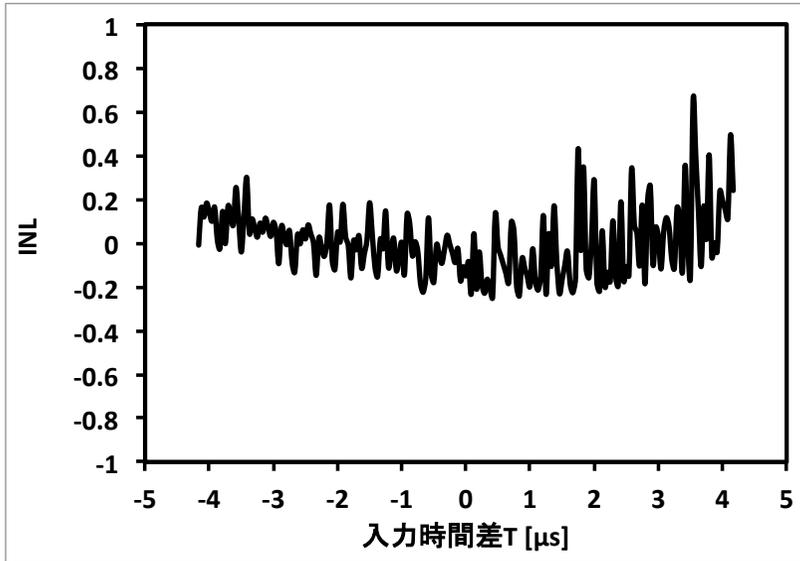
S(i): 出力数



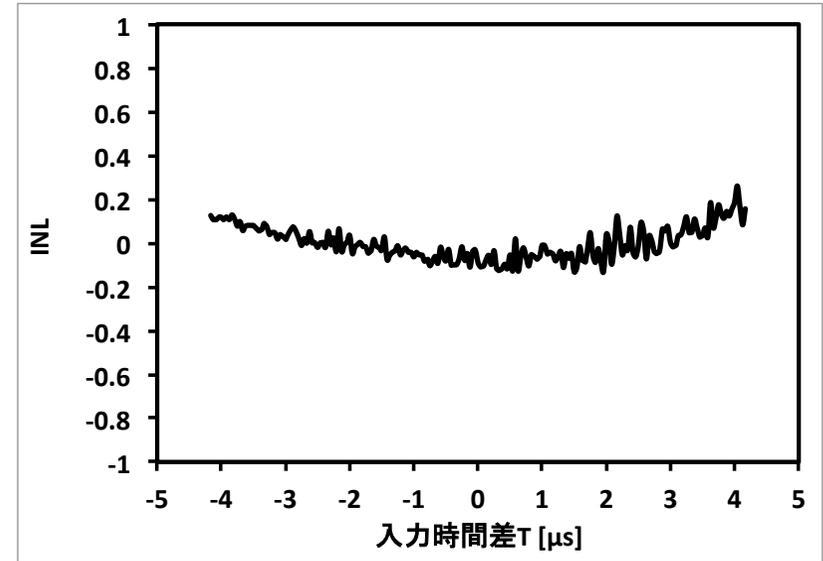
$$INL(i) = \frac{S(i) - (gain \cdot i + offset)}{gain}$$

# INL計算結果

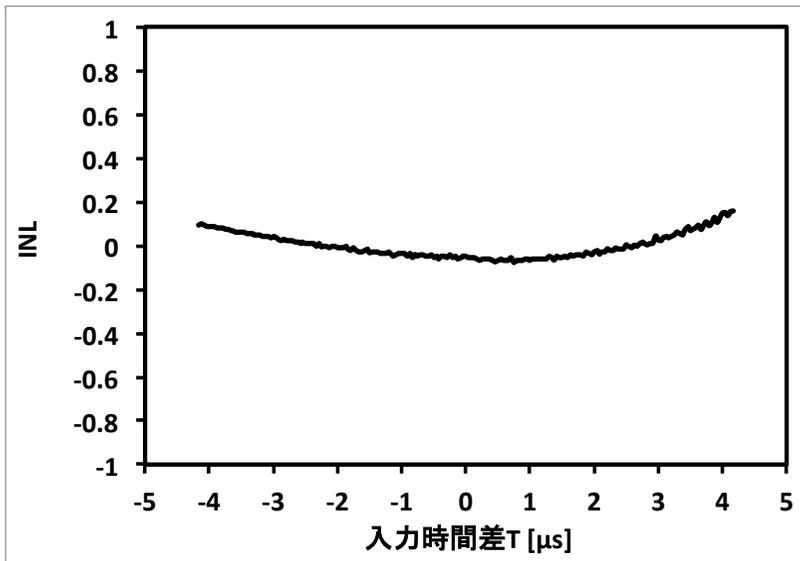
測定サイクル:100



測定サイクル:1000

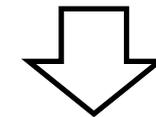


測定サイクル:65535



測定サイクルの増加による線形性の改善を確認

測定サイクルを65535にしても10%程度の誤差



自己校正による高精度化が必要

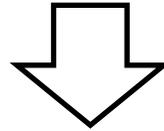
# アウトライン

---

- 研究背景・目的
- ΣΔTDCの構成・動作
- PSoCでの設計と評価
- **自己校正手法**
- まとめ・今後の課題

# $\Sigma\Delta$ TDCの自己校正

CLK1,CLK2の時間差を基準クロック周期の整数倍で可変



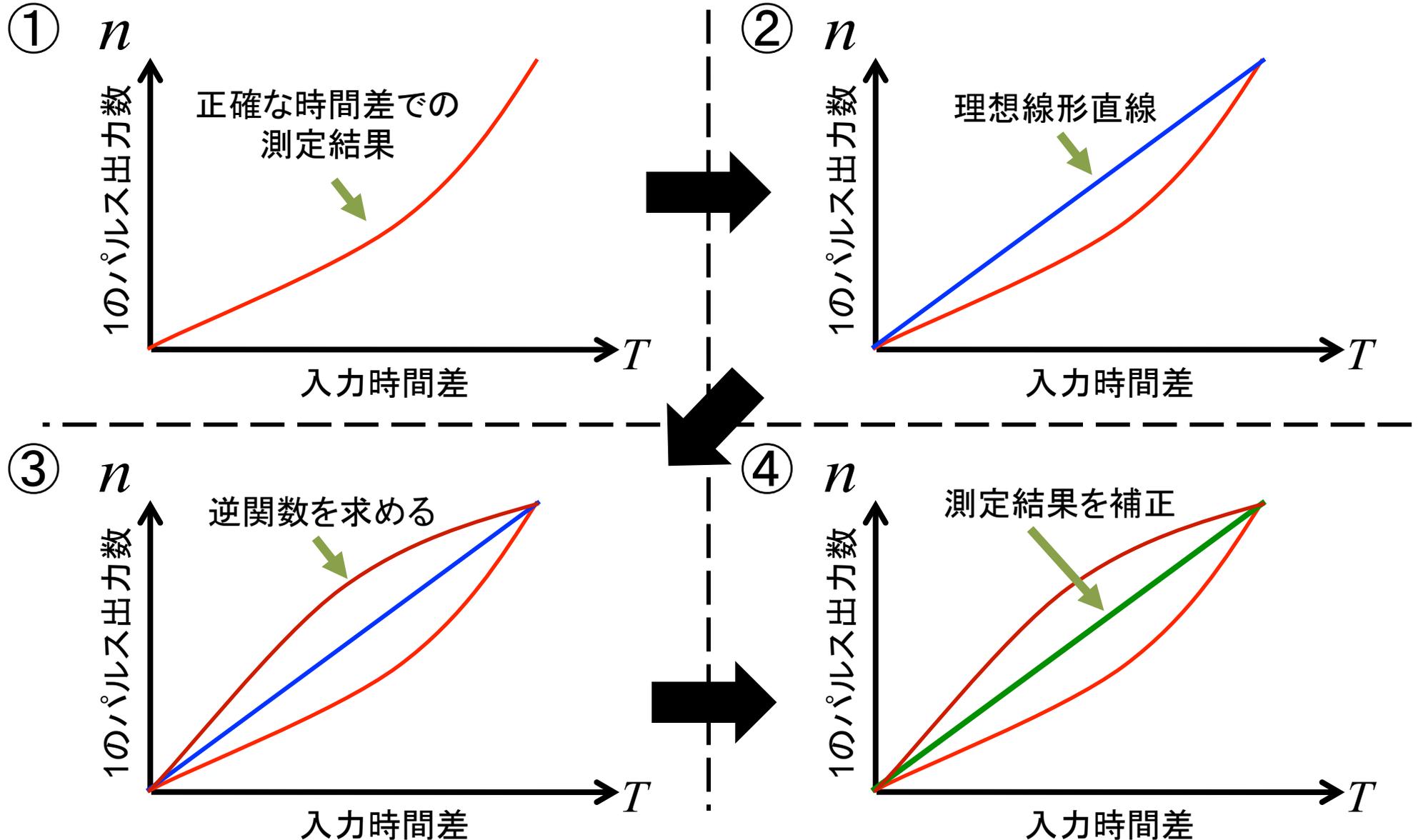
自己校正を正確に行える

自己校正のメリット

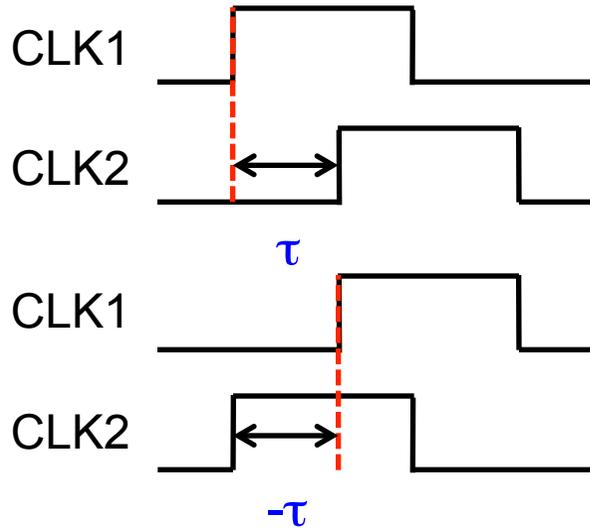
- ▶ 線形性の向上
- ▶ 測定時・テスト時の測定値の絶対値の保証

自己校正手法を提案

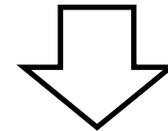
# デジタル自己校正



# ΣΔTDCの入力範囲τの推定

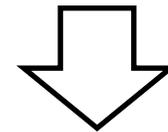


ΣΔTDCの測定可能範囲： $-\tau < T < \tau$



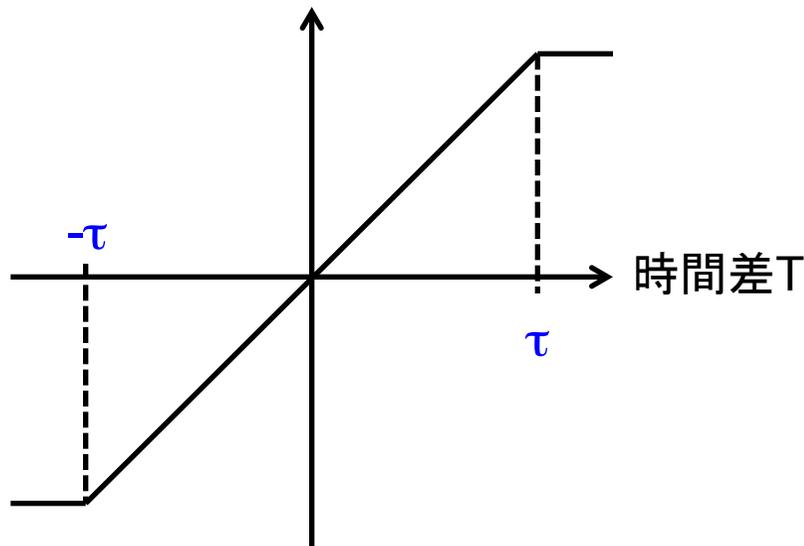
τの変化はΣΔTDCの特性に影響を与える

入力クロックの時間差を  
基準クロックの整数倍に変更可能



デジタル自己校正と共にτは正確に推定可能

Doutのパルス"1"の個数



測定時の絶対値の保証

# アウトライン

---

- 研究背景・目的
- ΣΔTDCの構成・動作
- PSoCでの設計と評価
- 自己校正手法
- **まとめ・今後の課題**

# まとめ

---

- ▶ 繰り返しクロックのタイミング測定のBOSTを検討
- ▶  $\Sigma\Delta$ TDCのシミュレーションによる動作確認
- ▶  $\Sigma\Delta$ TDCのPSoCでの設計と測定評価
- ▶ 「高線形性」「測定の絶対値保証」のための自己校正手法の提案

## 今後の課題

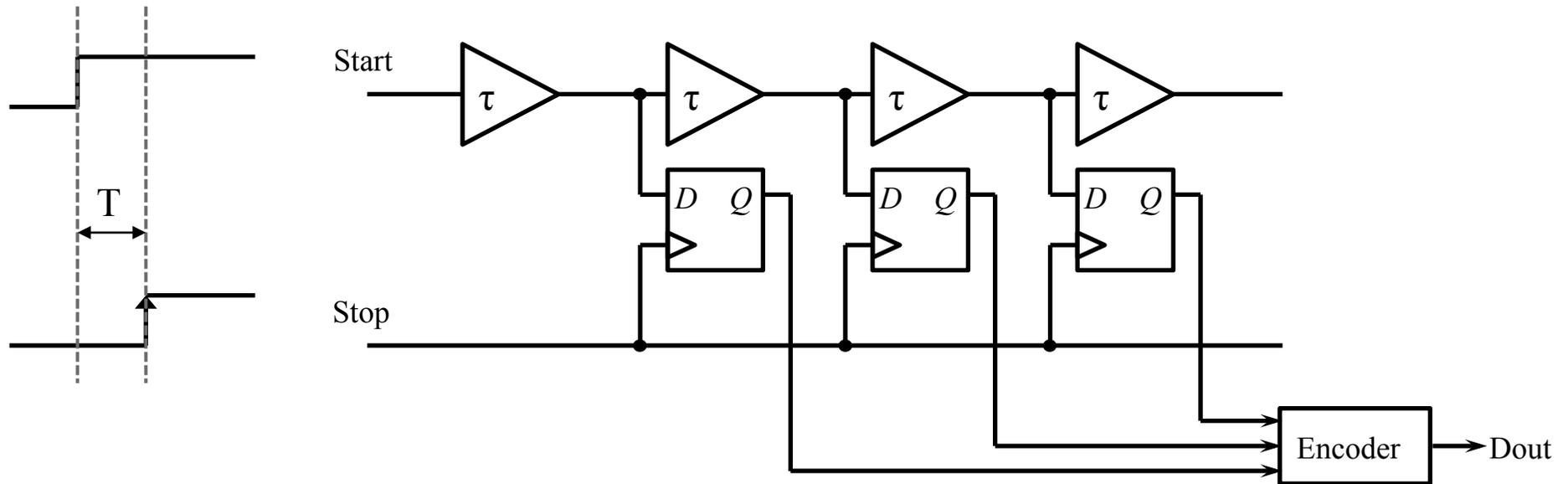
---

- ▶ 実際のシステムへの適用検討



1. 依頼した回路図
2. 回路の細かい動作

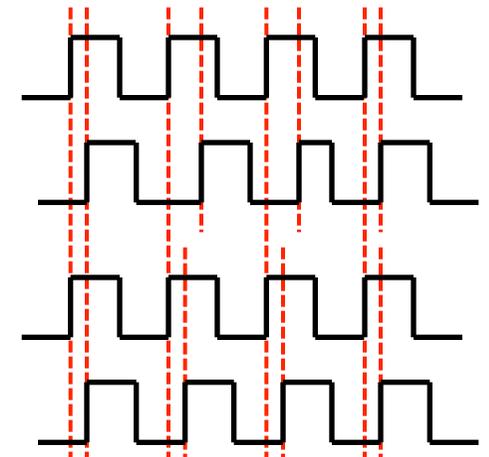
# Flash型TDC回路



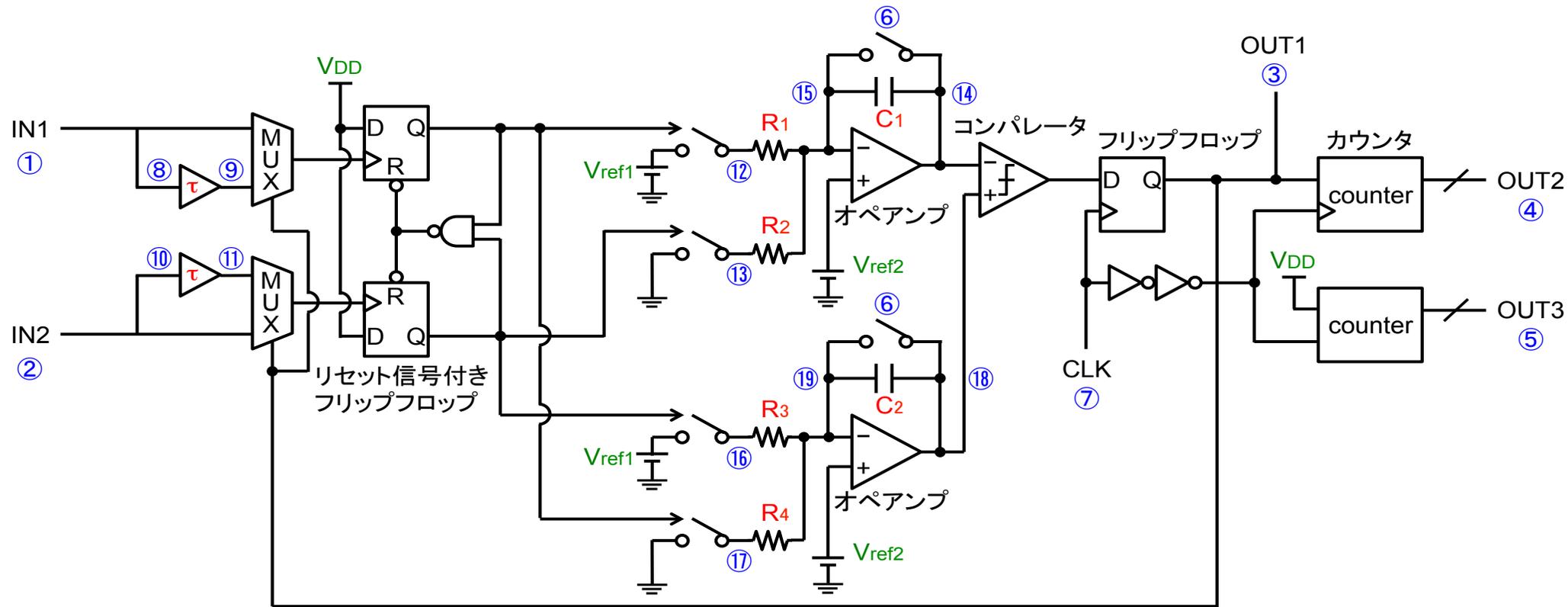
- 任意の信号でも1回の入力で計測可
- 回路規模：大
- 時間分解能： $\tau$ で決まる
- 繰返し信号の計測
  - 何回も入力  $\Rightarrow$  高精度で測定

任意信号：Tが変化する

繰返し信号：Tが一定



# 回路構成



$V_{DD}, V_{ref1}: 3.3V$     $V_{ref2}: 1.65V$

マルチプレクサ (MUX): 2つ,  $V_{DD}$ で動作

リセット信号付きフリップフロップ: 3つ,  $V_{DD}$ で動作

オペアンプ: 2つ,  $V_{DD}$ で動作

コンパレータ: 1つ,  $V_{DD}$ で動作

カウンタ: 2つ,  $V_{DD}$ で動作

①, ②: 入力端子

③, ④, ⑤: 出力端子

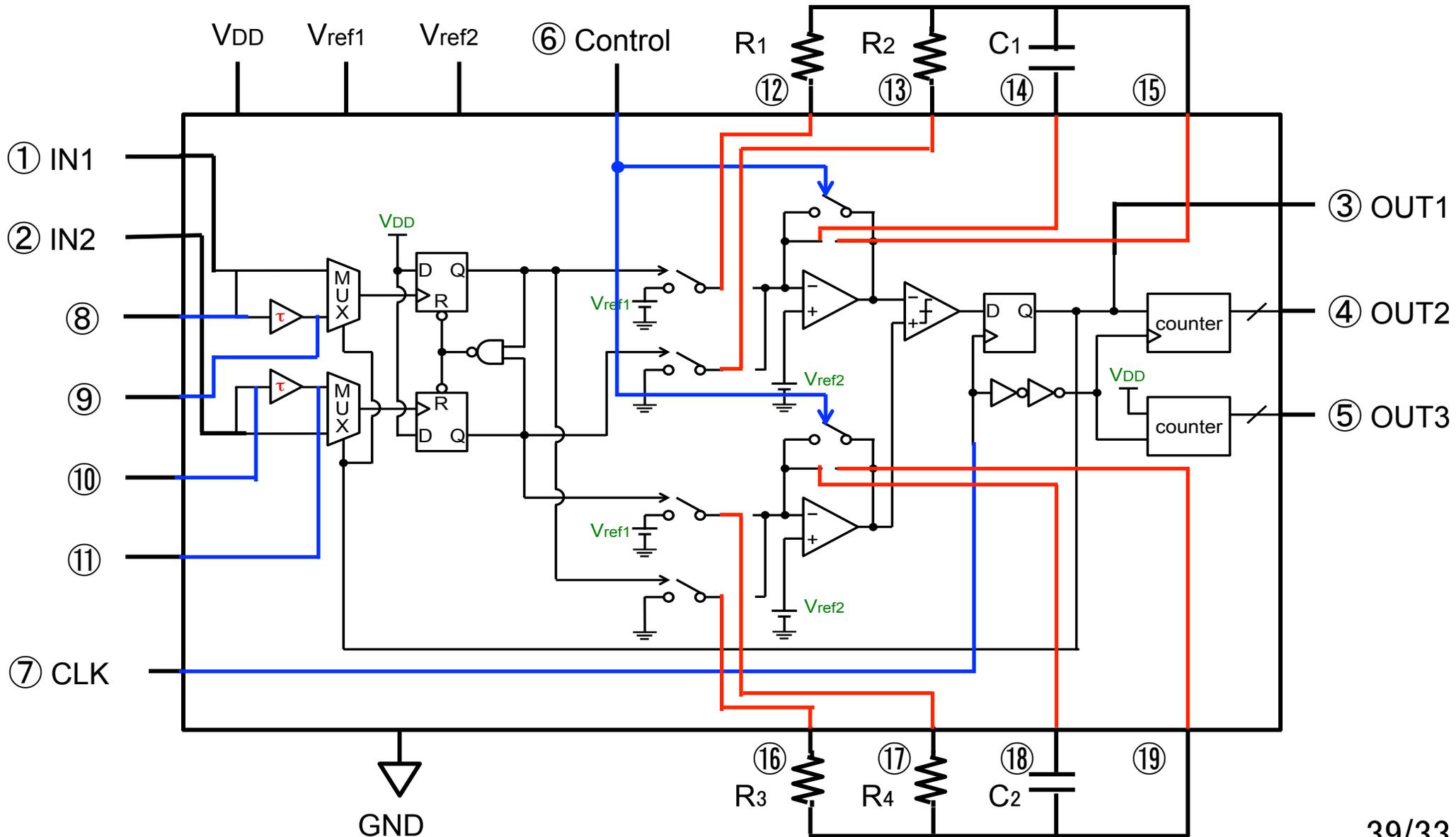
⑥: 制御端子

⑦: 出力同期クロック用端子

⑧~⑪:  $\tau$  の外部での確認用端子

⑫~⑰: R, Cの外付け用端子 38/33

# 全体の回路図



# 電源の説明

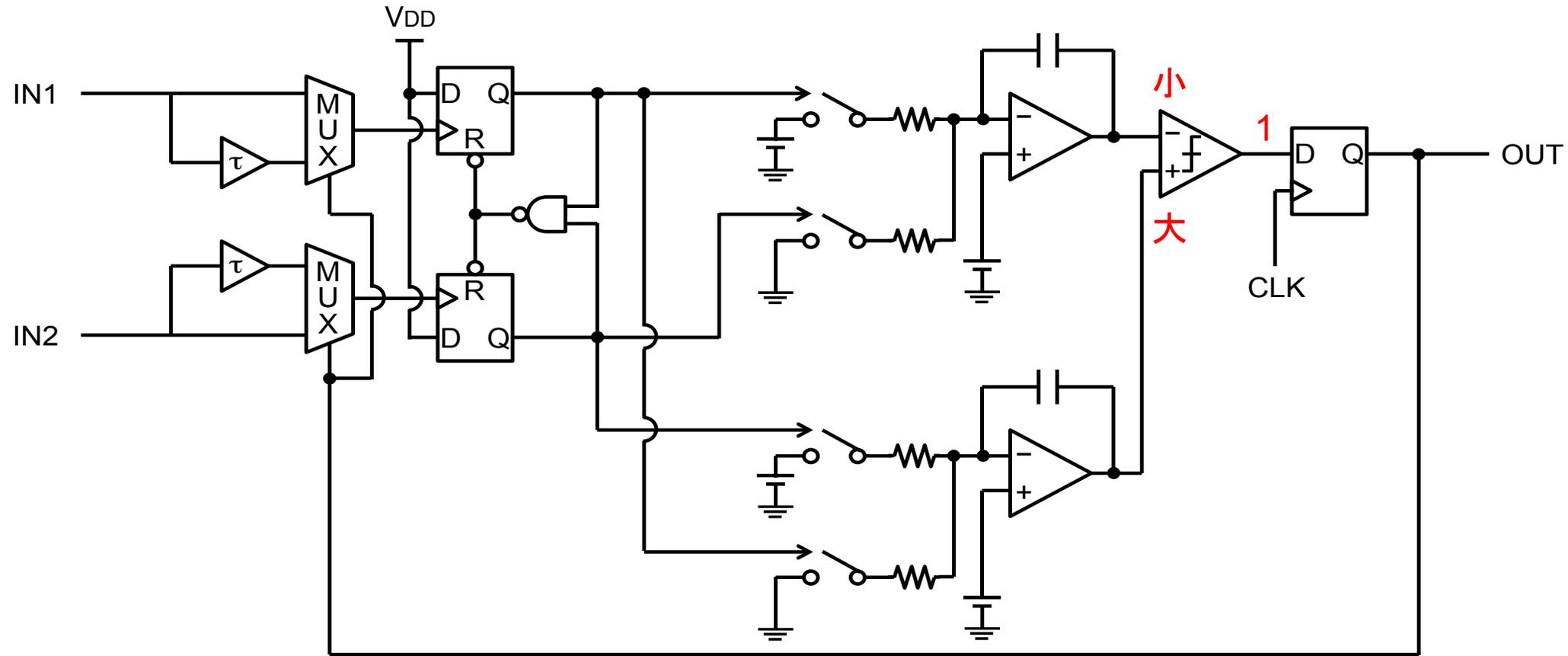
VDD	MUX, Flip-Flop, NAND オペアンプ, コンパレータ, インバータ, カウンタ電源, 3.3V
Vref1	オペアンプ入力基準電源1, 3.3V
Vref2	オペアンプ入力基準電源2, 1.65V
GND	グラウンド

# ピンの説明

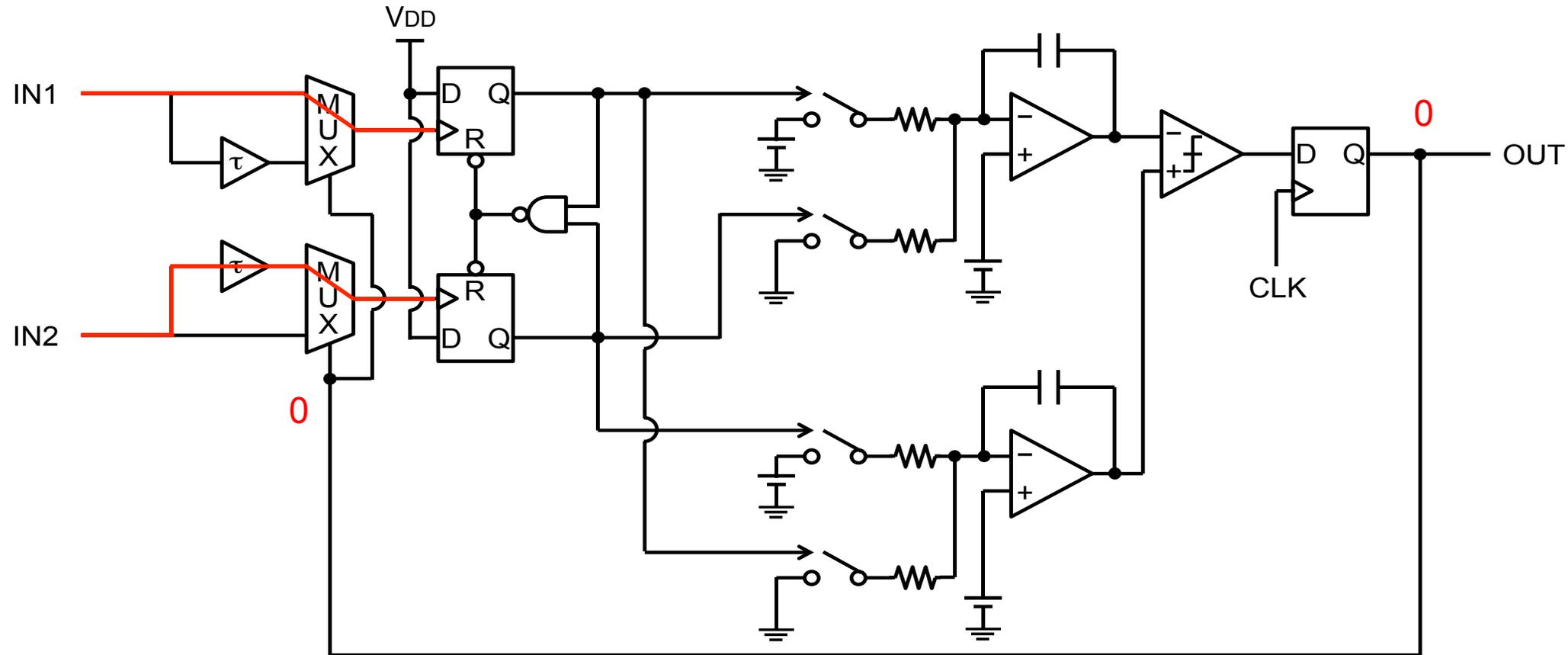
	入力	出力	デジタル	アナログ		入力	出力 (内部 ノード)	デジタル	アナログ
①	○		○		⑫		○		○
②	○		○		⑬		○		○
③		○	○		⑭		○		○
④		○	○		⑮		○		○
⑤		○	○		⑯		○		○
⑥	○		○		⑰		○		○
⑦	○		○		⑱		○		○
⑧		○	○				○		○
⑨		○	○						
⑩		○	○						
⑪		○	○						



# 動作(2)

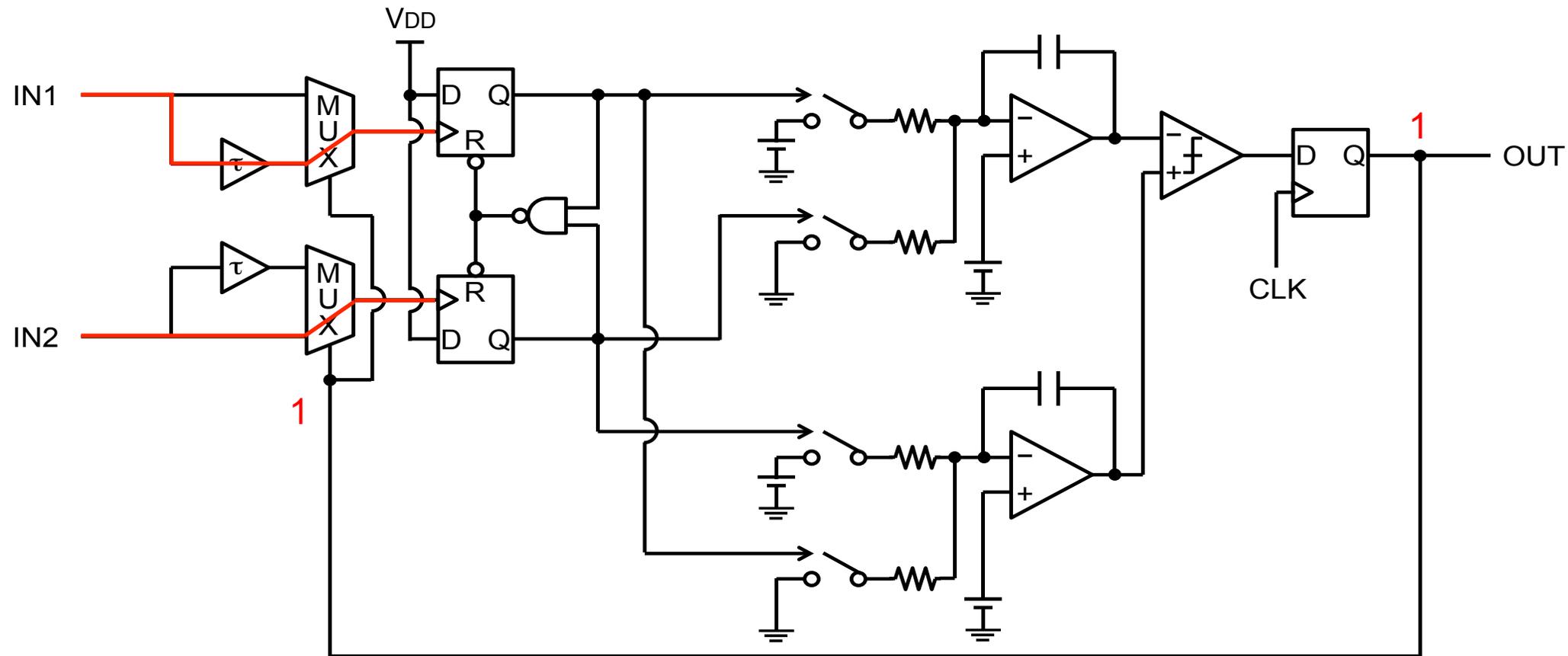


# 動作(3)



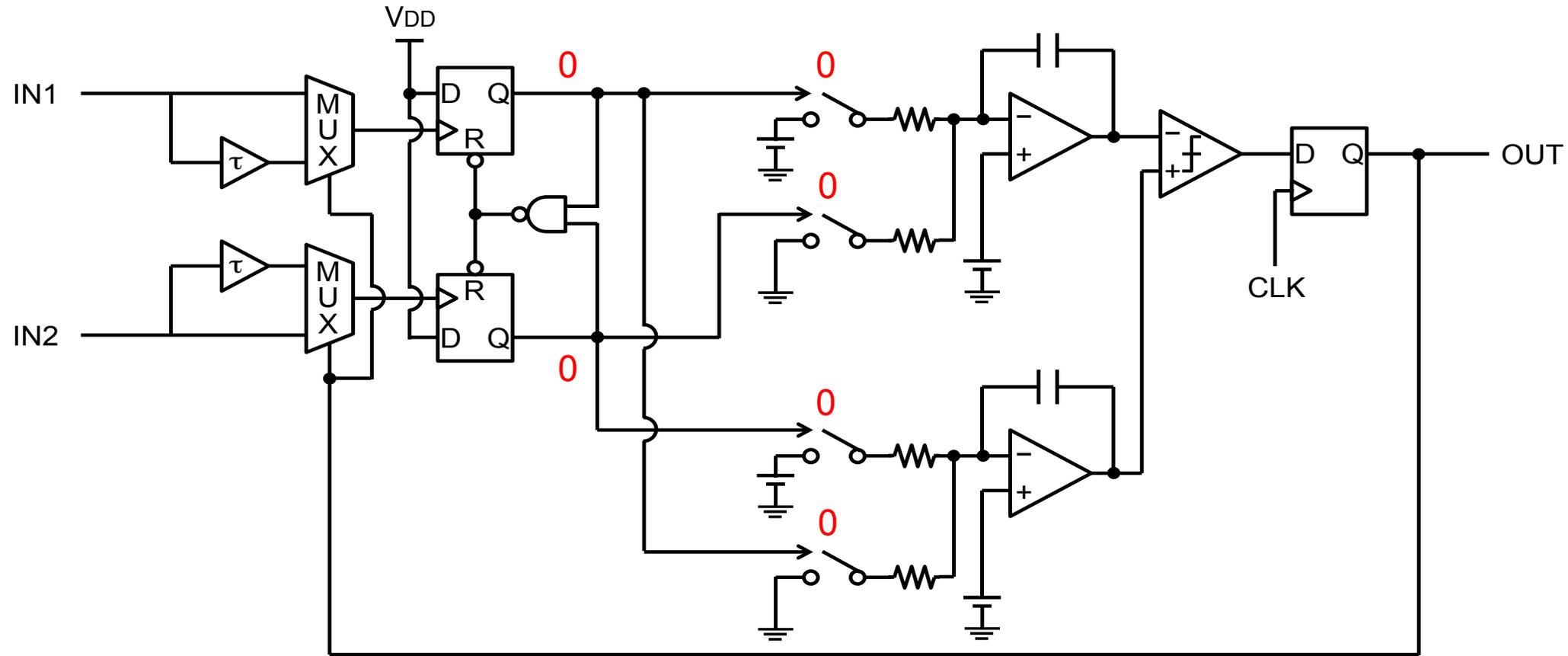
マルチプレクサに0を入れたとき、IN1は遅延なし、IN2は遅延ありの経路を通る

# 動作(4)

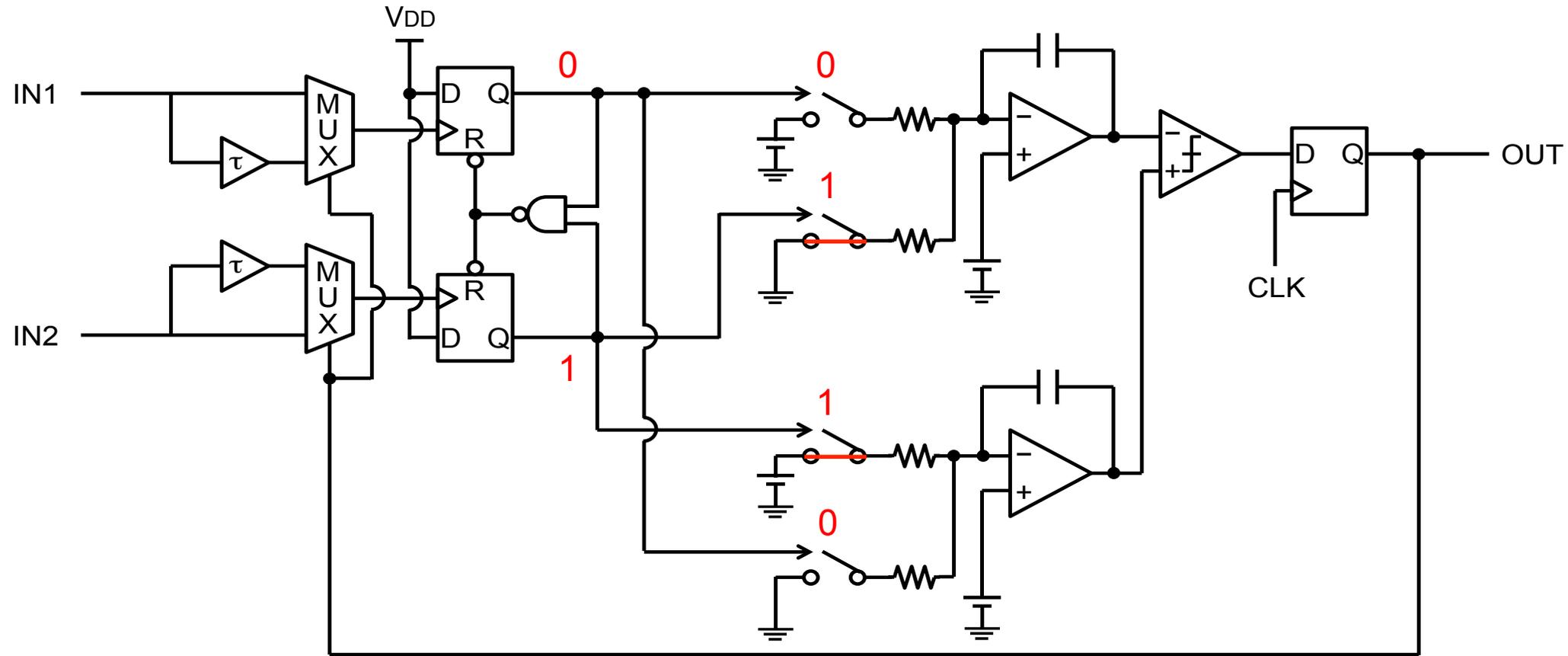


マルチプレクサに1を入れたとき、IN1は遅延あり、IN2は遅延なしの経路を通る

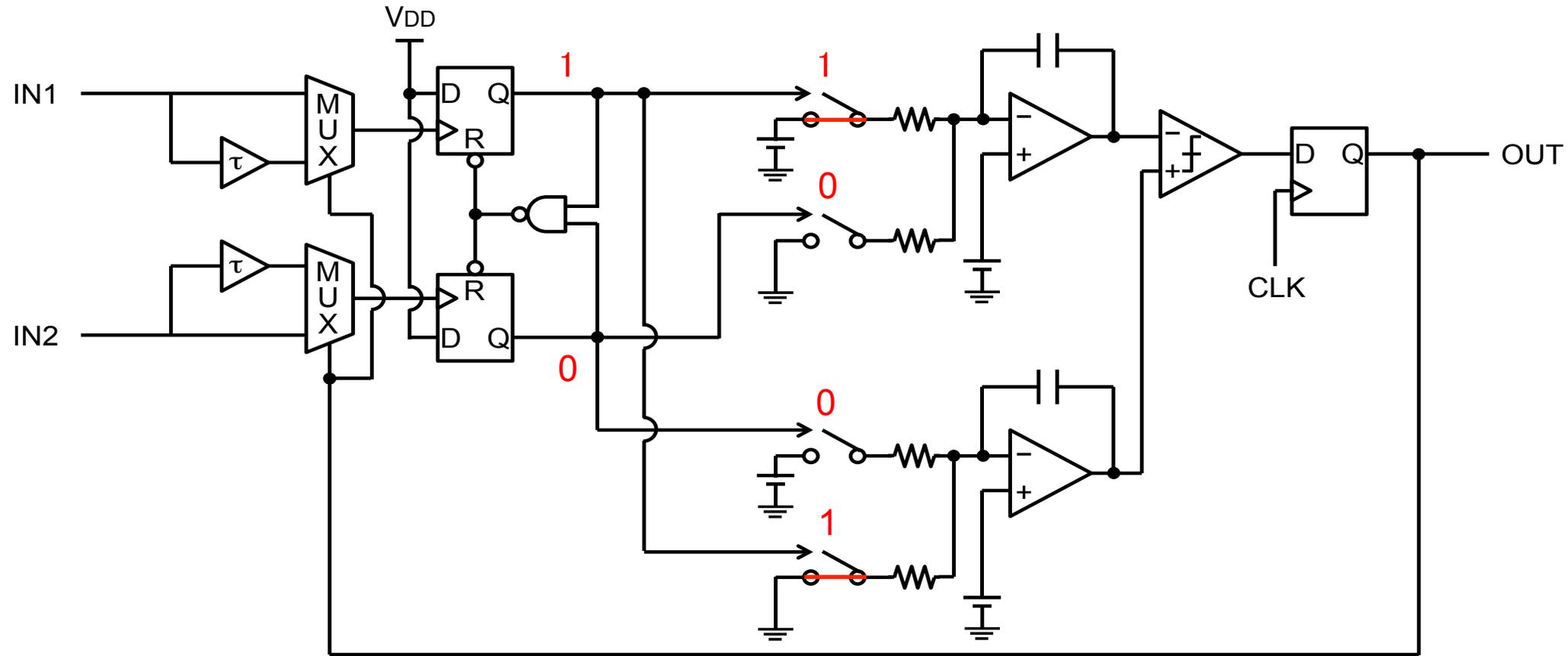
# 動作(5)



# 動作(6)

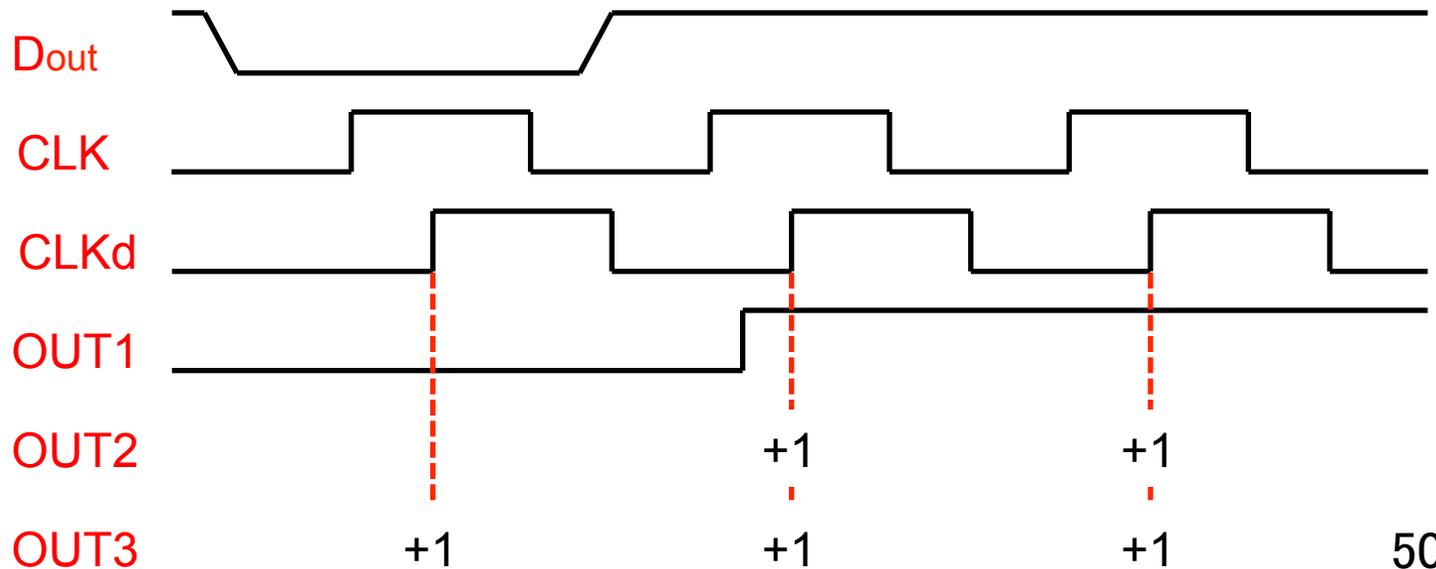
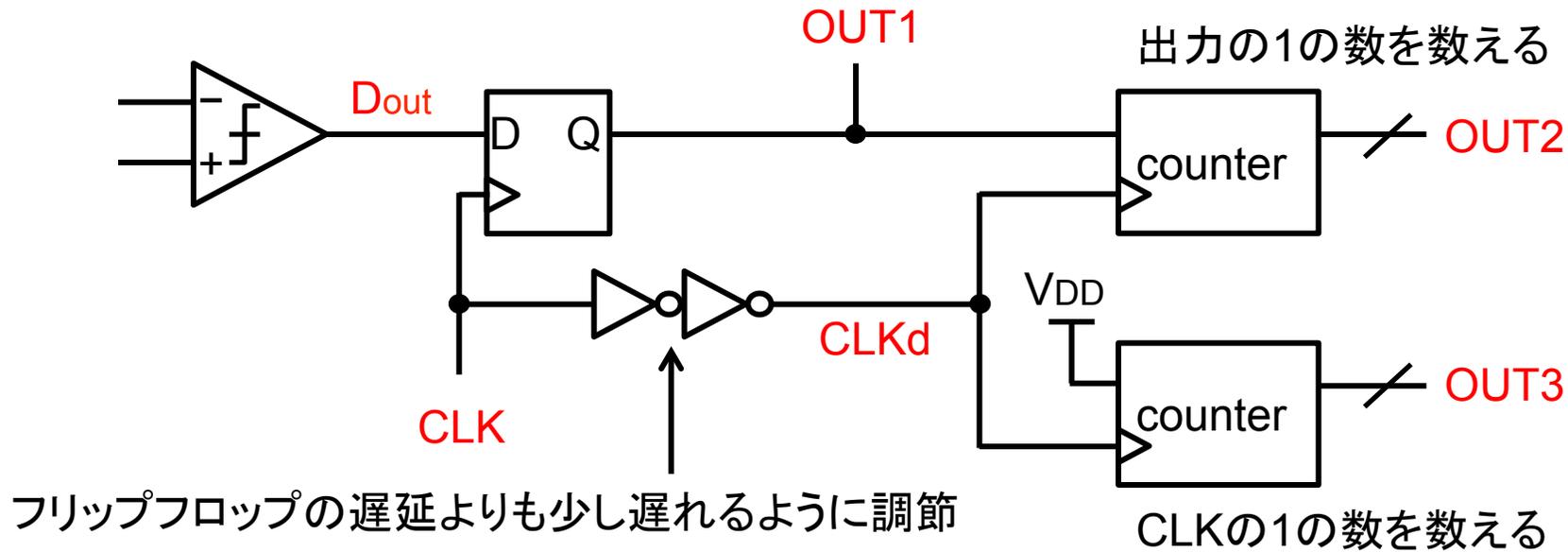


# 動作(7)



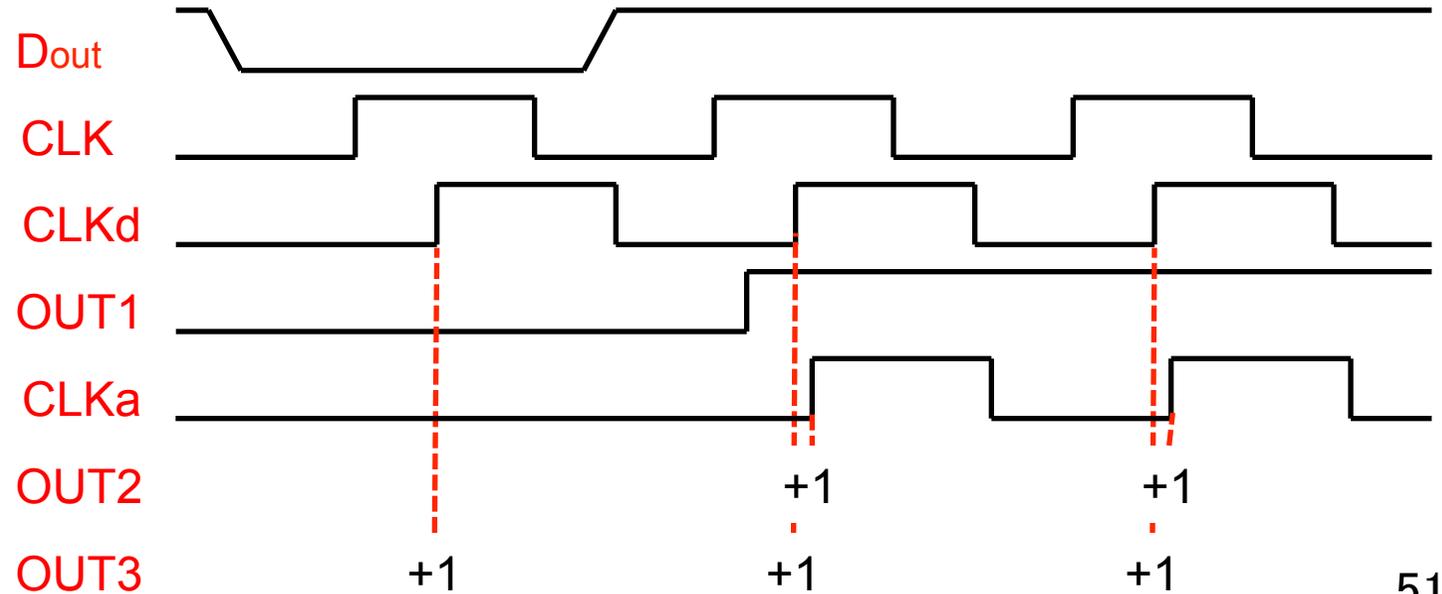
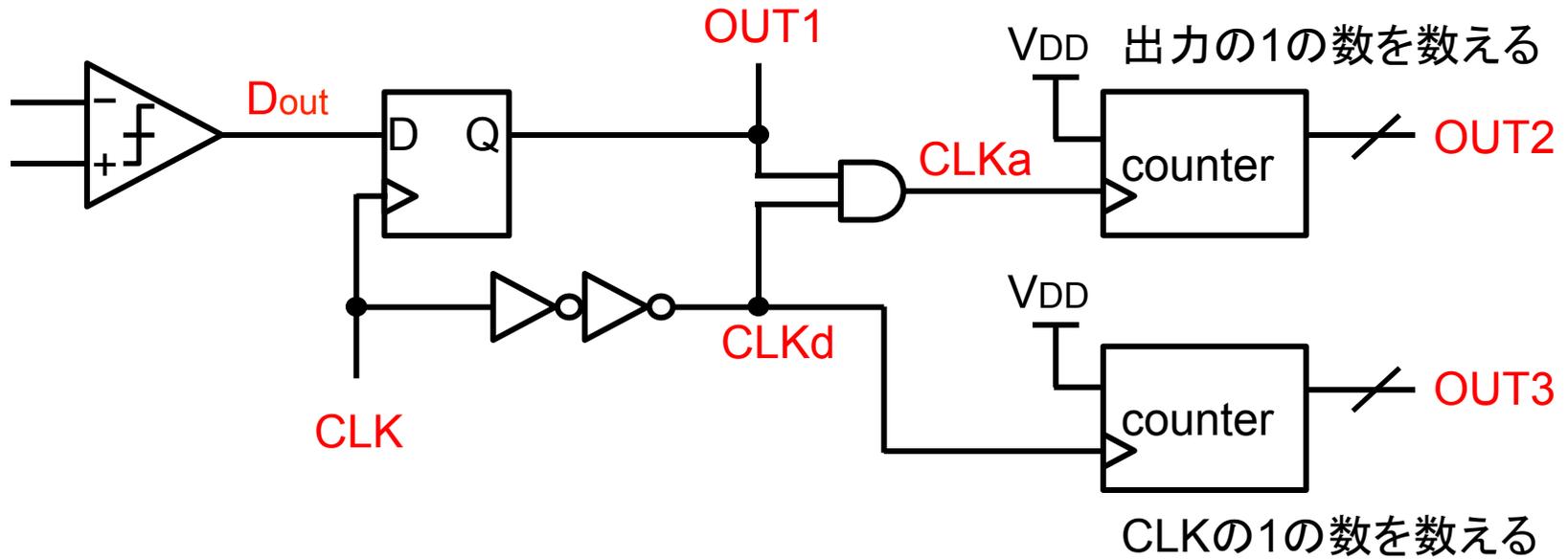


# 出力方式①(こちらを使用予定)



タイミングチャート

# 出力方式②



タイミングチャート

# 質問

- 実際に動いたと実感するまでどれくらいの期間がかかったか？
- 積分器の $V_{DD}$ は正確になるようにした方が良い
- 積分器が疑似差動であるため、OPアンプやRCの素子値のずれによって性能限界が決まってしまうため、正確にしなければならない
- INLを求めた際の1LSBはいくらか？
- DNLは無いのか？