

# コンパレータ遅延を利用したアナログテスト容易化回路

須釜 裕太\* 小林 春夫 (群馬大学)

Analog Circuit Testing Scheme Using Comparator Delay

Yuta Sugama\*, Haruo Kobayashi, (Gunma University)

**Abstract:** This paper presents a high resolution on-chip measurement technique for very small voltage difference between two signals using comparator delay. We utilize the property that the smaller the voltage difference is, the longer the comparator delay is. This can be a new analog circuit testing scheme to measure such as current source mismatches caused by mismatch among MOSFETs in a digital-to-analog converter.

**キーワード:** アナログテスト容易化, オンチップ計測, デジタルアシスト・アナログ技術, 時間領域アナログ回路 (Analog Design-For-Testability, On-Chip Measurement, Digitally-Assisted Analog Technique, Time Domain Analog Circuit)

## 1. アナログテスト容易化技術と本研究概要

半導体技術の進展とともに、そのテスト・コストの削減が産業上の大きな問題となりつつある<sup>(1)-(3)</sup>。特にミックスドシグナル SoC 内のアナログ回路は、デジタル回路のような汎用的なテスト容易化技術が存在しないため、テスト・コストが急激に増大している。アナログ回路においてもデジタル回路と同様に、テスト技術の確立が求められている。

そこで、本研究では微細 CMOS のキーコンポーネントの一つである時間領域アナログ回路を用いて、できるだけ簡単な回路で高分解能の計測とテストを可能にする新しいアナログテスト容易化回路の開発を検討した。特にコンパレータの出力遅延時間に着目し、これを新しい計測・テストに応用することを検討した。

コンパレータの出力遅延時間は、入力電位差に対して、逆比例の関係を持つ<sup>(4)</sup>。すなわちコンパレータに与える入力電位差が小さければ小さいほど、出力遅延時間は長くなる (図 1)。この関係を積極的に利用することで、比較的簡単な回路構成で高分解能な計測・テストが可能なることを回路シミュレーションにより確認した。

## 2. コンパレータ遅延を利用した誤差計測の原理

この節ではコンパレータの出力遅延時間を用いた微小電圧差計測の原理について述べる。典型的な正帰還を用いたラッチ型コンパレータの場合、その出力の過渡応答特性は、入力トランジスタの固有利得  $g_{m1}r_o > > 1$  と仮定すると、次の式でモデル化することができる<sup>(5)</sup>。

$$\Delta V_{out} = (\Delta V_{in}) \exp[t/T] \cdots \cdots (1)$$

$\Delta V_{in}$  はコンパレータに入力される電位差を、 $T$  は時定数を、 $t$  は出力遅延時間をそれぞれ表す。また、(1) 式を変形すると、コンパレータの出力遅延時間 ( $\Delta V_{out}$  が 0V から  $V_a[V]$  に達するまでの時間と定義) は次の式で表せる。

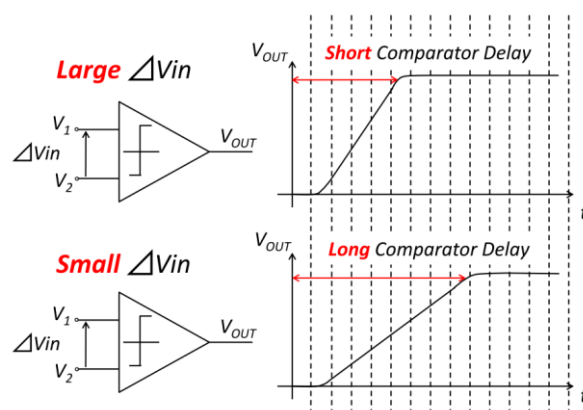


図 1 入力電位差に対するコンパレータ出力波形

Fig.1. Comparator output waveforms for small and large input voltage differences.

$$t = (T) \ln[V_a / \Delta V_{in}] \cdots \cdots (2)$$

$\Delta V_{out}$  が指数関数式で表される一方で、出力遅延時間は入力電位差に対して、逆比例の関係を持つ。例えば  $\Delta V_{in1}$  を入力したときの出力遅延時間を  $t_1$ 、 $\Delta V_{in2}$  を入力したときの出力遅延時間を  $t_2$  とし、 $\Delta V_{in2}$  は  $\Delta V_{in1}$  の定数倍 ( $\Delta V_{in2} = C \Delta V_{in1}$ :  $C$  は定数) であるとすると、

$$t_1 = (T) \ln[V_a / \Delta V_{in1}], \quad t_2 = (T) \ln[V_a / \Delta V_{in2}]$$

$$t_2 - t_1 = (-T) \ln[C] \cdots \cdots (3)$$

$T$ 、 $C$  共に定数であることから、定数倍で変化する入力電位差に対する出力遅延時間の変化量は一定である。この関係を求めた SPICE シミュレーション結果を図 2 に示す。16mV <  $\Delta V_{in}$  < 256mV の範囲において線形性が確認できる。

出力遅延時間の計測には TDC 回路 (Time-to-Digital Converter: 時間・デジタル変換器) (図 3) <sup>(6)-(8)</sup> を用いる。TDC 回路は複数のディレイバッファと D-FF から構成さ

れ、Start 信号と Stop 信号の 2 つの入力矩形波の立ち上がりエッジ間の時間差を計測する。TDC 回路により計測した時間差  $C_{count}$  は次の式で表すことができる。

$$C_{count} = \frac{t_{stop} - t_{start}}{\tau} \dots (4)$$

$t_{start}$  は Start 信号の立ち上がり遅延時間、 $t_{stop}$  は Stop 信号の立ち上がり遅延時間、 $\tau$  はディレイバッファ 1 個分の伝播遅延時間を表す。この式は、Start 信号と Stop 信号の立ち上がりエッジ間の時間差が大きく、 $\tau$  が小さいほど高分解能な計測が可能であることを示している。

TDC 回路の Start 信号端子に立ち上がり遅延時間が一定の矩形波を、Stop 信号端子にコンパレータ出力をそれぞれ入力した場合、コンパレータの出力遅延時間 (Stop 信号の立ち上がり遅延時間) が長いほど計測される時間差は長くなる。したがって TDC 回路による高分解能な計測が行いやすくなる。コンパレータは入力電位差が小さいほど出力遅延時間が長くなるので、このことは入力電位差が小さいほど高分解能な計測が可能であることを意味する。

実際の計測・テストを行う前に、図 2 の線形部分のグラフ・データを求めておく必要がある。図 4 はそのための校正回路である。内部 (もしくは外部) 基準電圧源をボルテージフォロワで受け、抵抗分割でいくつかの電圧を生成し、それらをコンパレータに入力し TDC 出力を得ることで、既知の入力電位差と TDC 出力の関係を表した組み合わせ表が得られる。その後、組み合わせ表から近似計算により、TDC 出力に対する入力電位差の特性を推定したグラフ・データを求める。実際の計測・テスト時には、TDC 回路の計測値と求めたグラフ・データを照合することで入力電位差を求める。本提案手法による計測では、コンパレータの出力遅延時間及び TDC 回路内のバッファ遅延が、PVT ばらつきの影響を受けることで計測の精度が劣化する。しかし校正回路を用いることにより、少なくともプロセスばらつきによる影響は無視できる。電源電圧・温度変動による計測値の不確実性は、後述する平均化処理により対処する。

### 3. アナログテスト容易化回路への応用

コンパレータの出力遅延時間を計測することで、入力電位差が求まることを確認した。入力電位差に MOSFET 間のミスマッチに起因する電圧誤差を与えることで、その誤差量 (ミスマッチの程度) を求めることも可能である。この手法を応用したアナログテスト容易化回路について検討した結果を報告する。

#### 〈3・1〉提案するアナログテスト容易化回路

図 5 に提案するアナログテスト容易化回路のシステム構成を示す。まず CUT (Circuit Under Test : テスト対象回路) から MOSFET 間のミスマッチに起因する電圧誤差をコンパレータに入力する。コンパレータは  $V_{test}$  信号の立ち上がりと同時に変換動作を開始し、電圧誤差の大きさに応じ

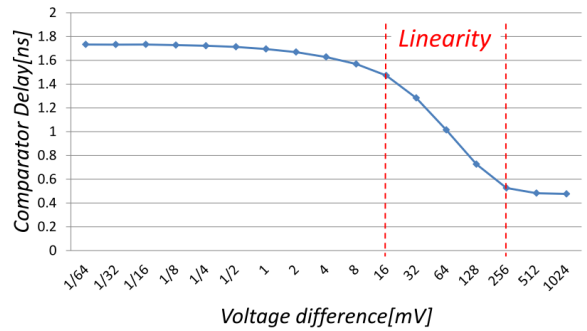


図 2 定数倍で変化する入力電位差に対する出力遅延時間の関係を求めた SPICE シミュレーション結果

Fig.2. SPICE Simulation results of the constant varied input voltage difference vs the comparator delay.

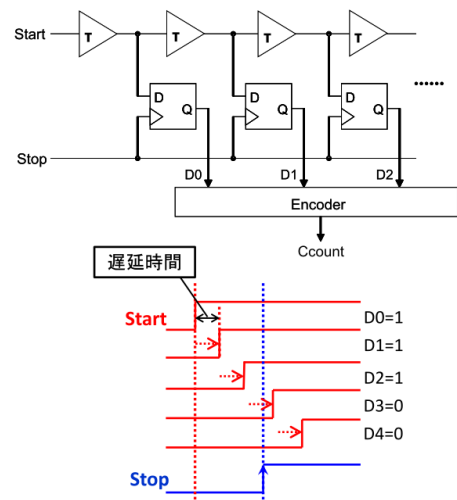


図 3 TDC 回路構成と動作原理

Fig.3 TDC architecture and operation principle.

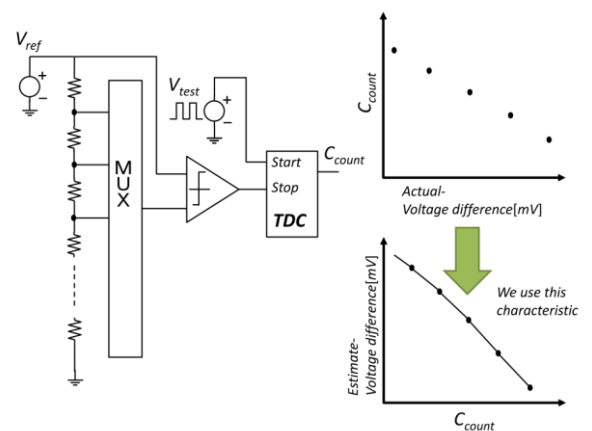


図 4 コンパレータ遅延と TDC の校正回路

Fig.4 Calibration for comparator delay and TDC.

た遅延時間  $T_{count}$  で、出力  $V_{comp}$  を TDC 回路の Stop 信号端子へ送る。TDC 回路は  $V_{test}$  と  $V_{comp}$  の立ち上がりエッジ間の時間差を計測し、計測結果を Analyzer-Circuit へ送る。

Analyzer-Circuit は TDC 回路による計測結果を校正回路で求めたグラフ・データと照合することで、入力した電圧誤差の大きさとテスト結果を判定し、出力する。

Analyzer-Circuit は次の方法で良品・不良品を判定する (図 6)。出力遅延時間  $T_{count}$  の計測値  $C_{count}$  がスペックとして定められた値  $C_{spec}$  以上だった場合は良品、 $C_{count}$  が  $C_{spec}$  より小さい場合は不良品と判定する。 $C_{spec}$  の値は校正回路により求めたグラフ・データを用いて決める。 $C_{count}$  が  $C_{spec}$  以上の値であるということは、計測した出力遅延時間がスペックとして定めた出力遅延時間以上の長さであることを意味する。これは入力した電圧誤差の大きさが許容範囲内であることを意味するため、テスト結果は *PASS* となる。

$$C_{count} \geq C_{spec} \Leftrightarrow \Delta V_{in} \leq \Delta V_{spec} \dots \dots \text{PASS}$$

一方で、 $C_{count}$  が  $C_{spec}$  より小さいということは、計測した出力遅延時間がスペックとして定めた出力遅延時間よりも短いことを意味する。これは入力した電圧誤差の大きさが許容範囲外であることを意味するため、テスト結果は *FAIL* となる。

$$C_{count} < C_{spec} \Leftrightarrow \Delta V_{in} > \Delta V_{spec} \dots \dots \text{FAIL}$$

### 〈3・2〉アプリケーション適用例

提案するアナログテスト容易化回路を電流ステアリング DAC (Current Steering Digital-to-Analog Converter) の電流源テストに適用した例を図 7 図 9 に示す。また、それぞれの図に対応する動作のタイミングチャートを図 8 図 10 に示す。以下ではこのタイミングチャートに沿ったテスト動作の説明を行う。

図 7 図 8 では、 $\Phi_a$  信号の立ち下がり・立ち上がりに同期して DAC の通常動作モードとテストモードの切り替えを行う。テストモードの目的は、通常動作モード時に参照電流  $I_{REF}$  が流れていたトランジスタと、コピー電流  $I_1 \sim I_3$  が流れていたトランジスタのミスマッチに起因する電流誤差を、電位差に変換し、〈3・1〉のアナログテスト容易化回路を用いて、誤差量を計測・テストすることである。 $\Phi_a$  信号の立ち上がりと同時にテストモードになると、電流  $I_{REF}$  は抵抗  $R_2$  を流れ、電圧  $V_2$  に変換される。また  $\Phi_{b1}$  信号の立ち上がりと同時に、電流  $I_1$  は抵抗  $R_1$  を流れ、電圧  $V_1$  に変換される。変換された電圧  $V_1$ ,  $V_2$  は図 9 のアナログテスト容易化回路内のコンパレータへ入力される。電流  $I_{REF}$  と  $I_1$  の間の誤差量の計測・テストが終わるタイミングで  $\Phi_{b1}$  信号は立ち下がり、 $\Phi_{b2}$  信号が立ち上がる。以降同様に電流  $I_2$  が電流  $I_{REF}$  と比較される。

図 9 図 10 はアナログテスト容易化回路内のコンパレータへ電位差が入力されてから、誤差量を計測・テストする

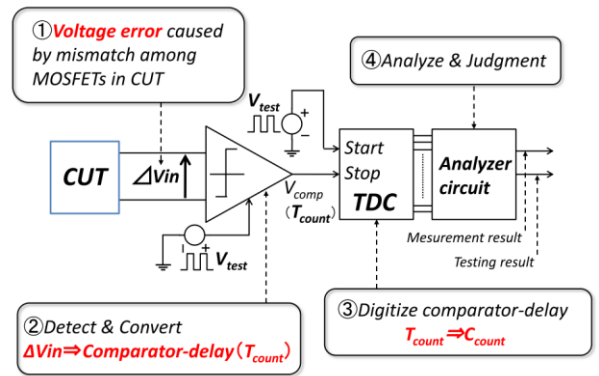


図 5 提案するアナログテスト容易化回路のシステム構成  
Fig.5 Proposed analog circuit testing scheme.

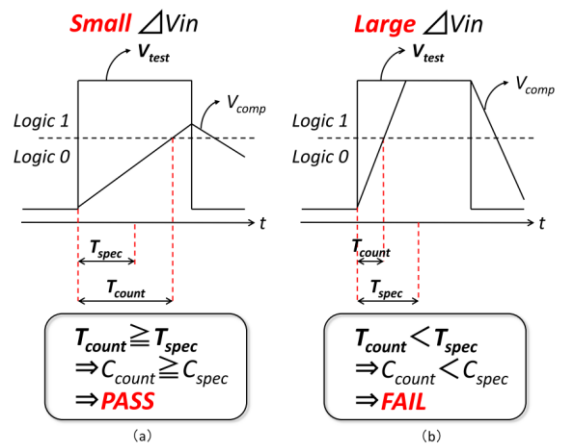


図 6 (a) 良品・(b) 不良品判定の例  
Fig.6 (a) Example of specification-pass circuit  
(b) Example of specification-fail circuit.

までのシステム構成とタイミングチャートを示したものである。図 9 に示す要素回路の内、“Adder”、“Compare”、“Counter” は図 5 の “Analyzer circuit” を構成する回路である。“Adder” は TDC 内の D-FF 出力の数をカウントする回路であり、図 3 の “Encoder” に対応する。“Compare” は 2 入力 1 出力の比較回路で、図 6 に基づき、計測値  $C_{count}$  とスペック値  $C_{spec}$  の比較を行う。“Counter” はテスト結果 (FAIL 数) をカウントする回路であり、電源電圧・温度変動等に起因するテスト結果の不確実性を考慮して設けた。1ヶ所の電流源に対する計測・テストは複数回行われ、FAIL 数 (#of Failure) が一定数以上に達した時点で不良品と判定し、強制的にテストを終了する。複数回の計測・テスト全てを実施し、FAIL 数が一定数以上に達しなかった場合は良品と判定する。ただし図では、説明を簡単にするため、1ヶ所の電流源に対して 1 回の計測・テストを行う例を示している。テスト動作は 〈3・1〉 で述べた通りである。

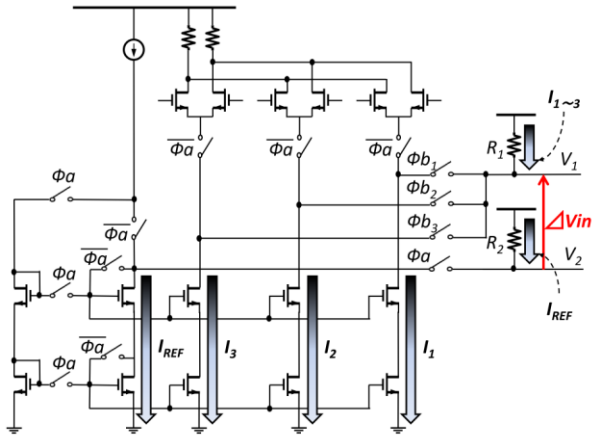


図 7 DAC の電流源ミスマッチを計測・テストする例  
—DAC の電流誤差を電位差に変換する—

Fig.7 Example of measurement and test for current source mismatch in a current-steering DAC. —Conversion of current mismatch in a DAC into voltage difference.—

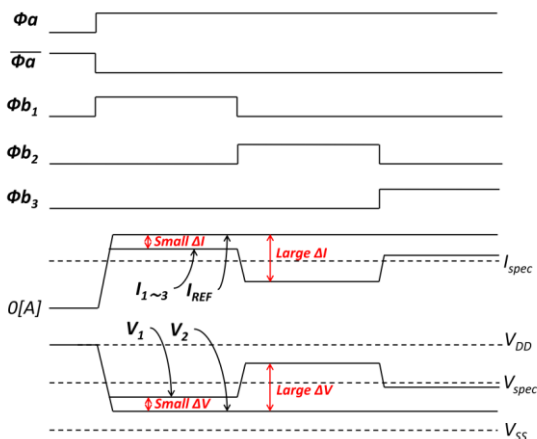


図 8 図 7 に対応するタイミングチャート  
Fig8. Timing chart in Fig.7.

### 〈3・3〉 シミュレーション結果

7bit 電流ステアリング DAC (電流源数 7:  $I_1 \sim I_7$ ) の各電流源ミスマッチに起因する電流誤差の計測・テストを行ったシミュレーション結果を表 1 に示す. 図中の  $\Delta I$  はコピー電流と参照電流の差 ( $\Delta I = I_i - I_{ref}$ ;  $i=1 \sim 7$ ) を,  $\Delta V$  は  $\Delta I$  を電圧に変換した値 ( $\Delta V = V_i - V_{ref}$ ;  $i=1 \sim 7$ ) である. シミュレーションでは, 1ヶ所の電流源の計測・テストに対して 10 回のテストを行った.  $C_{spec} = 13$  (電流誤差の絶対値: 10.3 $\mu$ A に対応) と設定し, 計測値  $C_{count}$  が  $C_{count} < C_{spec}$  の条件を満たしたとき, Compare は FAIL と判定し, Counter は #of Failure をカウントアップする. 電源電圧変動として  $V_{pp} = 66.7$ mV の電源ノイズを与えた. シミュレーションには spectre, TSMC180nmCMOS プロセスを, コンパレータには文献<sup>9)</sup>の回路を用いた.

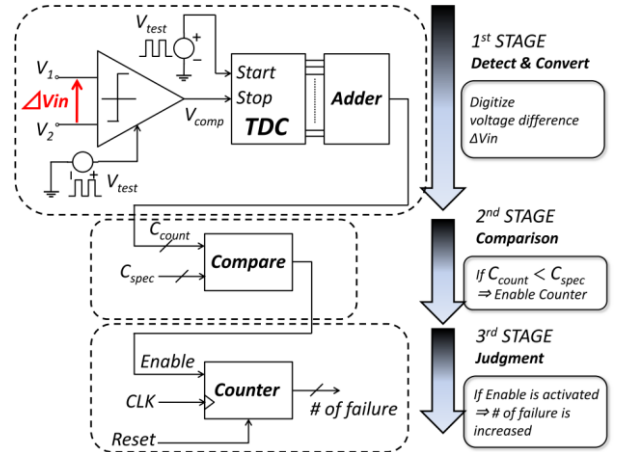


図 9 DAC の電流源ミスマッチを計測・テストする例  
—アナログテスト容易化回路による計測・テスト—

Fig.9 Example of measurement and test for current source mismatch in a DAC. —Measurement and test by the proposed analog circuit testing scheme.—

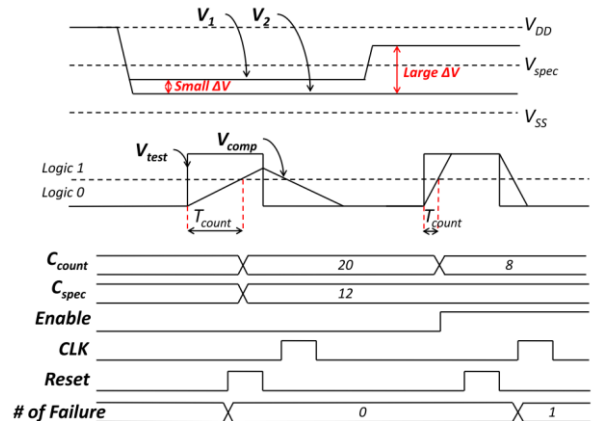


図 10 図 9 に対応するタイミングチャート  
Fig.10. Timing chart in Fig.9.

表 1 7bit-DAC の電流源ミスマッチを計測・テストしたシミュレーション結果

Table.1 Simulation result of measurement and test for current source mismatch in the 7bit-DAC.

	$\Delta I$ [ $\mu$ A]	$\Delta V$ [mV]	$C_{count}$	#of Failure	Testing Result
11	-18.2	163.1	10	10	FALSE
12	-11.7	105.8	12	10	FALSE
13	-5.7	51.4	16, 17	0	PASS
14	0	0	24, 25, 26	0	PASS
15	5.6	-48.4	16, 17	0	PASS
16	10.3	-93.5	13	0	PASS
17	15.1	-135	11	10	FALSE

シミュレーション結果より、入力電位差が小さくなるほど（出力遅延時間が長くなるほど）ばらつきの影響を大きく受けるので、計測・テスト回数を多く設定する必要があることがわかる。

#### 4. まとめ

アナログ回路のテスト・コスト削減のため、アナログテスト容易化技術の確立が求められている。本研究ではコンパレータの出力遅延時間に着目し、これを新しい計測・テスト回路へ応用することを検討した。コンパレータの出力遅延時間は入力電位差の大きさに対して、逆比例の関係を持つ。この関係を積極的に利用した提案手法では、被計測値が小さいほど高分解能な計測が可能である（ただし電源電圧・温度変動に対する対策が必要になる）。応用例として MOSFET 間のミスマッチに起因する電圧誤差をコンパレータに入力し、その誤差量（ミスマッチの程度）を計測・テストするアナログテスト容易化回路について検討し、その動作をシミュレーションで確認した。

**謝辞** 有意義な御討論をいただきました、小林修氏、松浦達治氏、高井伸和氏、新津葵一氏、山口隆弘氏、辻将信氏、梅田定美氏、土橋則亮氏、塩田良治氏、渡邊雅史氏、ならびにこの研究をご支援頂いています STARC に謝意を表します。

#### 文 献

- (1) 小林春夫, 山口隆弘「デジタルアシスト・アナログテスト技術・ナノ CMOS 時代のアナログ回路テスト技術」電子情報通信学会, 集積回路研究会 (2010年7月)
- (2) 小林春夫「ミックスドシグナル SoC テスト容易化技術への挑戦」SEMICON Japan 2010 SEMI テクノロジー・シンポジウム STS テストセッション (2010年12月)
- (3) 小林春夫, 新津葵一, 高井伸和, 山口隆弘「デジタルアシスト・アナログ RF テスト技術-サブ 100nm ミックスドシグナル SoC のテストの検討-」電子情報通信学会 総合大会 (2011年3月)
- (4) Jon Guerber, Manideep Gande, Hariprasath Venkatram, Allen Waters and Un-Ku Moon, "A 10b Ternary SAR ADC with Decision Time Quantization Based Redundancy", IEEE Asian Solid-State Circuits Conference (Nov. 2011)
- (5) Phillip E. Allen and Douglas R. Holberg, "CMOS Analog Circuit Design Second Edition", Oxford University Press, pp.477-480 (2002).
- (6) 伊藤聡志, 小林春夫, 上森聡史, 丹陽平, 高井伸和, 山口隆弘「自己校正・自己診断機能を備えたタイムデジタル回路」電気学会 電子回路研究会, 北海道 (2010年6月)
- (7) S. Ito, S. Nishimura, H. Kobayashi, S. Uemori, Y. Tan, N. Takai, T. J. Yamaguchi, K. Niitsu, "Stochastic TDC Architecture with Self-Calibration," IEEE Asia Pacific Conference on Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- (8) S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, F. Abe, D. Hirabayashi, "Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Taipei, Taiwan (May 2012).
- (9) M.Miyahara, Y.Asada, D.Paik and A.Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs", IEEE Asian Solid-State Circuits Conference, pp269-272, Fukuoka (Nov.2008) .

#### 付 録

##### 提案手法の回路設計上の課題

(1) 用いたコンパレータ回路の出力遅延時間は入力電位差の他に、入力コモンモード電圧にも影響を受ける。2節で述べたコンパレータの出力遅延時間の式を再掲する。

$$t = (T) \ln[Va / \Delta V_{in}] \dots (2)$$

また、時定数  $T$  は次の式で表せる。

$$T = \frac{C_{out}}{g_m} \dots (5)$$

$g_m$  は入力トランジスタの相互コンダクタンスを、 $C_{out}$  は出力端子の寄生容量をそれぞれ表す。これらのパラメータの内、 $g_m$  は入力コモンモード電圧の大きさに影響を受ける。そのため、入力コモンモード電圧が大きくなる  $\rightarrow g_m$  が大きくなる  $\rightarrow$  時定数  $T$  が小さくなる  $\rightarrow$  出力遅延時間が短くなる、といったようにコンパレータの出力遅延時間は入力コモンモード電圧からも影響を受けることになる。図 11 に、入力コモンモード電圧に対するコンパレータの出力遅延時間の関係を求めた SPICE シミュレーション結果を示す。また図 12 に、入力電位差 ( $\Delta V_{in}$ ) と入力コモンモード電圧 ( $V_{CM}$ ) が、それぞれ出力遅延時間に与える影響を簡単にまとめた。図 12 より、基準とする電圧 ( $V_{ref}$ ) と被テスト対象の電圧 ( $V_{in}$ ) との誤差量を計測する際に、次の点が問題となることがわかる。 $V_{in} < V_{ref}$  の場合において、 $\Delta V_{in}$  に対するコンパレータの出力遅延時間の変化量が線形ではなくなる。これは、 $V_{in} < V_{ref}$  の場合において、 $\Delta V_{in}$  が大きくなると  $V_{CM}$  が小さくなり、また  $\Delta V_{in}$  が小さくなると  $V_{CM}$  が大きくなることに依る。この場合の出力遅延時間の変化量は、 $\Delta V_{in}$  と  $V_{CM}$  の変化により受ける影響が相反するため、非線形となる。したがって本提案手法をそのまま用いた場合、同じ  $\Delta V_{in}$  を計測しても、 $V_{CM}$  の値によって計測結果が変わってしまう。そこで、コンパレータの前段にコモンモード・フィードバック回路を備えた全差動増幅回路を接続するなどして、コンパレータに与える  $V_{CM}$  を一定にする対策が必要となる。このとき設定する  $V_{CM}$  の値が小さいほど出力遅延時間は長くなるため、計測の分解能が向上する。

(2) もう一つの課題として、コンパレータのオフセット電圧による影響がある。同じ電位差を入力しても、コンパレータにオフセット電圧があることで、 $V_{in} > V_{ref}$  ( $\Delta V_{in} > 0$ ) の場合と  $V_{in} < V_{ref}$  ( $\Delta V_{in} < 0$ ) の場合での出力遅延時間にずれが生じる。この関係を求めた SPICE シミュレーション結果 ( $V_{CM} = 550\text{mV}$  に設定) を図 13 に示す。対策として、 $V_{ref}$  をコンパレータの非反転入力端子に入力した場合と、反転入力端子に入力した場合 (それぞれの場合において、 $V_{in}$  はもう一方の端子へ入力する) の出力遅延時間をそれぞれ計測し、計測後に加算回路で加算した値を計測値とする方法が考えられる。

表 2、表 3 は  $V_{CM}$  及びオフセット電圧がコンパレータの

出力遅延時間に与える影響を調べた SPICE シミュレーション結果である。また、このときのシミュレーション条件を図 14 に示す ( $V_{CM}=550mV$  に設定)。コモンモード・フィードバック回路を備えた全差動増幅回路をコンパレータ前段に設けたことで  $V_{CM}$  の影響が減少した。今後はこれらの回路設計上の課題を解決していく。

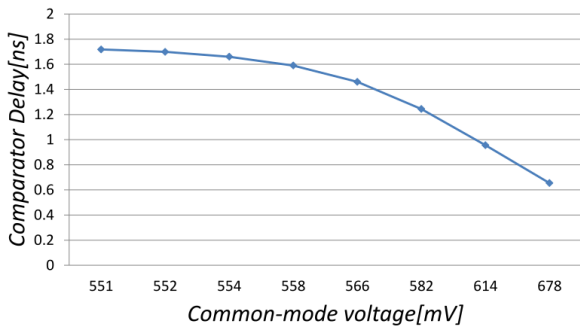


図 11 入力コモンモード電圧に対する出力遅延時間の関係を求めた SPICE シミュレーション結果

Fig.11 SPICE Simulation results of the input common-mode voltage vs the comparator delay.

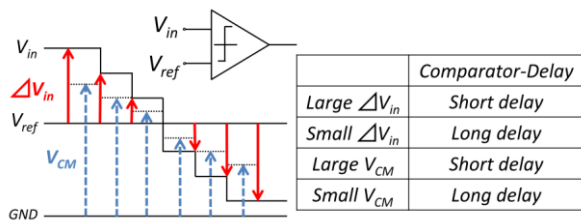


図 12 入力電位差と入力コモンモード電圧がコンパレータの出力遅延時間に与える影響

Fig.12 Influence of the input voltage difference and the input common-mode voltage to the comparator delay.

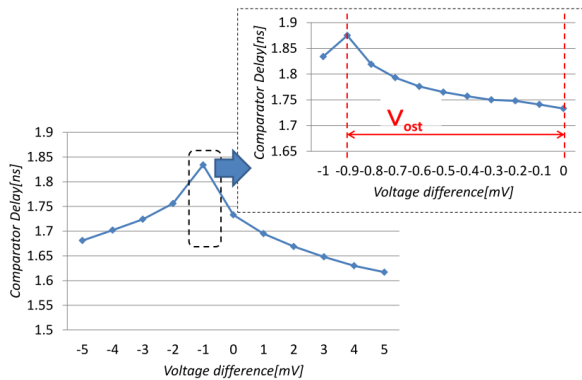


図 13 コンパレータのオフセット電圧による影響  
Fig13 Influence of the comparator's offset.

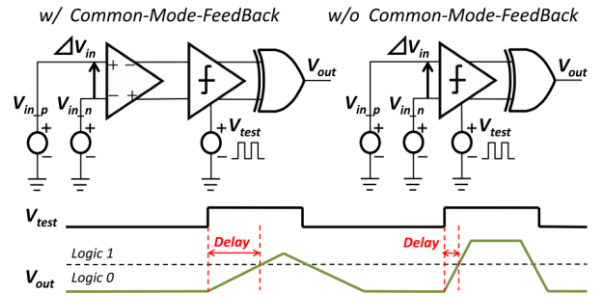


図 14 シミュレーション条件 (表 2表 3に対応)  
Fig.14 SPICE simulation conditions.  
(corresponding to Table2, Table3).

表 2 シミュレーション結果 (w/o CMFB)  
Table.2 SPICE simulation results  
(w/o CMFB).

Simulation Result 1				Simulation Result 2			
$V_{in\_p}$ [mV]	$V_{in\_n}$ [mV]	$\Delta V_{in}$ [mV]	delay[ns]	$V_{in\_p}$ [mV]	$V_{in\_n}$ [mV]	$\Delta V_{in}$ [mV]	delay[ns]
552	550	2	1.78	550	552	-2	1.67
554	550	4	1.699	550	554	-4	1.62
558	550	8	1.606	550	558	-8	1.54
566	550	16	1.464	550	566	-16	1.408
582	550	32	1.251	550	582	-32	1.196
614	550	64	0.9526	550	614	-64	0.9011
678	550	128	0.6479	550	678	-128	0.6048
806	550	256	0.4436	550	806	-256	0.4027

Simulation Result 3				Simulation Result 4			
$V_{in\_p}$ [mV]	$V_{in\_n}$ [mV]	$\Delta V_{in}$ [mV]	delay[ns]	$V_{in\_p}$ [mV]	$V_{in\_n}$ [mV]	$\Delta V_{in}$ [mV]	delay[ns]
550	548	2	1.816	548	550	-2	1.709
550	546	4	1.775	546	550	-4	1.696
550	542	8	1.759	542	550	-8	1.686
550	534	16	1.746	534	550	-16	1.683
550	518	32	1.744	518	550	-32	1.674
550	486	64	1.72	486	550	-64	1.654
550	422	128	1.699	422	550	-128	1.631
550	294	256	1.684	294	550	-256	1.617

表 3 シミュレーション結果 (w/ CMFB)  
Table.3 SPICE simulation results  
(w/ CMFB).

Simulation Result 1				Simulation Result 2			
$V_{in\_p}$ [mV]	$V_{in\_n}$ [mV]	$\Delta V_{in}$ [mV]	delay[ns]	$V_{in\_p}$ [mV]	$V_{in\_n}$ [mV]	$\Delta V_{in}$ [mV]	delay[ns]
552	550	2	1.669	550	552	-2	1.757
554	550	4	1.628	550	554	-4	1.703
558	550	8	1.569	550	558	-8	1.632
566	550	16	1.472	550	566	-16	1.525
582	550	32	1.283	550	582	-32	1.343
614	550	64	1.014	550	614	-64	1.068
678	550	128	0.7261	550	678	-128	0.7716
806	550	256	0.526	550	806	-256	0.5642

Simulation Result 3				Simulation Result 4			
$V_{in\_p}$ [mV]	$V_{in\_n}$ [mV]	$\Delta V_{in}$ [mV]	delay[ns]	$V_{in\_p}$ [mV]	$V_{in\_n}$ [mV]	$\Delta V_{in}$ [mV]	delay[ns]
550	548	2	1.671	548	550	-2	1.761
550	546	4	1.632	546	550	-4	1.7
550	542	8	1.568	542	550	-8	1.634
550	534	16	1.466	534	550	-16	1.527
550	518	32	1.281	518	550	-32	1.344
550	486	64	1.017	486	550	-64	1.067
550	422	128	0.7249	422	550	-128	0.7703
550	294	256	0.5241	294	550	-256	0.5683