

# 確率的時間ディジタイザ回路の 自己校正技術

群馬大学大学院工学研究科  
電気電子工学専攻  
修士2年

土井 佑太

# アウトライン

- 研究背景
- 時間ディジタイザ回路 (TDC)
- 自己校正アルゴリズム
- バーニア型確率的TDCへの自己校正技術の適用
- まとめ

# アウトライン

- 研究背景
- 時間ディジタイザ回路 (TDC)
- 自己校正アルゴリズム
- バーニア型確率的TDCへの自己校正技術の適用
- まとめ

# 研究背景

## ◆ プロセスの微細化

高速動作

耐圧低下 ( $V_{dd} \rightarrow$  小), ドレイン抵抗  $\rightarrow$  小

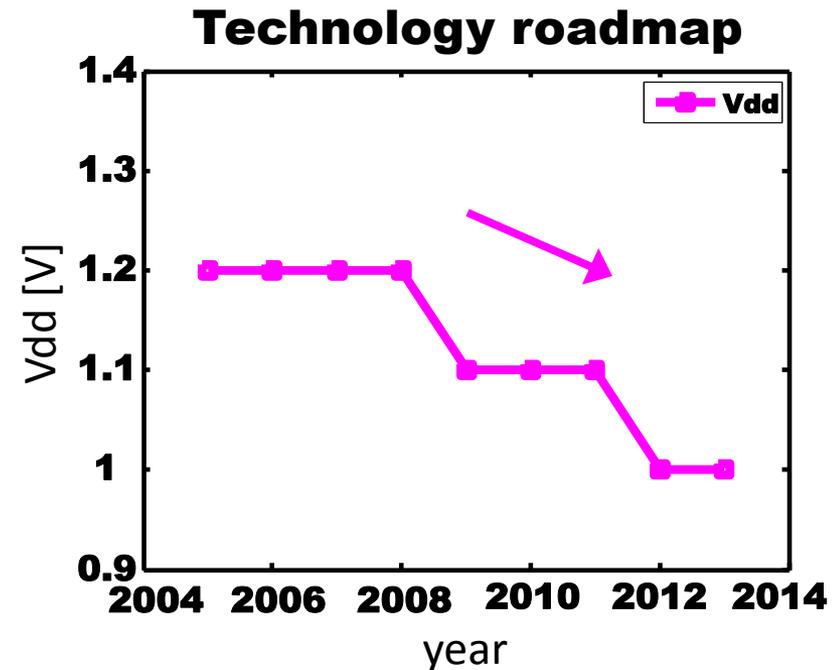
従来の電圧分解能型アナログ回路

- ・利得が低下
- ・素子バラつきが増大
- ・低電圧化によりS/Nが劣化



時間分解能型アナログ回路の開発が重要

時間ディジタイザ回路(TDC)は時間分解能型アナログ回路のキーコンポーネント



# 研究目的

- 高時間分解能TDCアーキテクチャ
  - ◆ バーナリア型TDC
  - ◆ 確率的TDC
    - ⇒ 線形性に問題



- ◆ リング発振回路構成
  - ◆ ヒストグラム法
- を用いた自己校正技術による  
**線形性の改善**を目指す

# アウトライン

## ■ 研究背景

## ■ 時間ディジタイザ回路 (TDC)

- 基本TDC
- バーナリア型TDC
- 確率的TDC
- バーナリア型確率的TDC

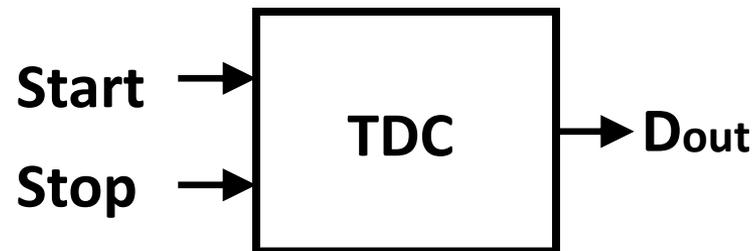
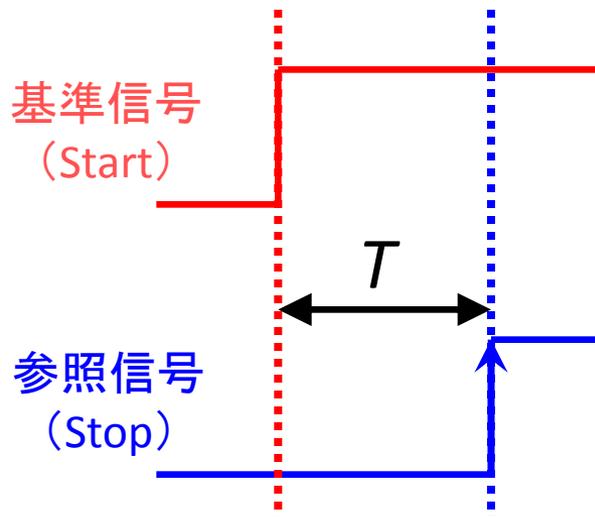
## ■ 自己校正アルゴリズム

## ■ バーナリア型確率的TDCへの自己校正技術の適用

## ■ まとめ

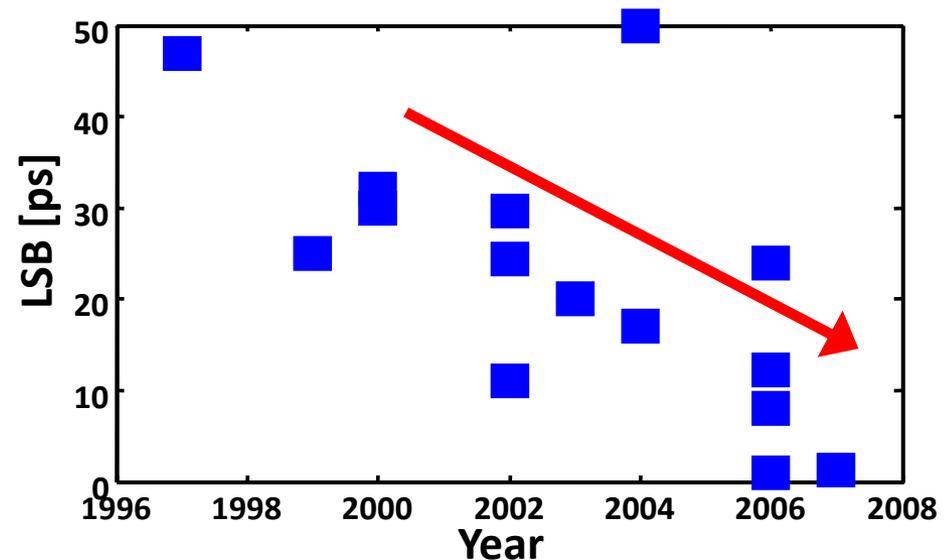
# 時間ディジタイザ回路 (Time-to-Digital Converter: TDC)

- 時間間隔 → 計測 → デジタル値



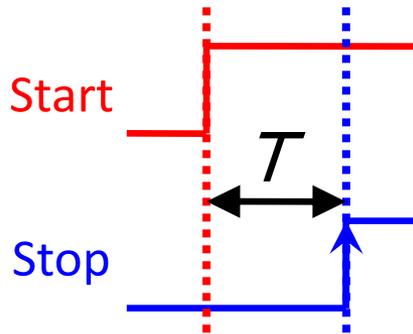
- 時間領域アナログ回路のキーコンポーネント
- 微細化とともに高時間分解能化

微細化とともに高分解能化

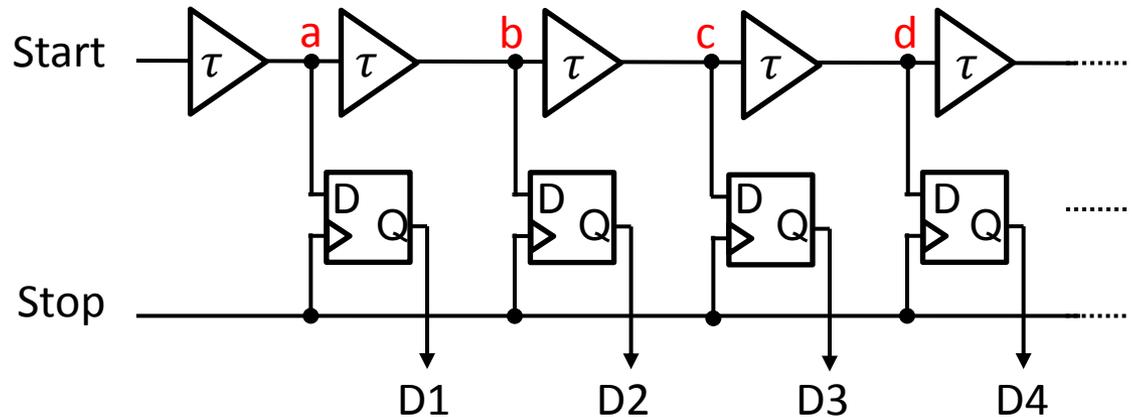
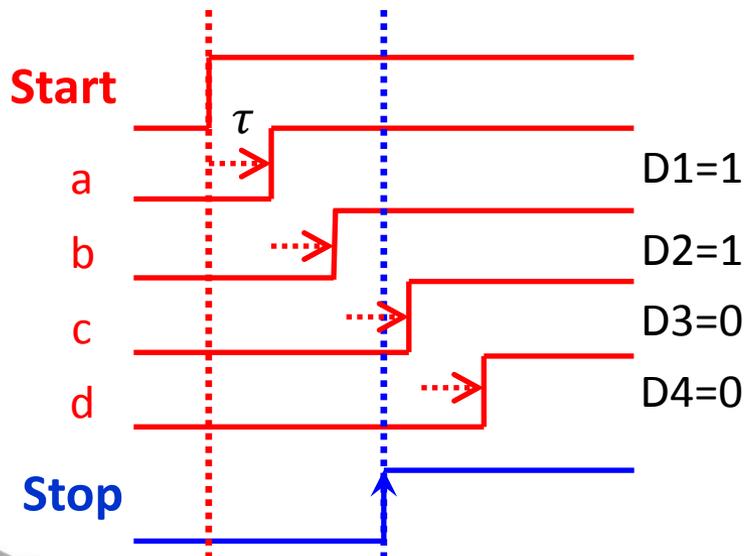


# 基本TDC

## ■ 時間間隔 → 計測 → デジタル値



タイミングチャート



Thermometer code

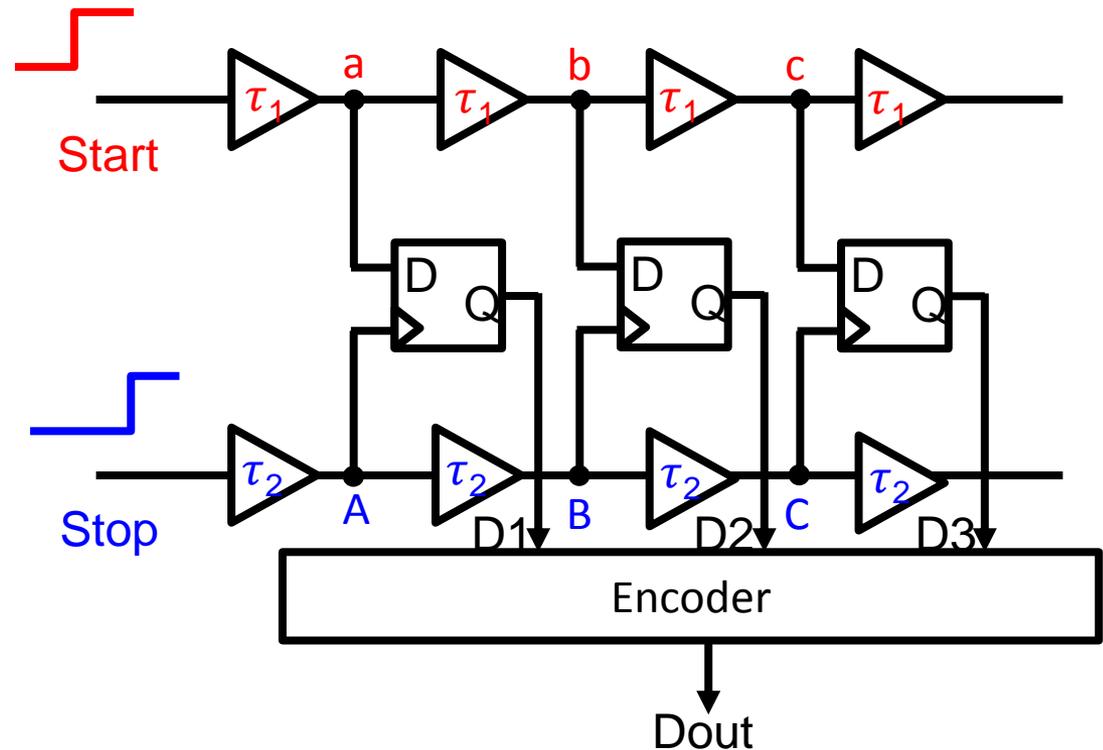
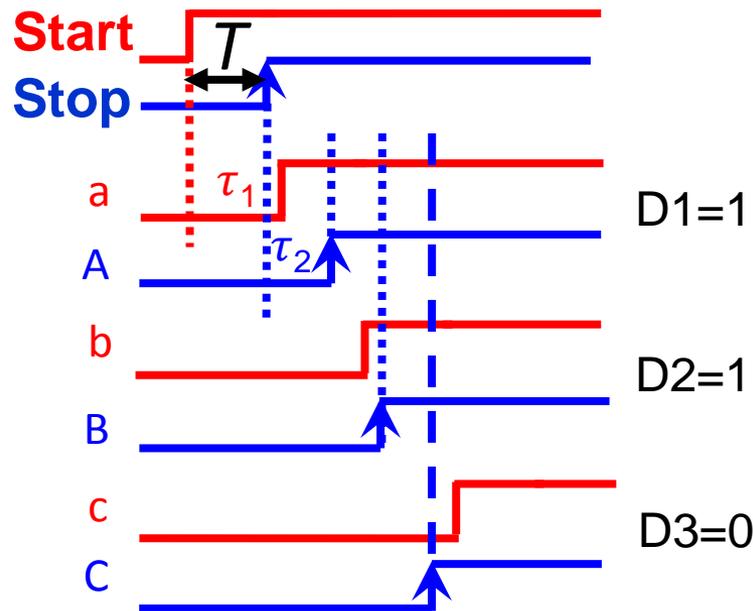
binary code

ディレイタップ何段に相当するかを測定

全てデジタル回路で実現  
CMOS微細化とともに高性能

# バーニア型TDC

タイミングチャート



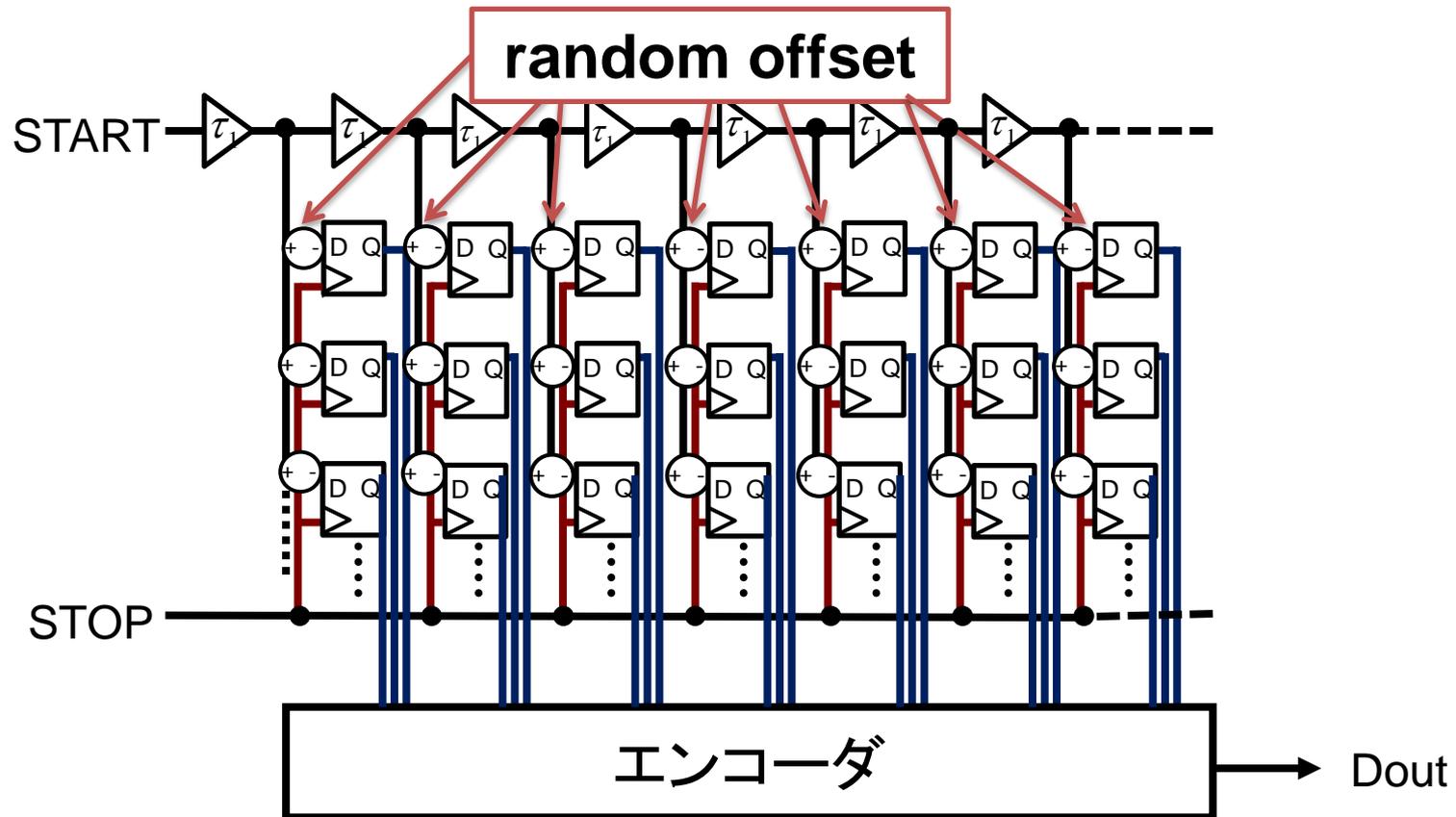
パルスエッジのレーシング

⇒ 時間間隔を測定

◆ 遅延時間関係:  $\tau_1 > \tau_2$

◆ 時間分解能:  $\tau_1 - \tau_2$

# 確率的TDC

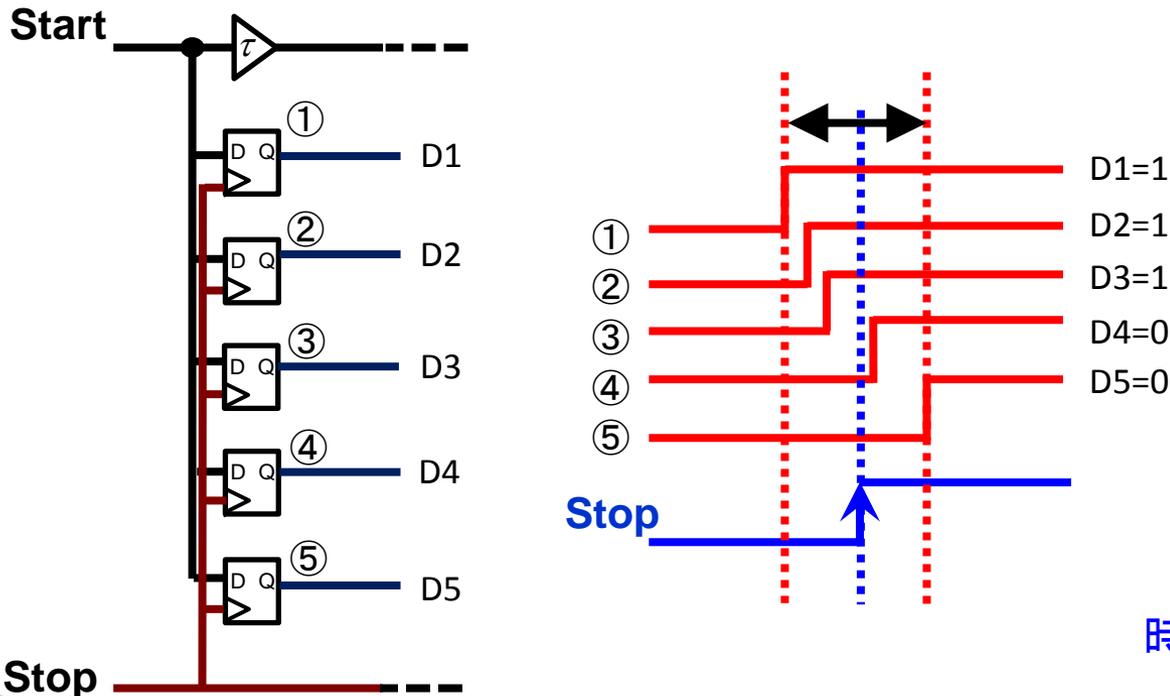
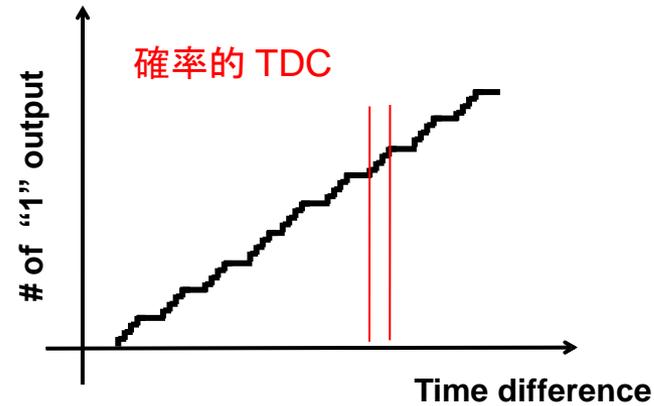
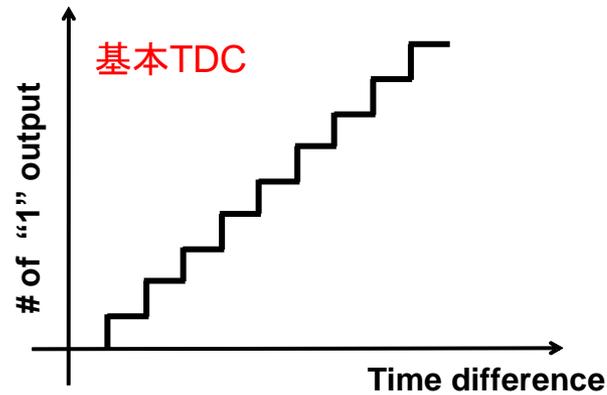


遅延バッファばらつき  
DFFランダムオフセット

あえて利用することで  
高時間分解能化

最小のトランジスタ  
で設計可能

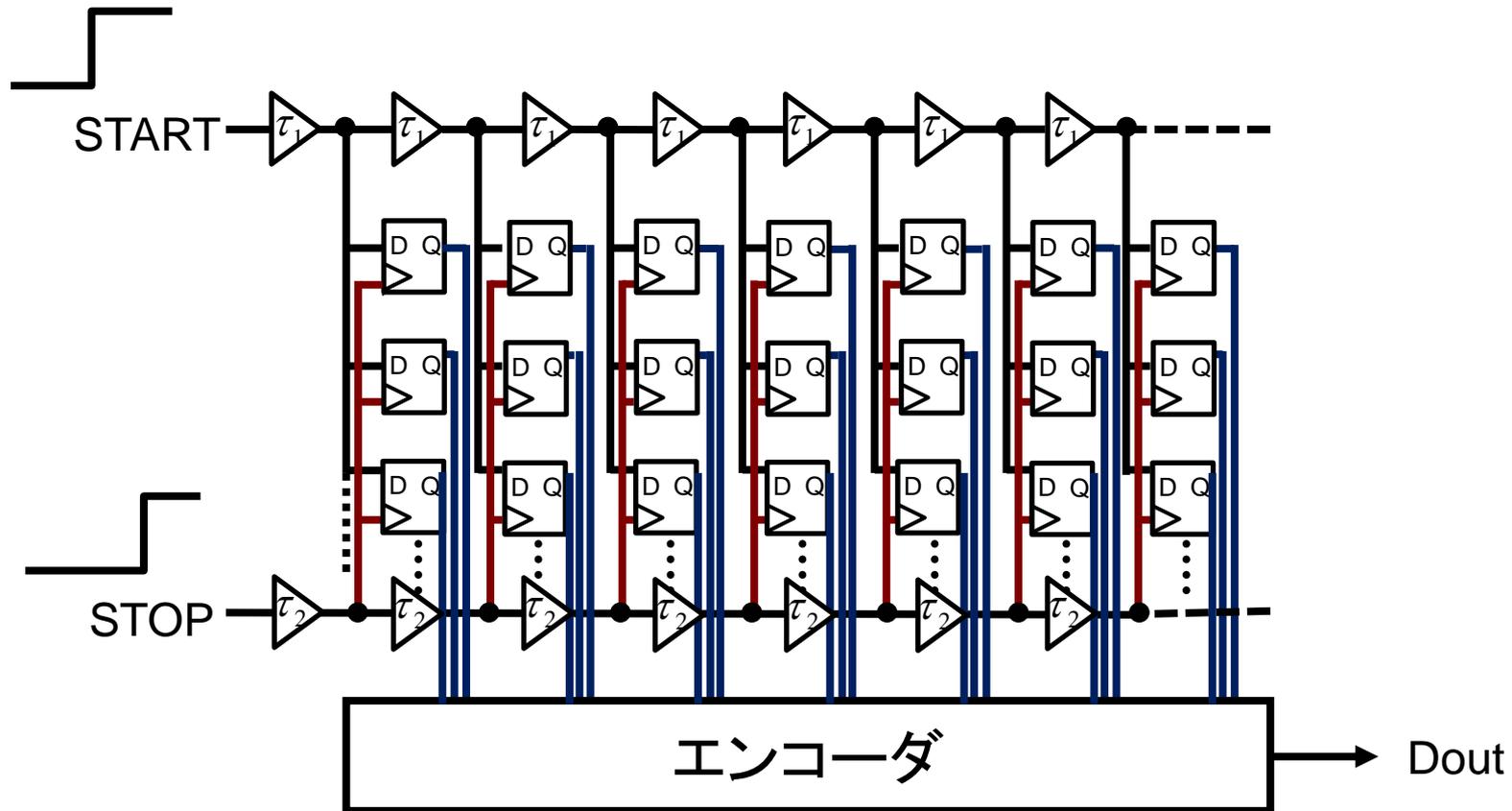
# 確率的TDCの動作



DFFの個数を増やすことで  
冗長性が上がる

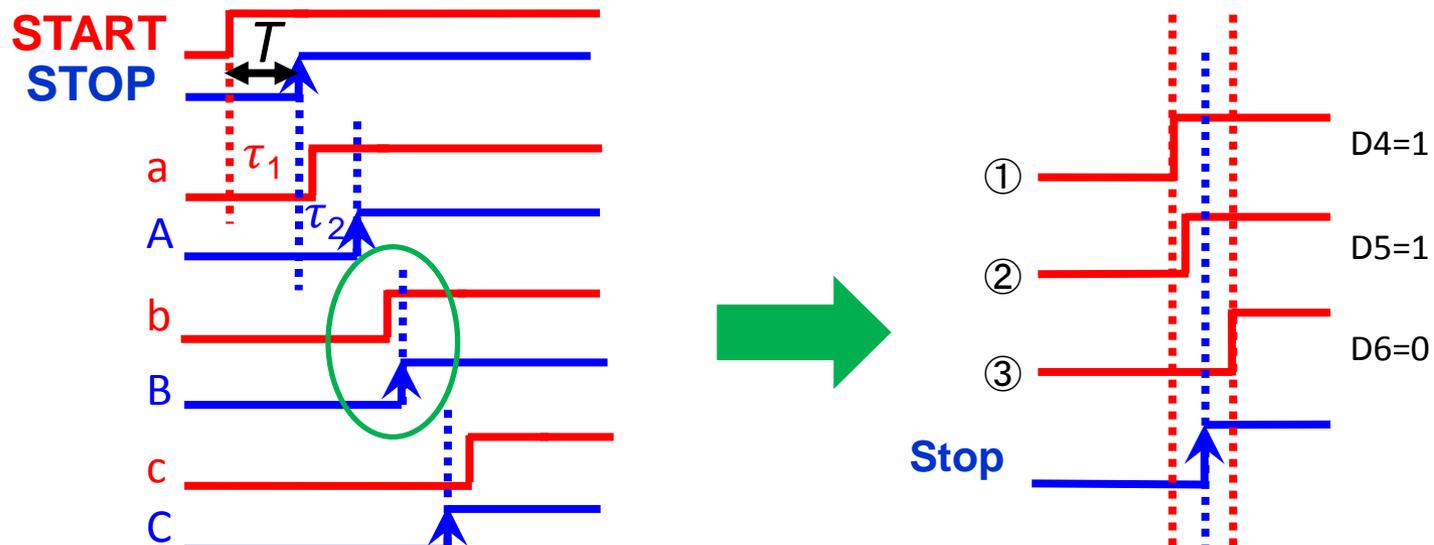
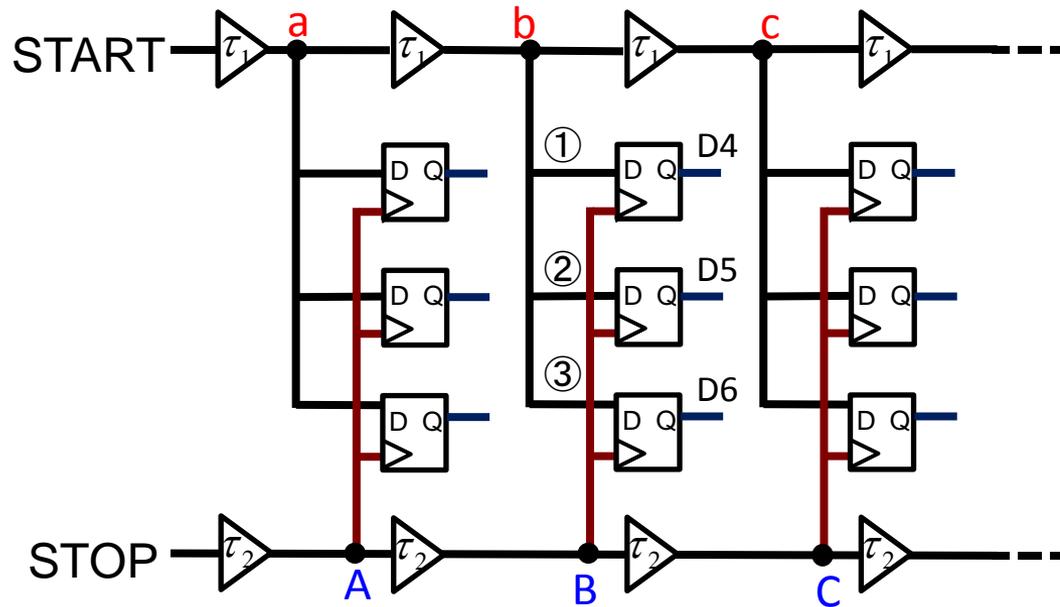
時間間隔測定に冗長を持たせる

# バーニア型確率的TDC



確率的TDCにバーニアディレイラインを適用  
⇒高時間分解能が期待

# バーニア型確率的TDCの動作

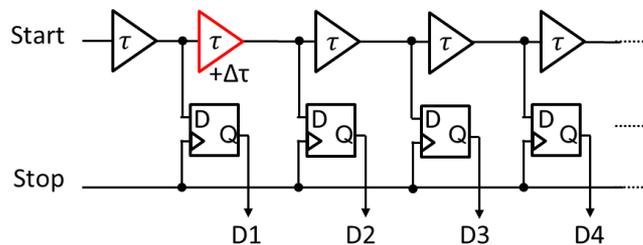
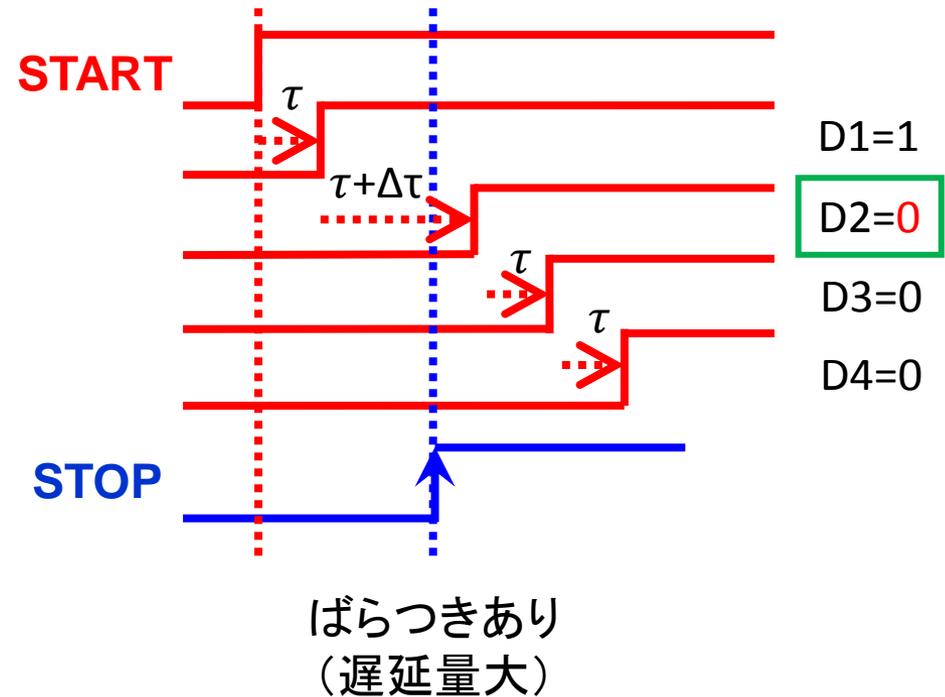
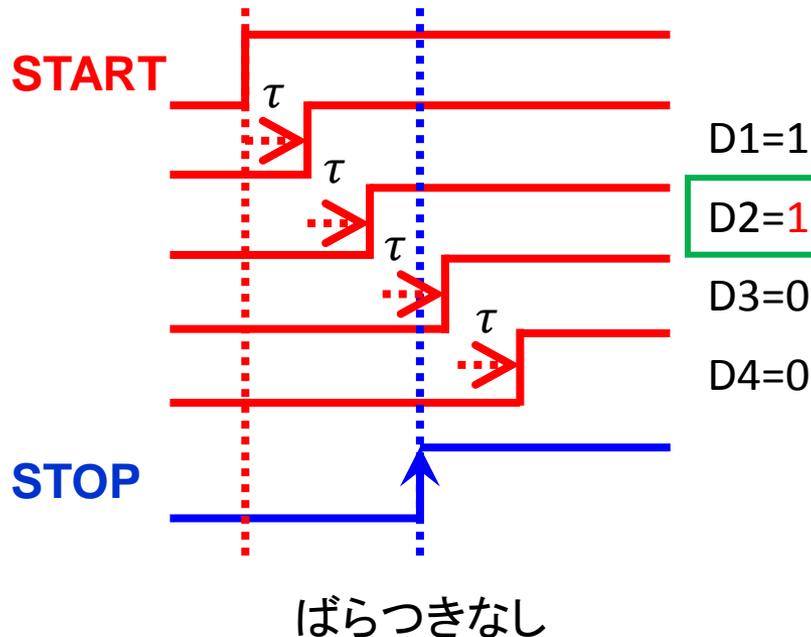


# アウトライン

- 研究背景
- 時間ディジタイザ回路 (TDC)
- **自己校正アルゴリズム**
- バーニア型確率的TDCへの自己校正技術の適用
- まとめ

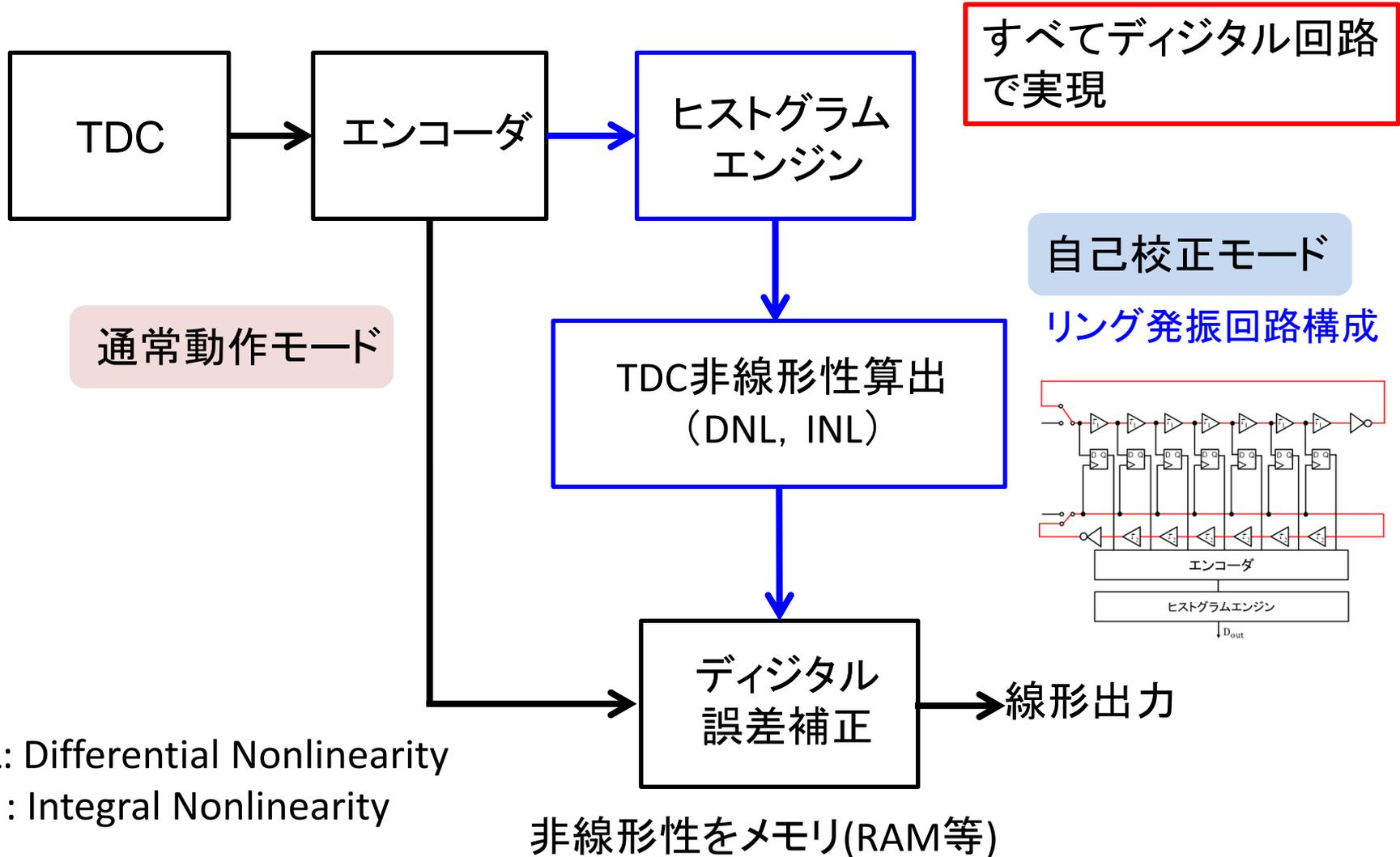
# 遅延ばらつきの影響

## 基本TDCタイミングチャート



例: 2つ目の遅延バッファのみをばらつかせた場合  
ばらつきなし  $\Rightarrow$  出力 D2=1  
ばらつきあり  $\Rightarrow$  出力 D2=0

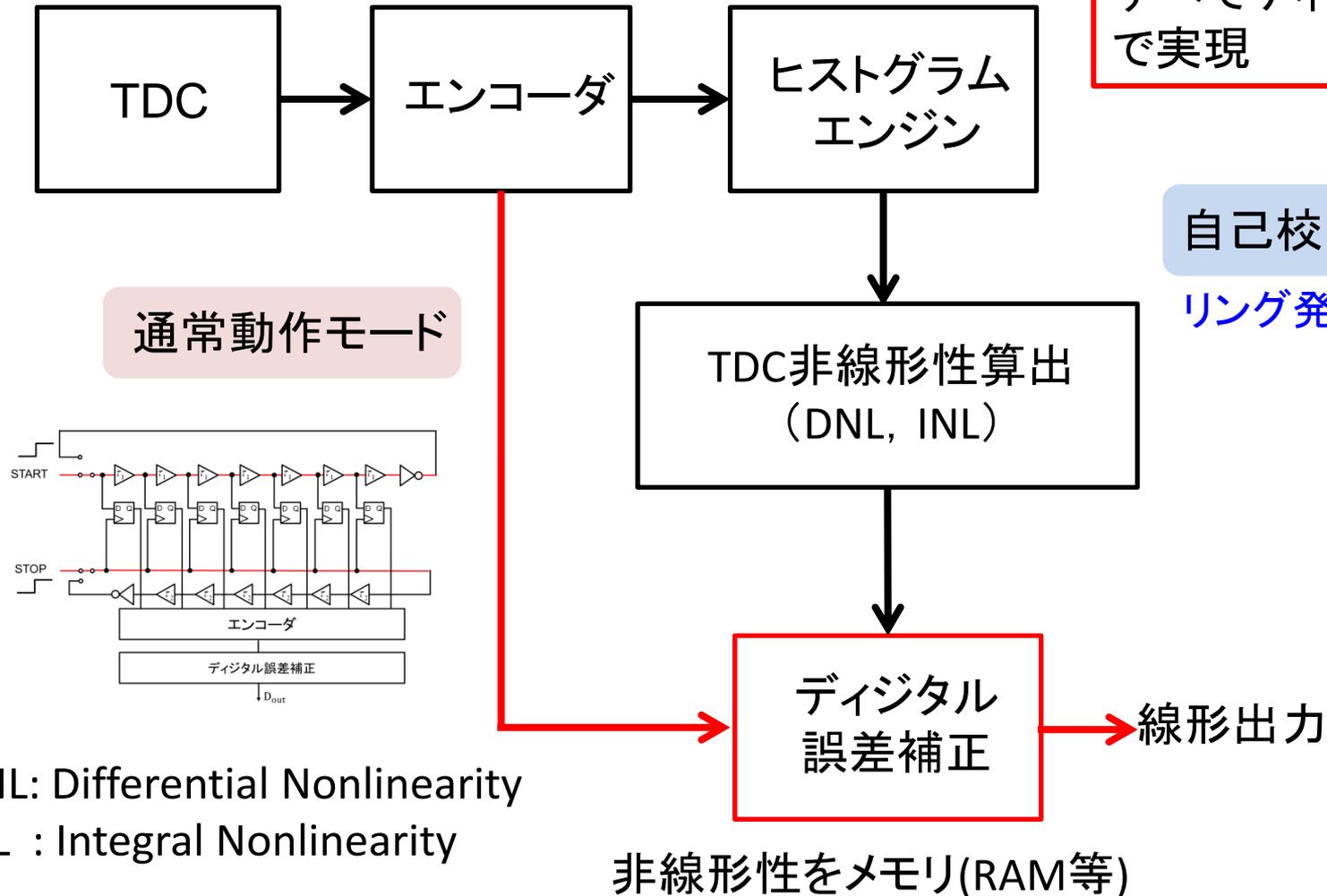
# 自己校正概要



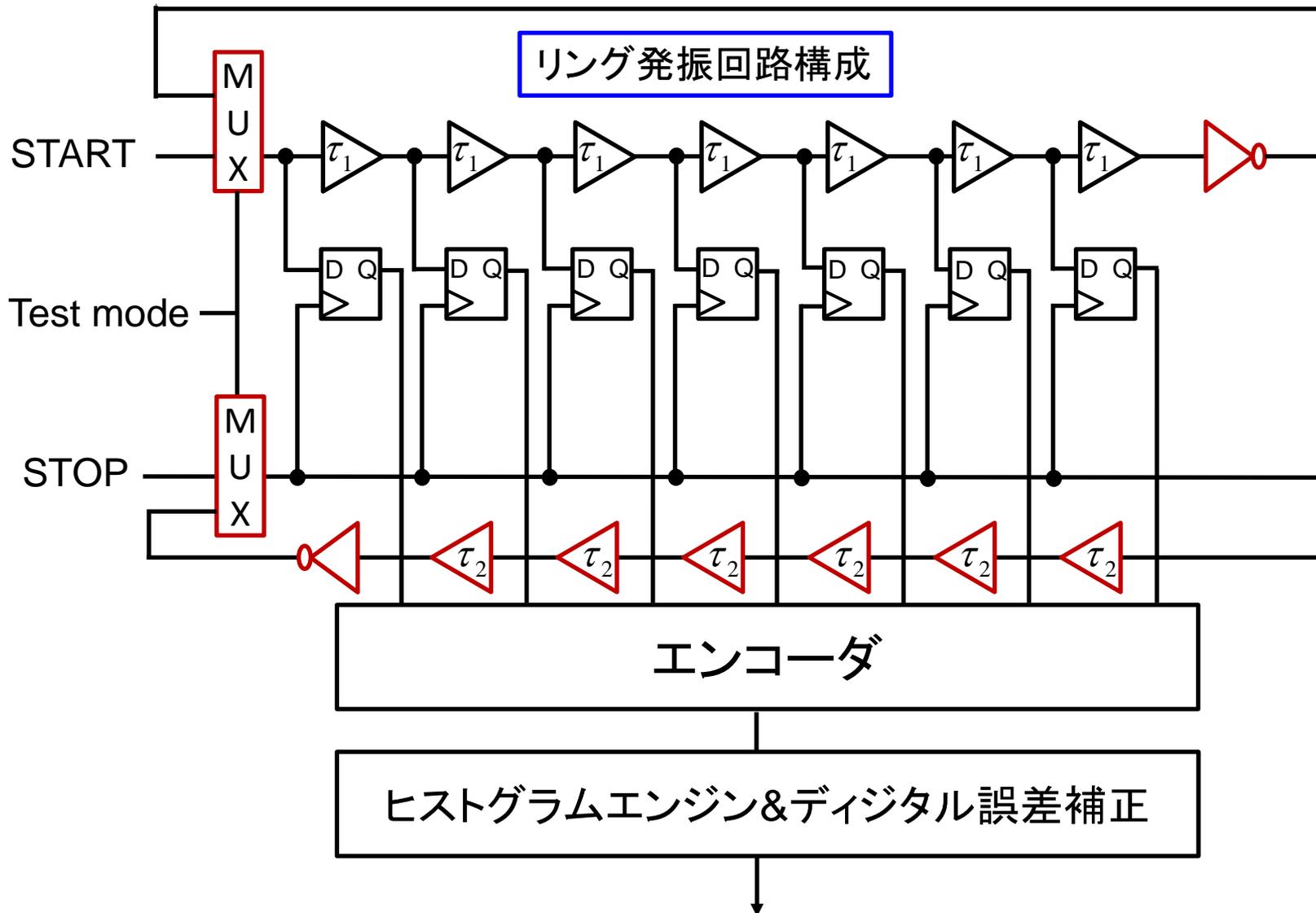
# 自己校正概要

すべてデジタル回路  
で実現

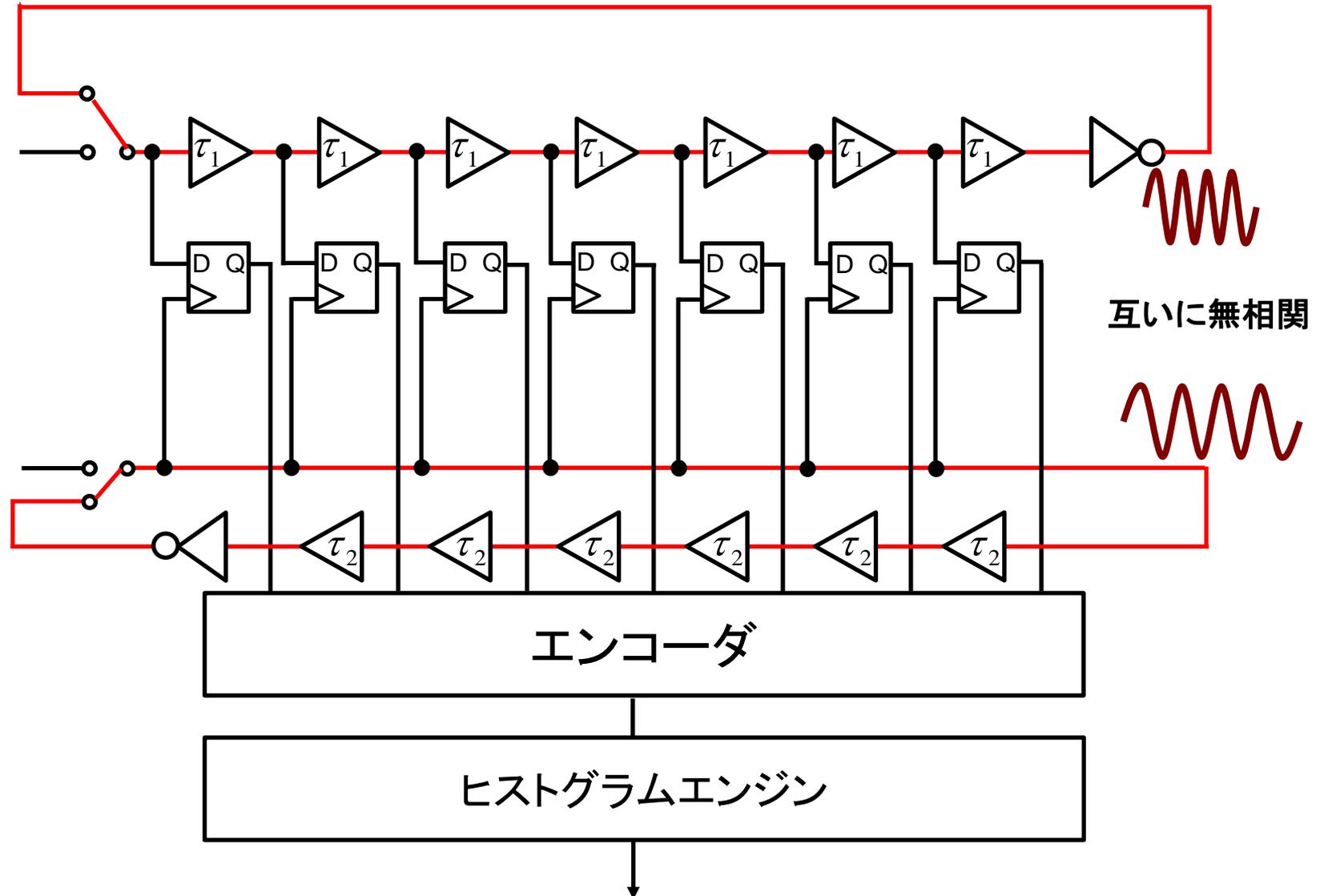
自己校正モード  
リング発振回路構成



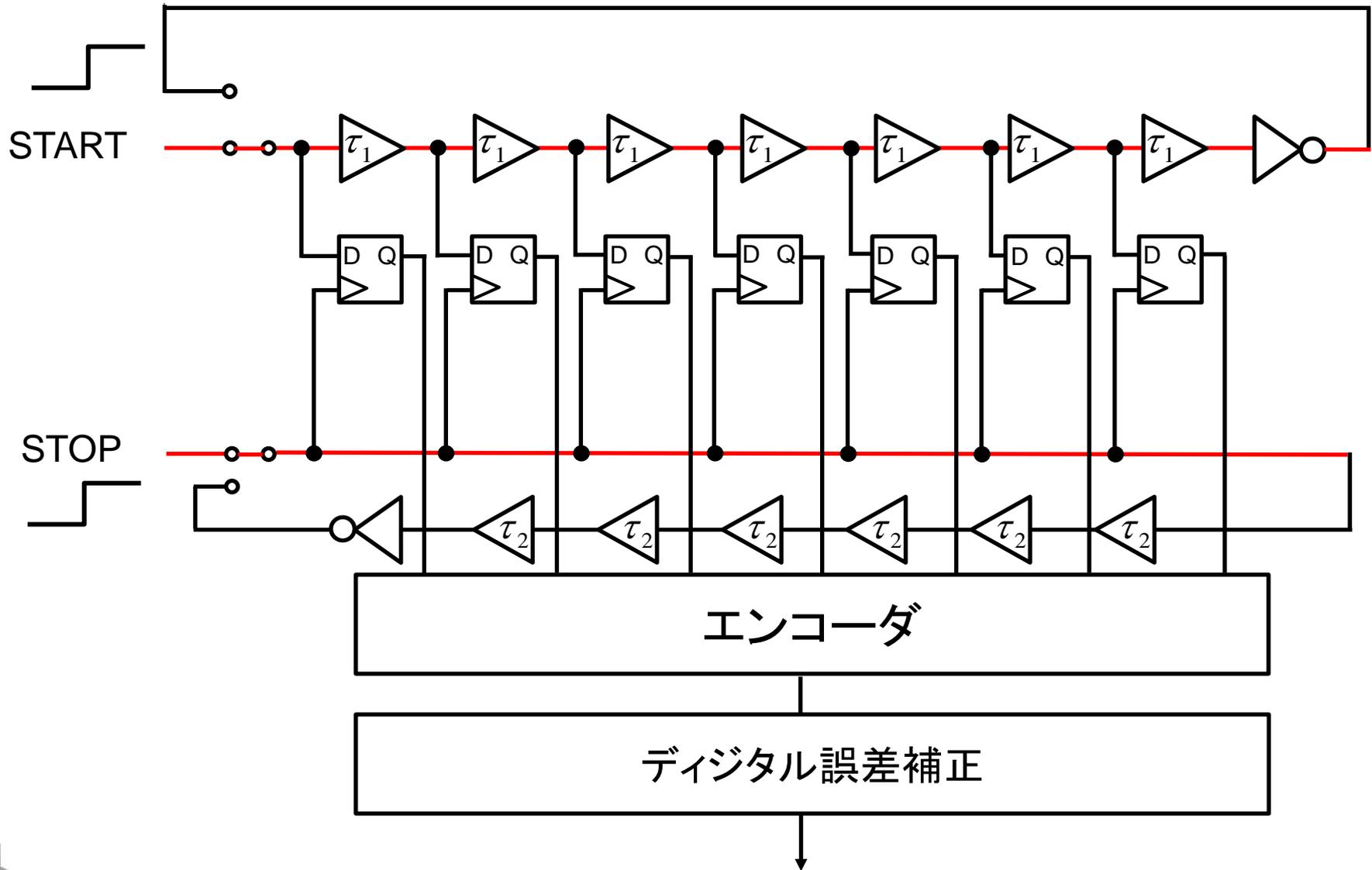
# 自己校正機能を備えたTDC回路



# 自己校正モード



# 通常動作モード



# 自己校正アルゴリズム

## 自己校正モード

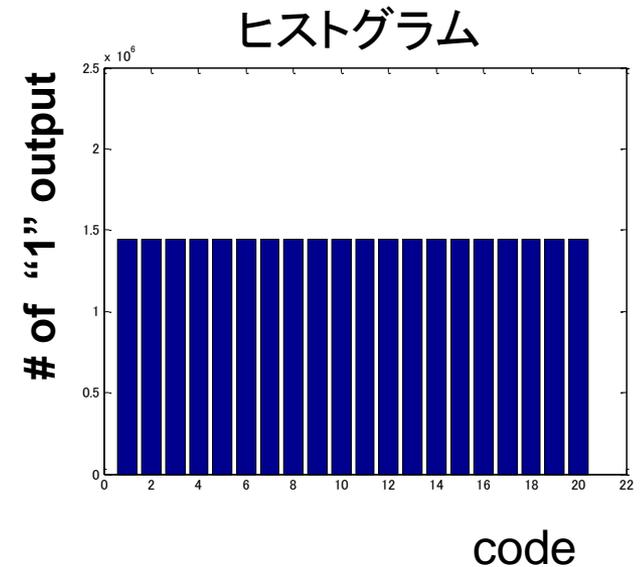
両方のリング発振器は同期していない(無相関)



TDCが完全に線形

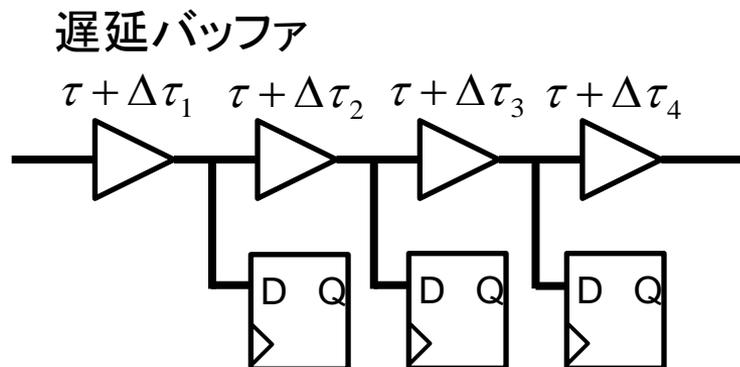
各出現コードの確率が等しい

- ・ 充分多くの点数をとれば各デジタルコードのヒストグラムは同一になる
- ・ TDCのヒストグラムデータからDNL, INL を計算

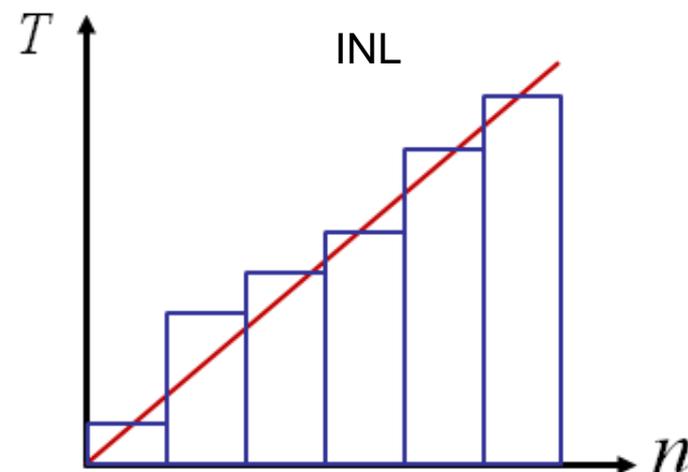
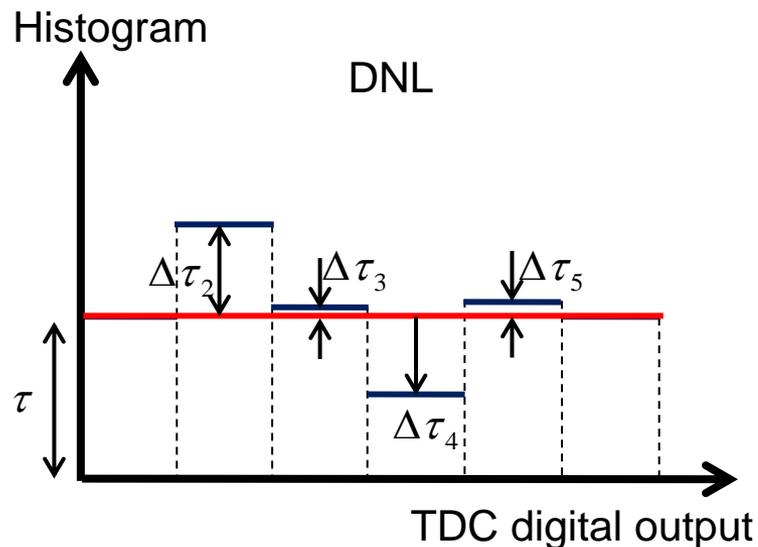


# 自己校正アルゴリズム

## 非線形TDC

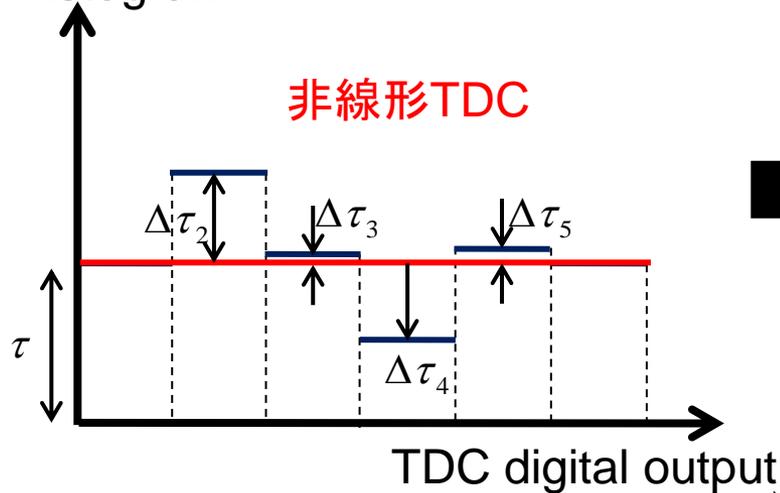


- ADCヒストグラムテスト:  
高純度なランプ波、正弦波が必要
- TDCヒストグラムテスト:  
リング発振構成でよい  
⇒ 容易にDNL測定が可能

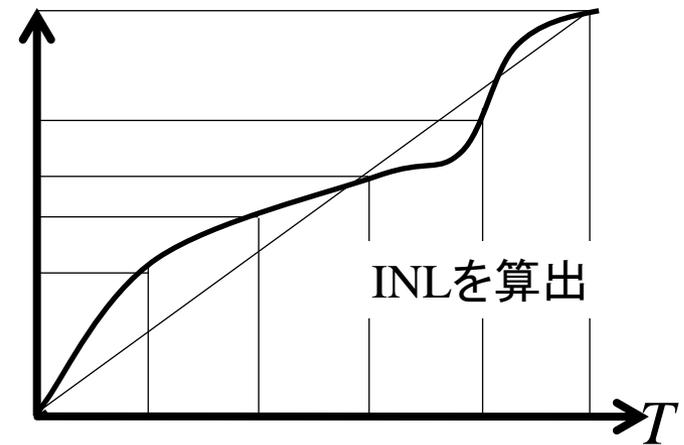


# 自己校正の手順

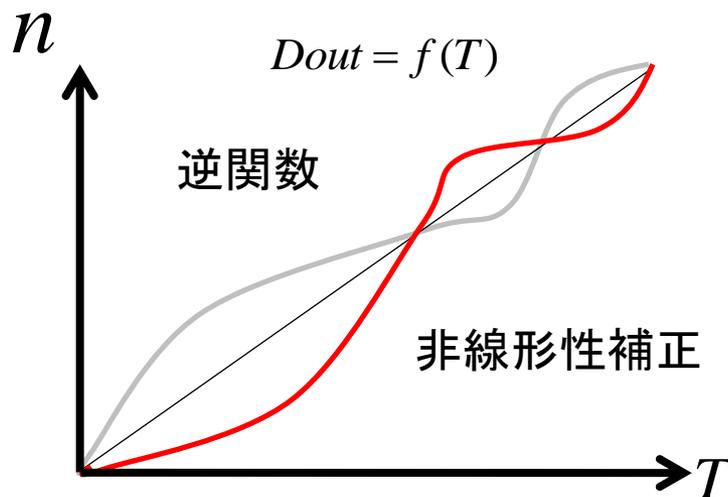
① Histogram



②  $n$



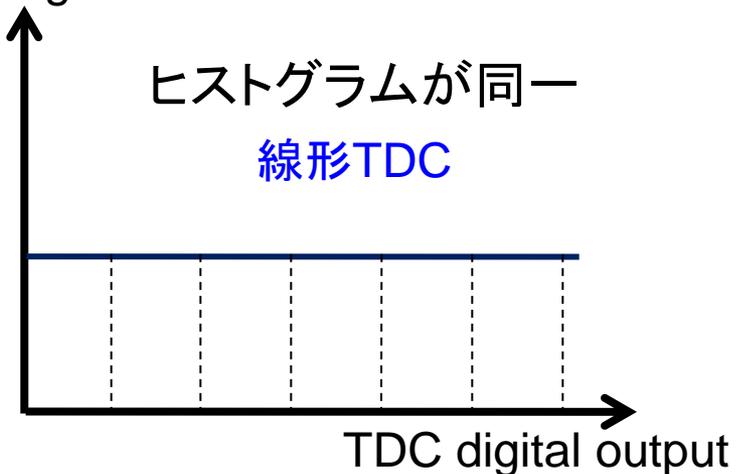
③



④

Histogram

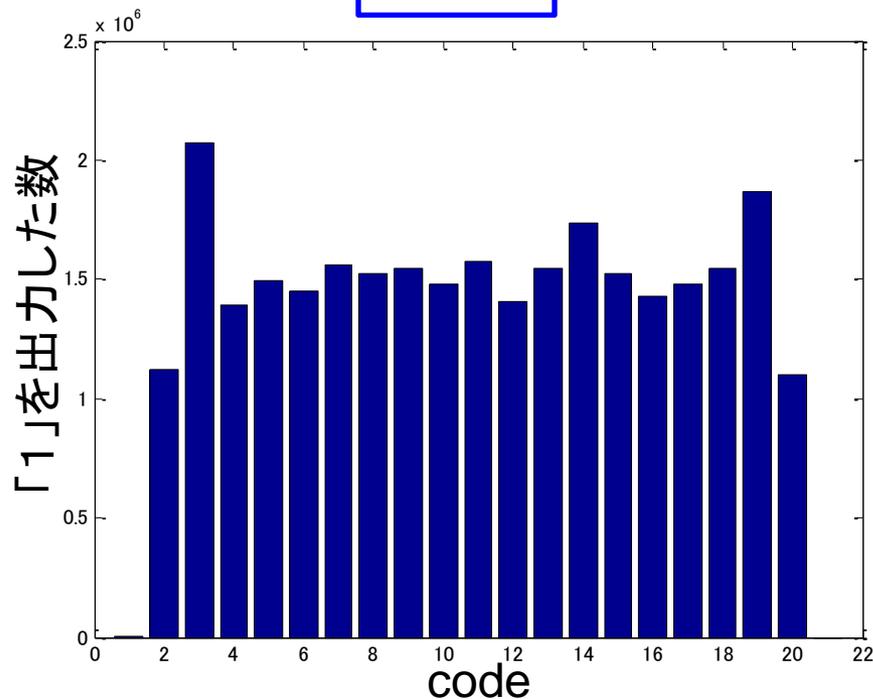
ヒストグラムが同一  
線形TDC



# 自己校正シミュレーション

MATLABで検証

校正前

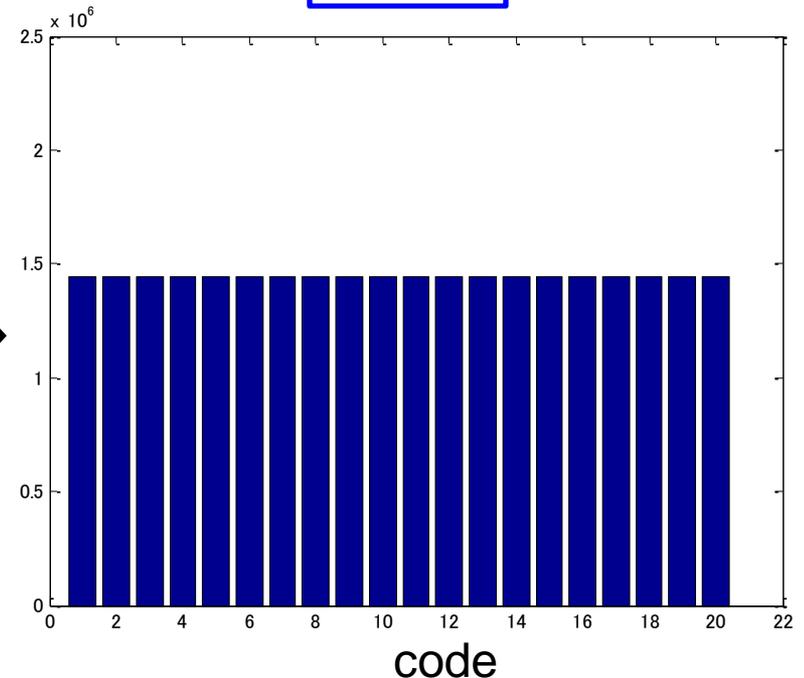


Sampling points 28,848,432

$$\tau_1 = 60 \sim 69 \text{ ps}$$

$$\tau_2 = 100 \text{ ps}$$

校正後



ヒストグラムの各コードの値が同一

TDC出力が線形

# 高性能TDCへの自己校正法の適用

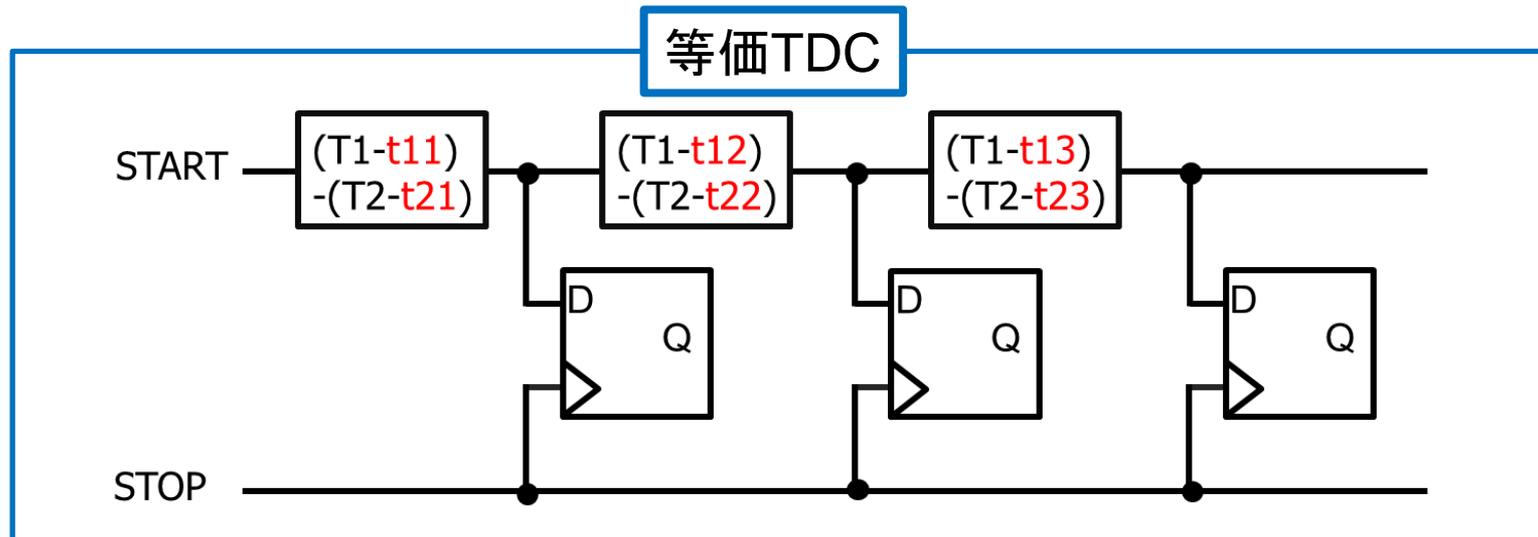
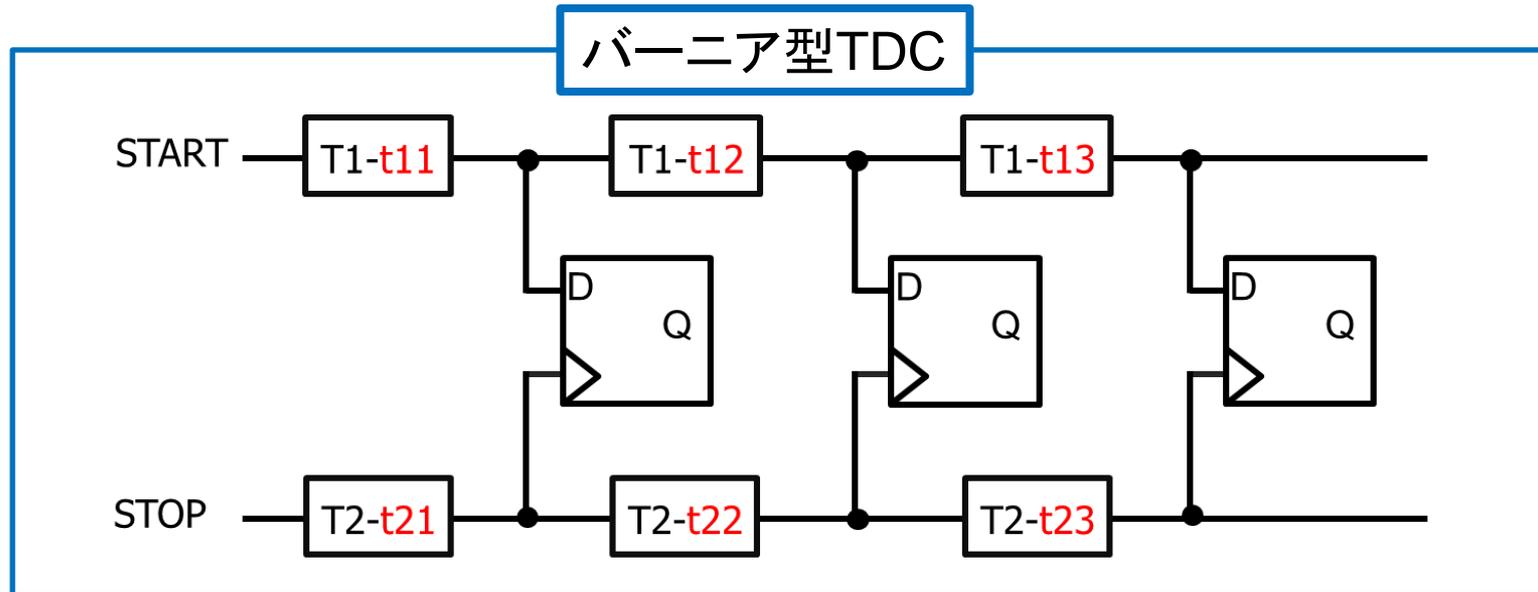
- ◆バーニア型TDC
- ◆確率的TDC
- ◆バーニア型確率的TDC



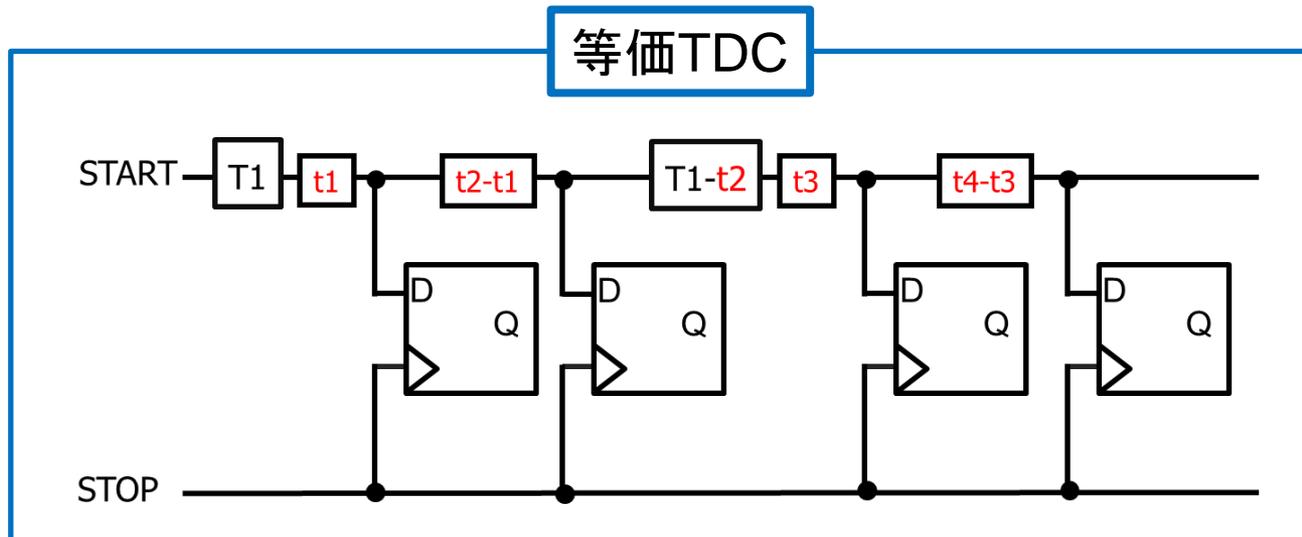
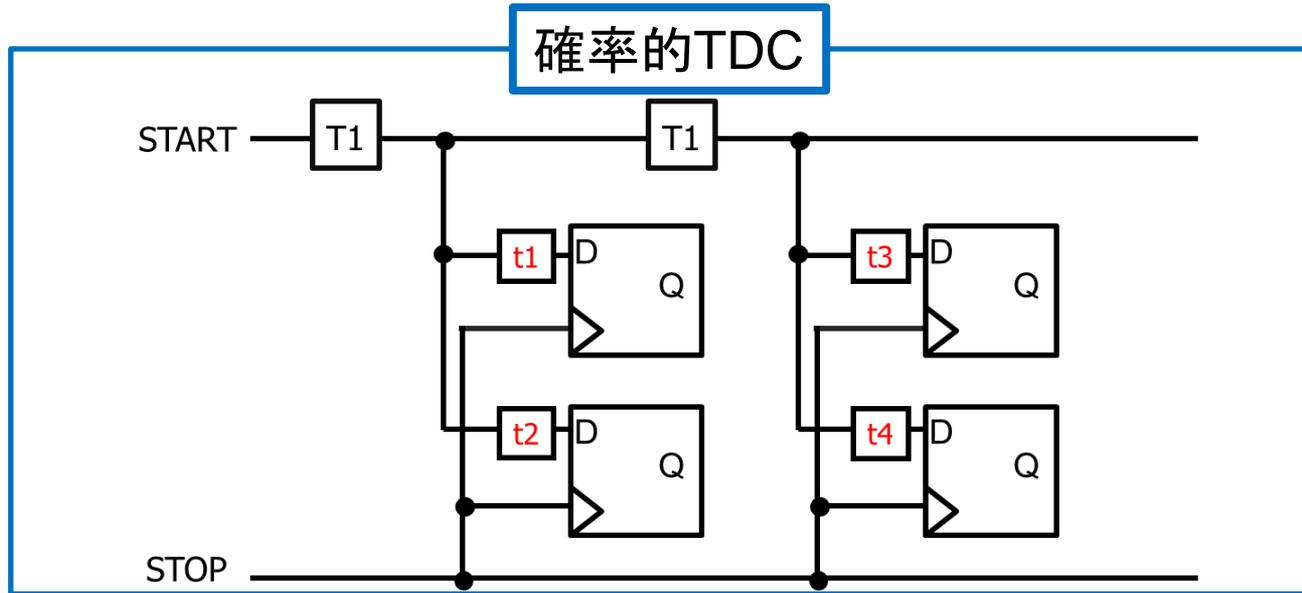
基本TDCへの等価回路変換が可能

ヒストグラム法にて同様に自己校正可能

# 等価回路変換(バーニア型TDC)



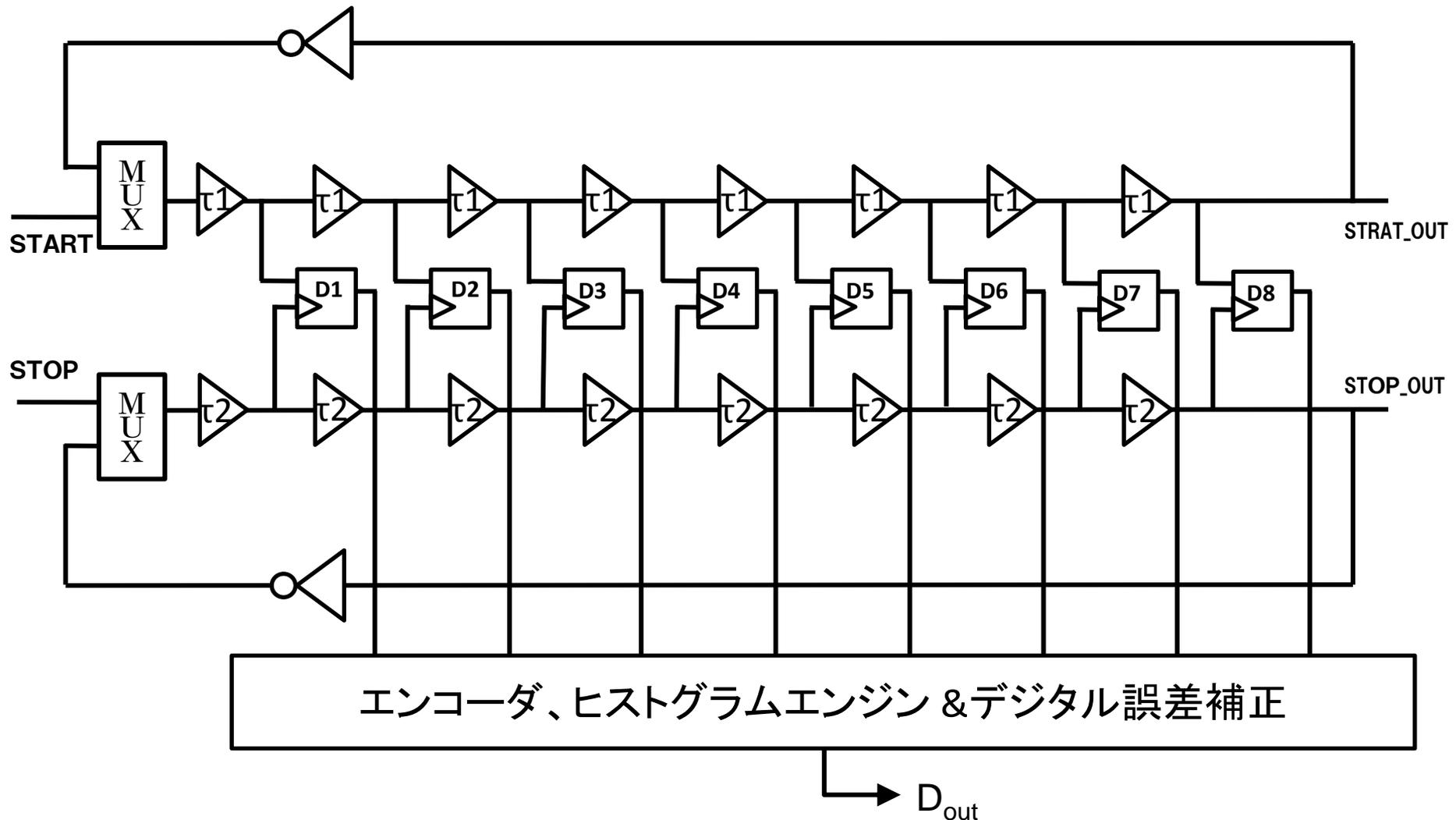
# 等価回路変換(確率的TDC)



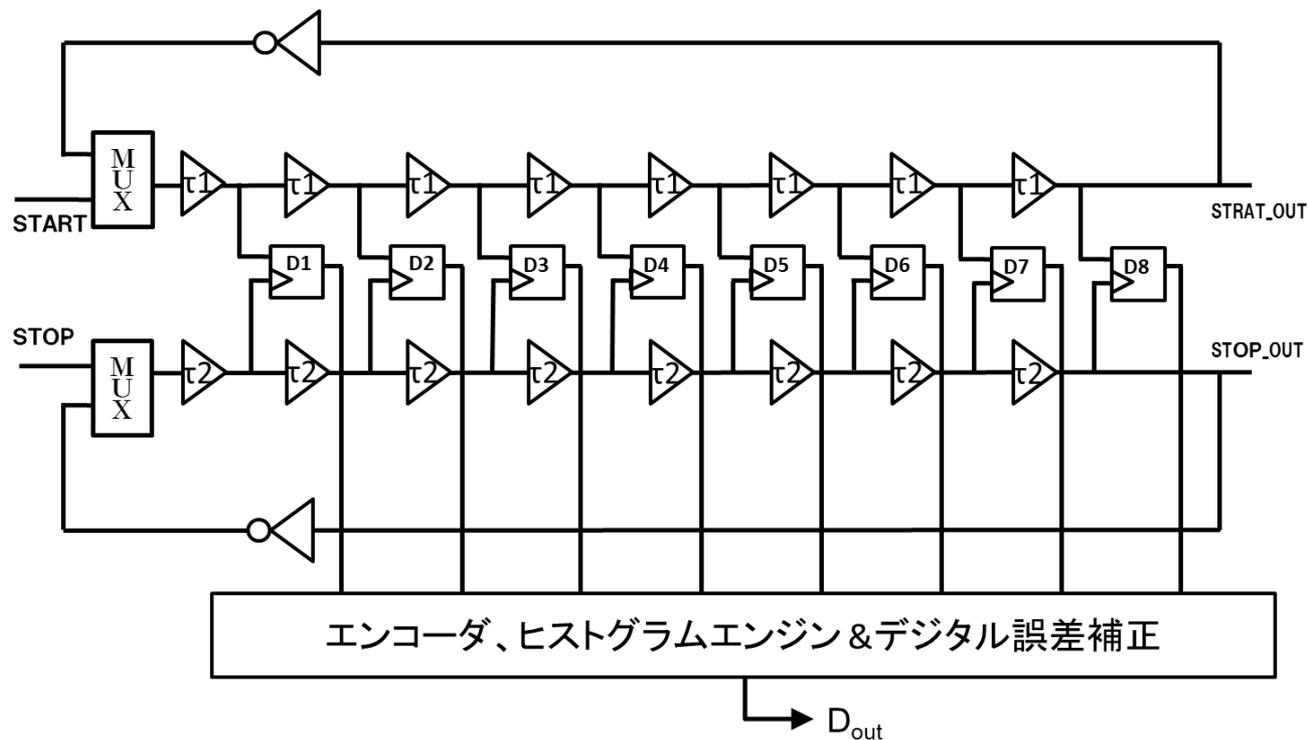
# アウトライン

- 研究背景
- 時間ディジタイザ回路 (TDC)
- 自己校正アルゴリズム
- **バーニア型確率的TDCへの自己校正技術の適用**
- まとめ

# 自己校正機能を備えたバーニア型TDC



# シミュレーション条件



◆遅延バッファ8段

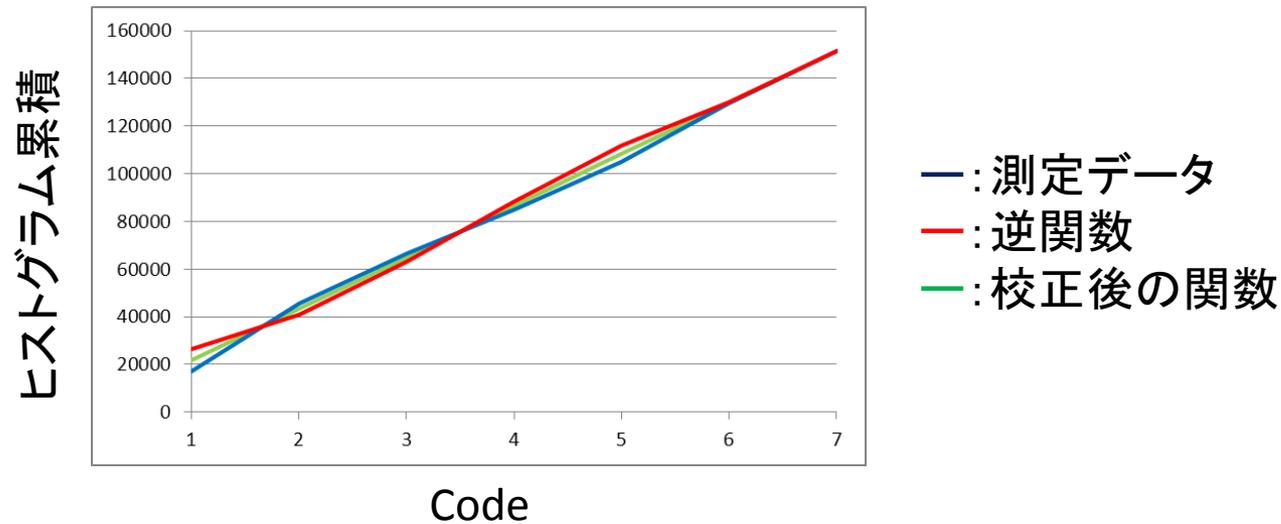
◆パラメータ

$$\tau_1 = 162 \text{ ps}$$

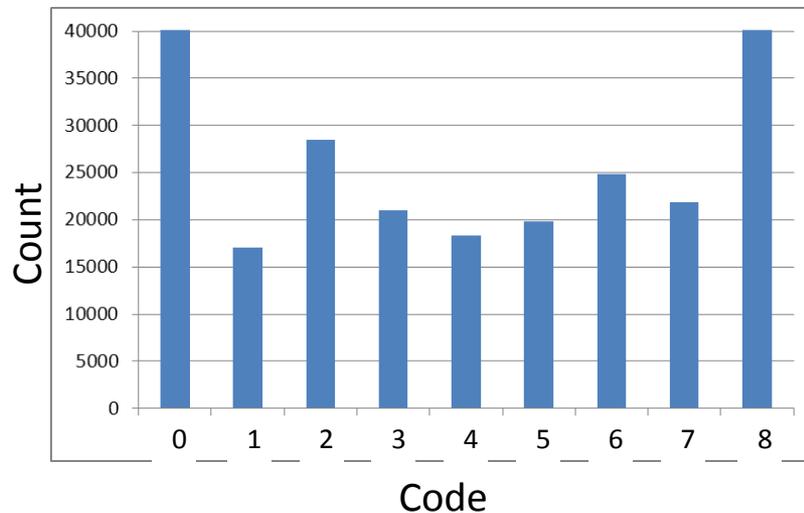
$$\tau_2 = 111 \text{ ps}$$

遅延バッファばらつき:  $\pm 10 \text{ ps}$

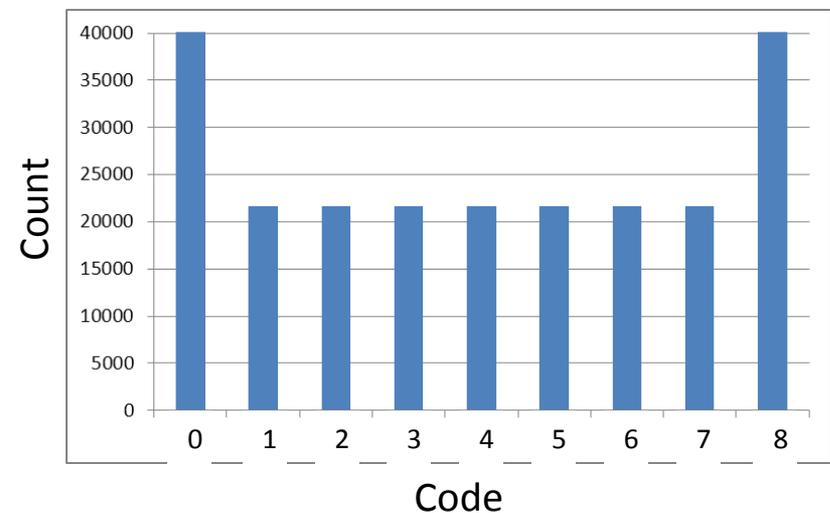
# シミュレーション結果



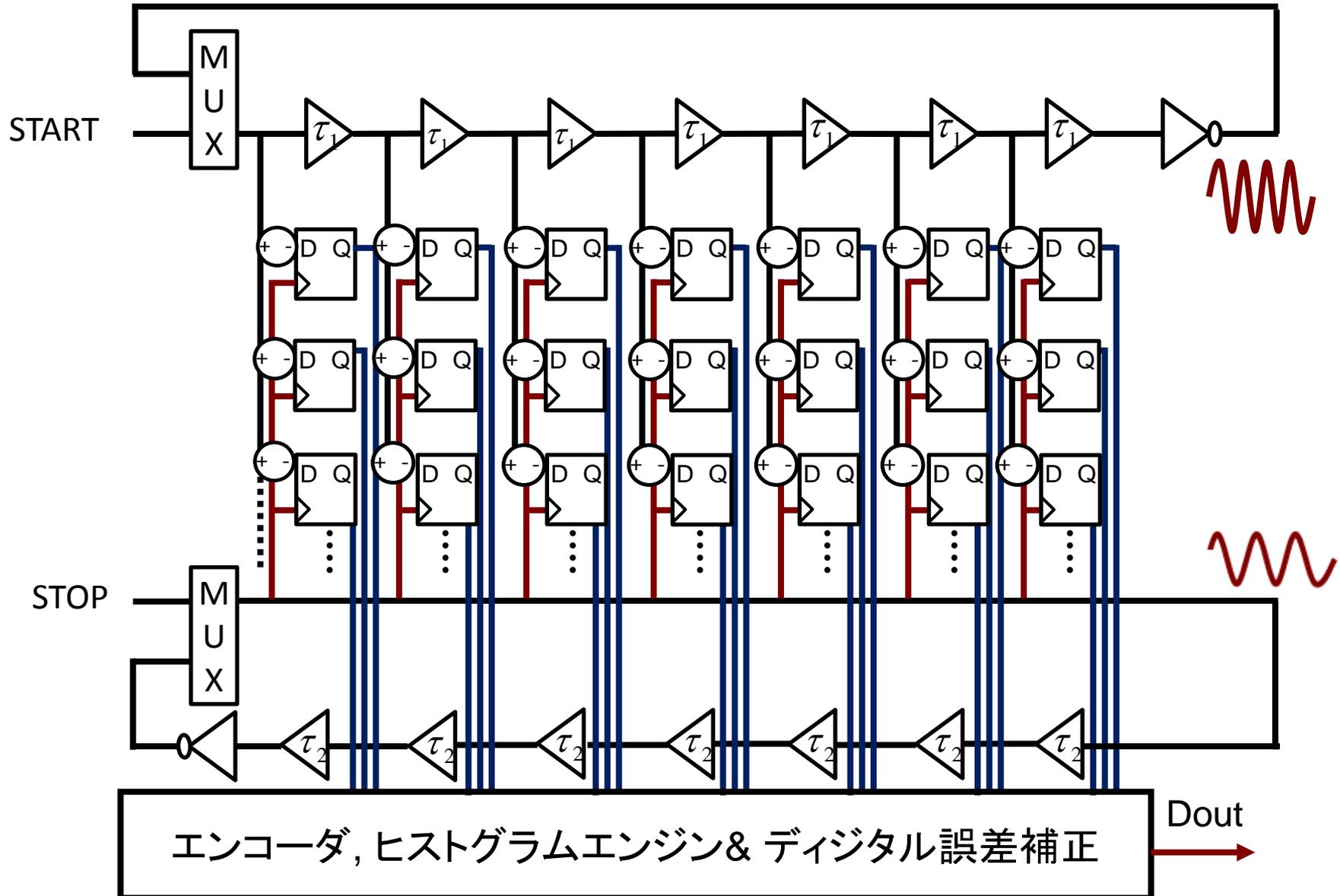
校正前



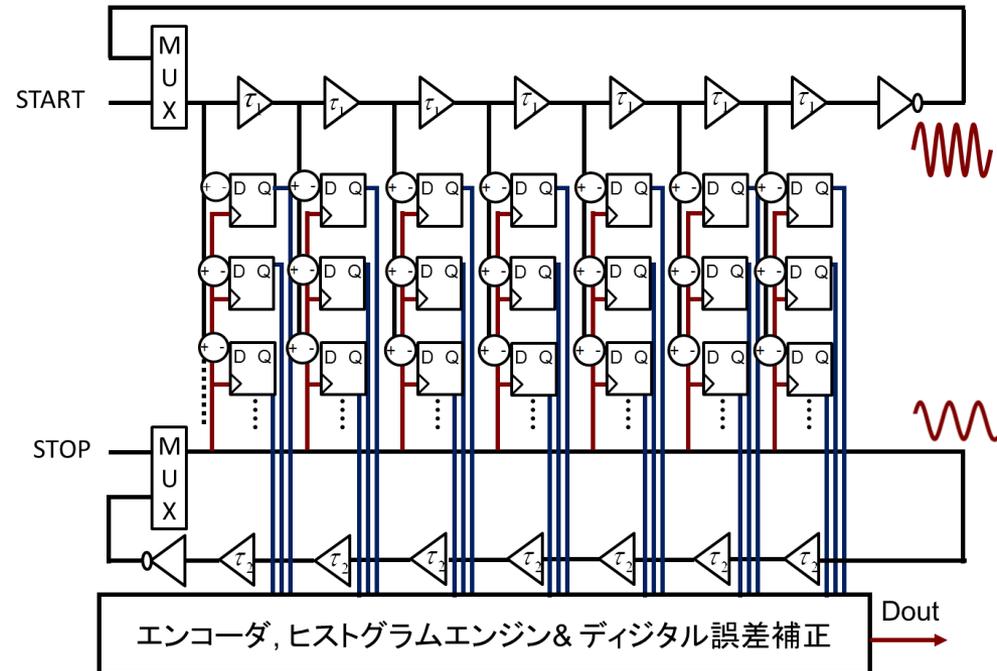
校正後



# 自己校正機能を備えた確率的TDC



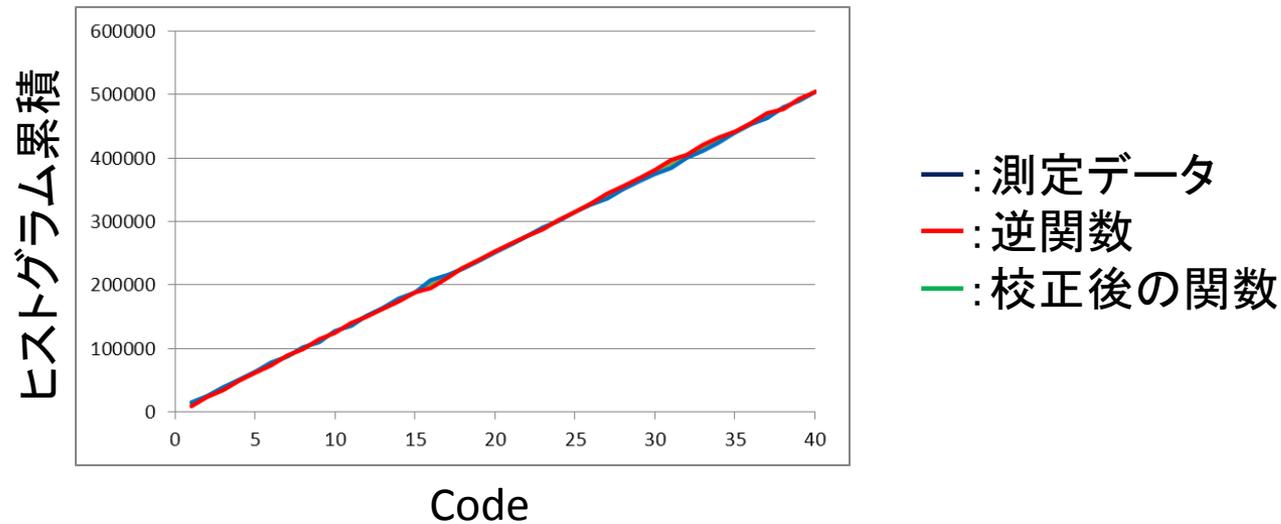
# シミュレーション条件



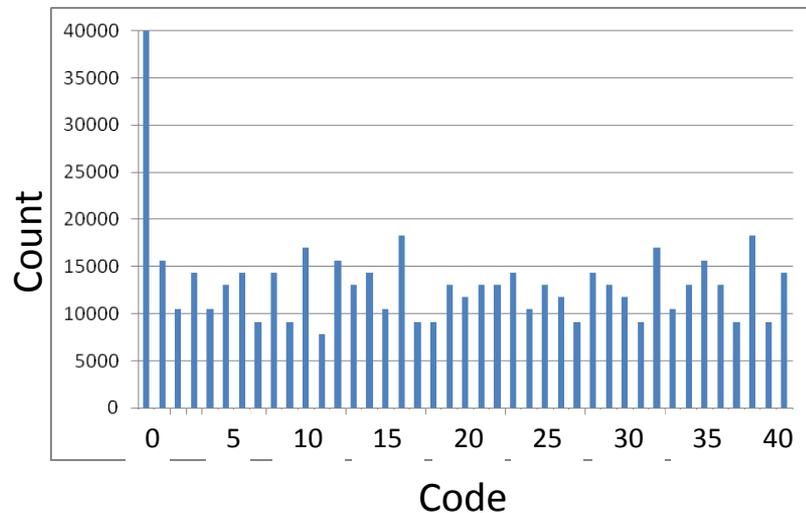
- ◆ 遅延バッファ8段
- ◆ DFF5段

- ◆ パラメータ
- $\tau_1 = 200\text{ps}$
- $\tau_2 = 81\text{ps}$
- 遅延バッファばらつき:  $\pm 10\text{ps}$
- DFFオフセット:  $1 \sim 160\text{ps} \pm 5\text{ps}$

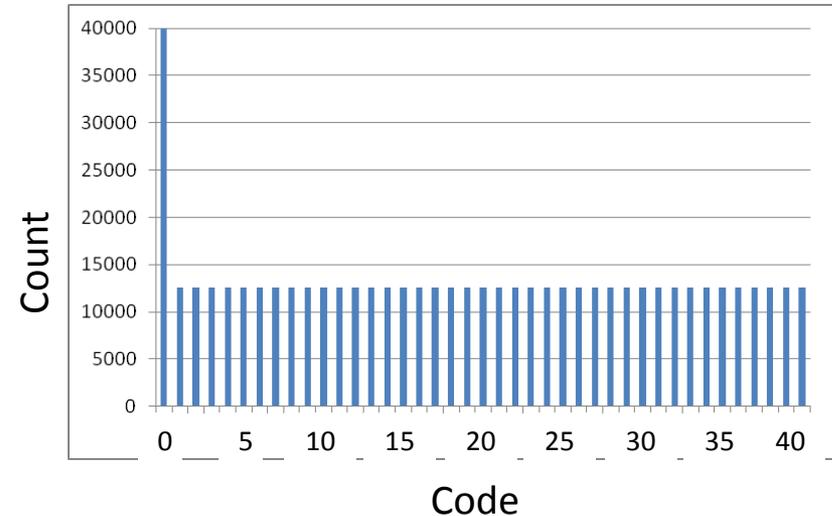
# シミュレーション結果



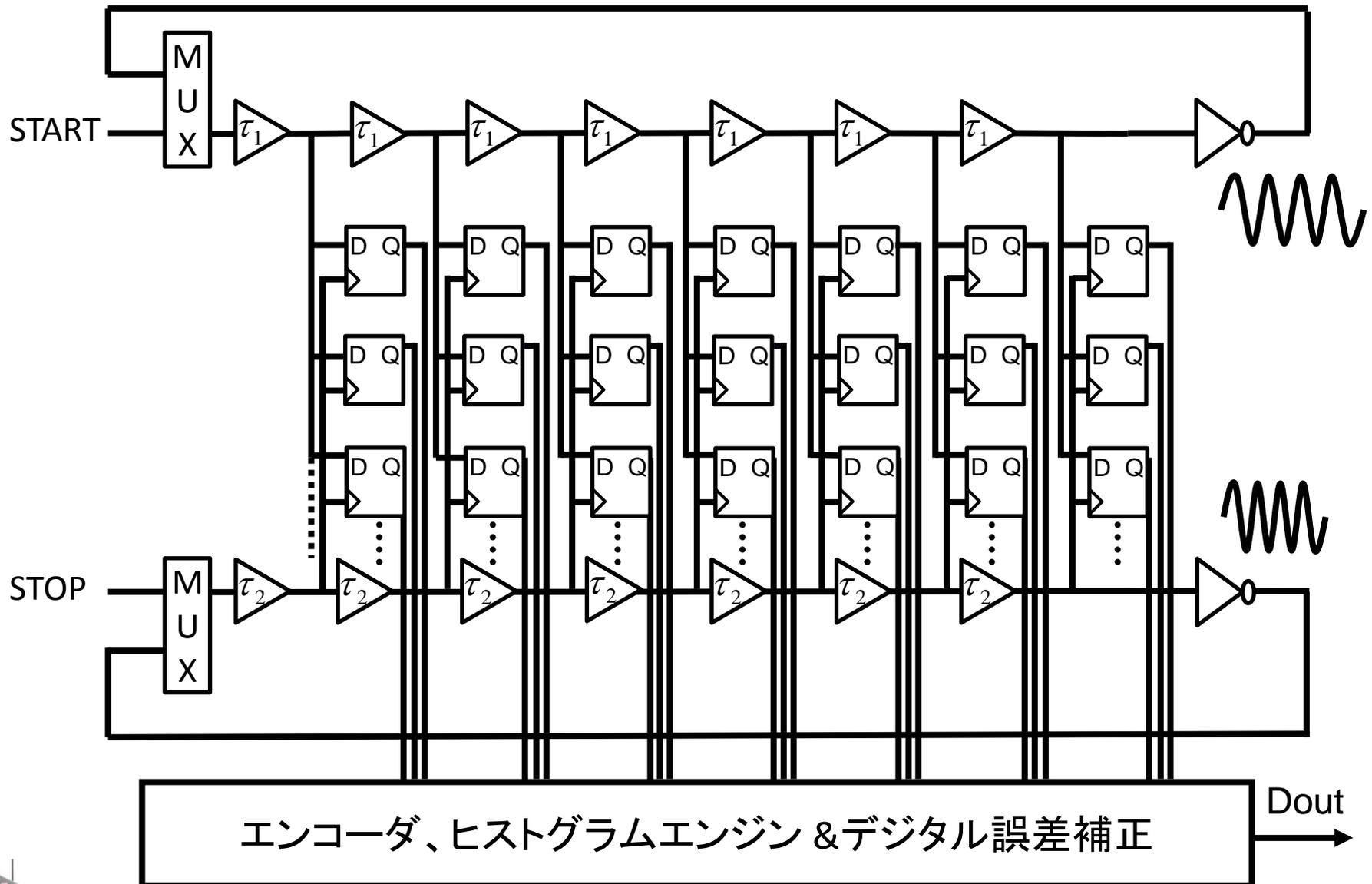
校正前



校正後

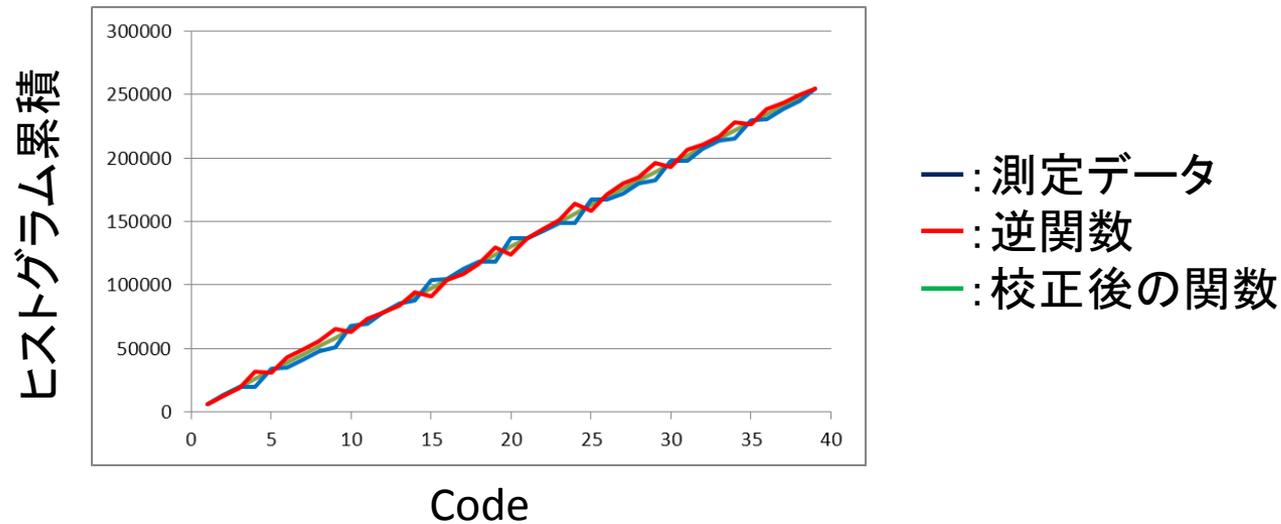


# 自己校正機能を備えたバーニア型確率的TDC

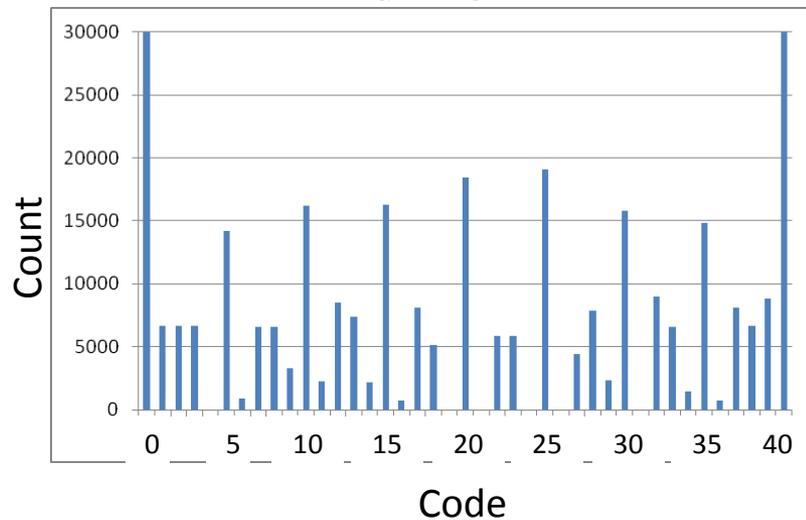




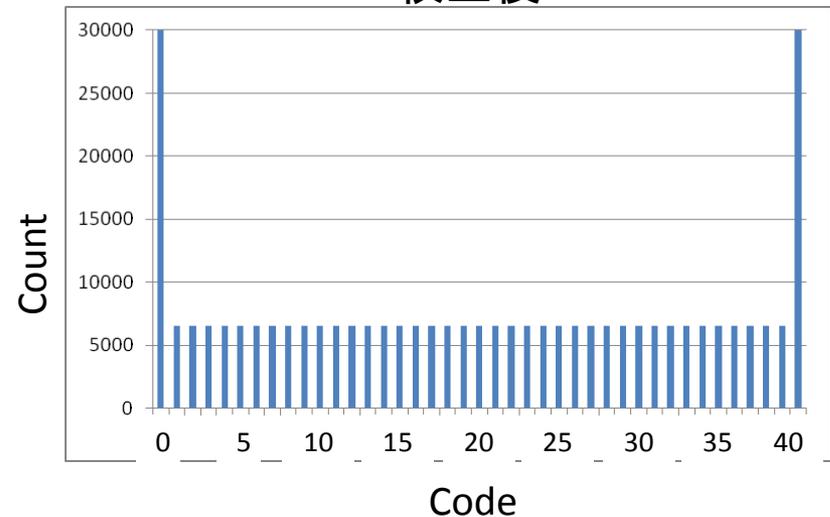
# シミュレーション結果



校正前



校正後



# アウトライン

- 研究背景
- 時間ディジタイザ回路 (TDC)
- 自己校正アルゴリズム
- バーニア型確率的TDCへの自己校正技術の適用
- まとめ

# まとめ

## ●まとめ

---

■リング発振回路構成、ヒストグラム法によるTDC回路  
線形性の自己校正技術の適用

◆バーニア型TDC

◆確率的TDC

◆バーニア型確率的TDC

} TDCの等価回路変換により  
適用可能

■MATLABシミュレーションによる動作検証

■自己校正に用いる回路はすべてデジタル回路で実現  
⇒FPGAで線形なTDCを実現可能



# 修論発表質疑応答

リング発振回路の周期

- ・整数倍の場合⇒ヒストグラムにかたより

しかし、ばらつきのため、完全な整数倍にはならない

- ・整数倍に近い場合

測定時間を長くする必要がある

測定時間を短くできる周波数の関係については要考察

課題

2つのリング発振回路の周波数と(完全に線形な場合)ヒストグラムが同一になる収束の速さの関係を調べる

# 電子回路研究会質疑応答

●バーニア型TDCと確率的TDCはどちらがよいのか。

⇒バーニア型は測定時間がかかる。

⇒DFFのCLK入力のばらつきを考慮した場合、バーニア型のほうがいいのでは。  
確率的TDCは同時にCLKに入力されなければならないため。

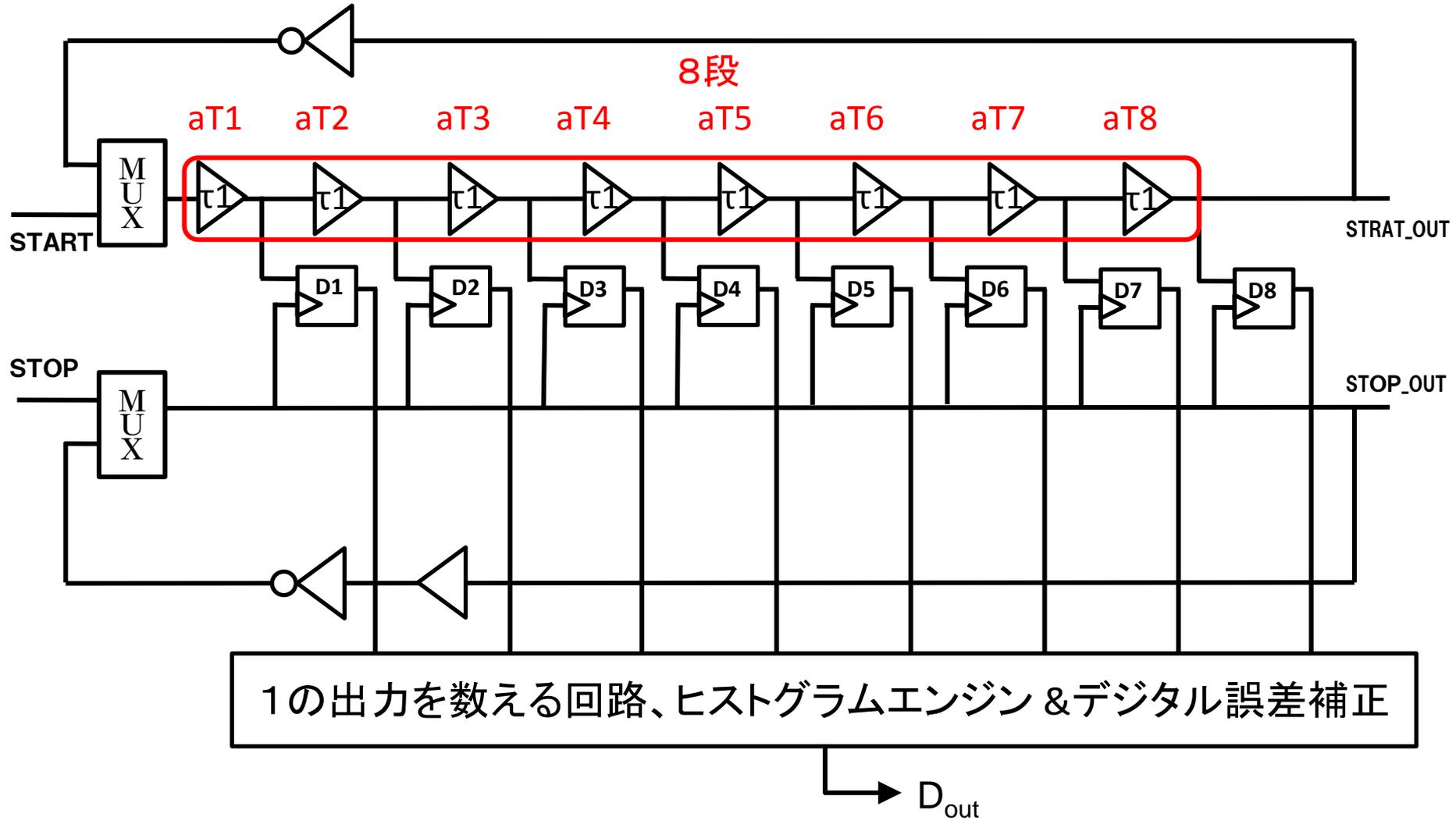
●確率的TDCにおいて

DFFを増やすと電力が増えてしまう。

電力が2倍以上にふえても分解能は半分にならない。

# 付録

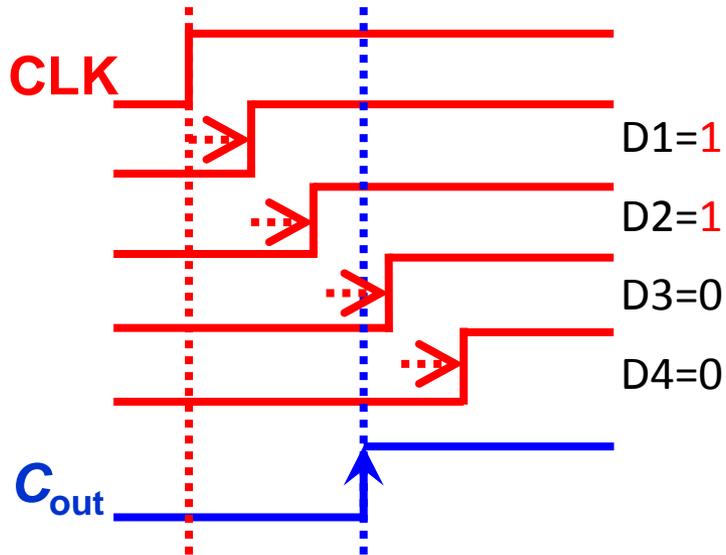
# 自己校正機能を備えたTDC



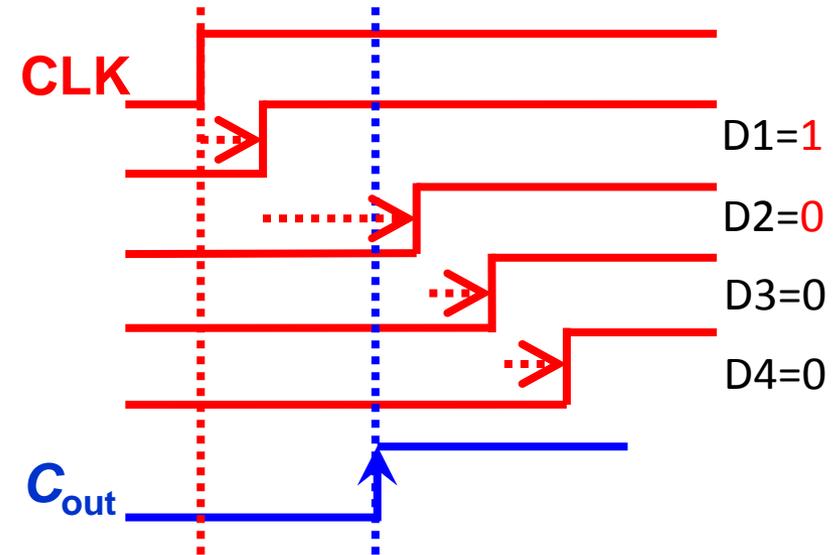
aT2、aT5、aT7をばらつかせてシミュレーション

aT=162ps

# ヒストグラム考察

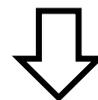


ばらつきなし



ばらつきあり

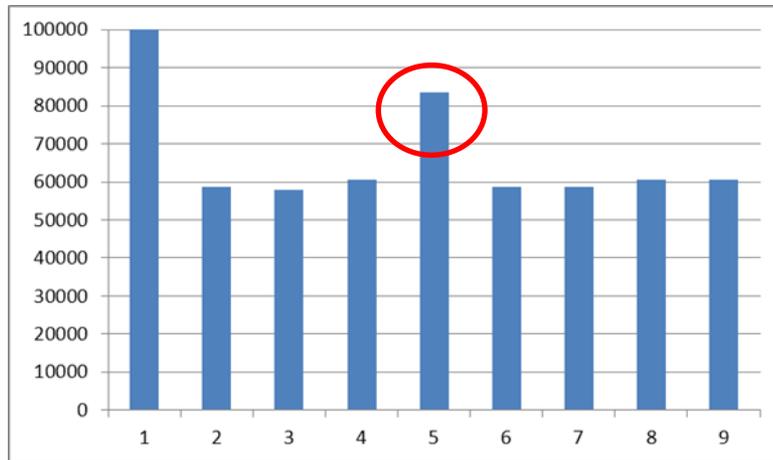
例: aT2のばらつきを大きくした場合  
出力“1”の頻度が多くなる



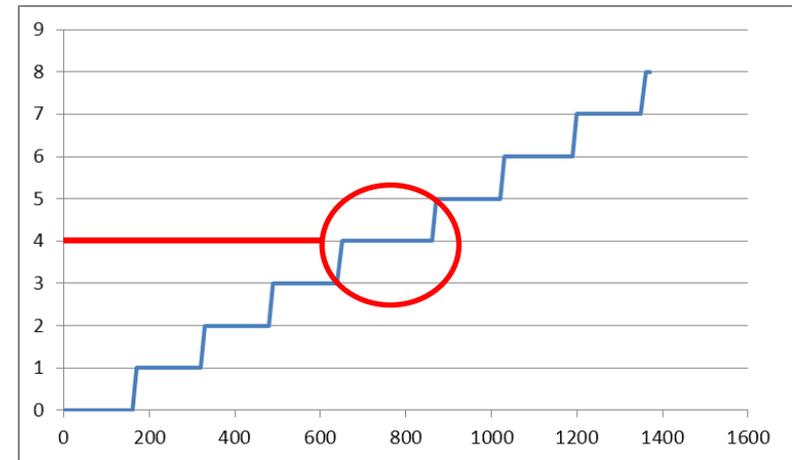
N番目のバッファ遅延が大きくなると  
出力“N-1”の頻度が多くなる

# aT5=222psの場合

## テストモード

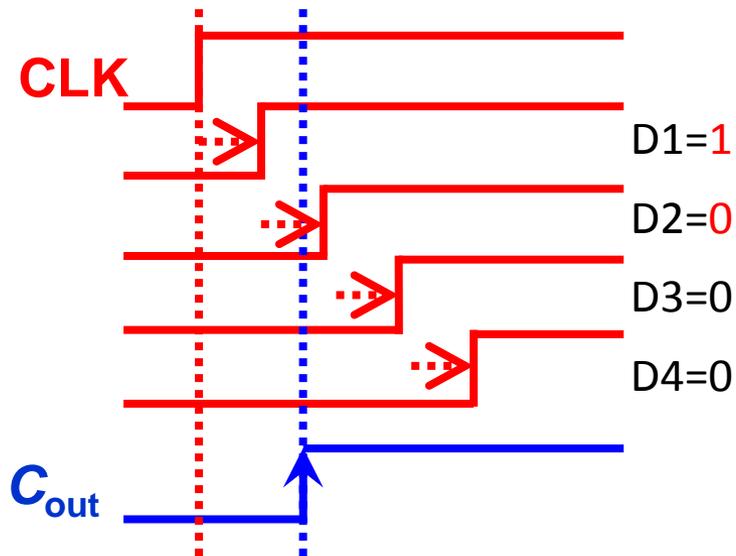


## 通常モード

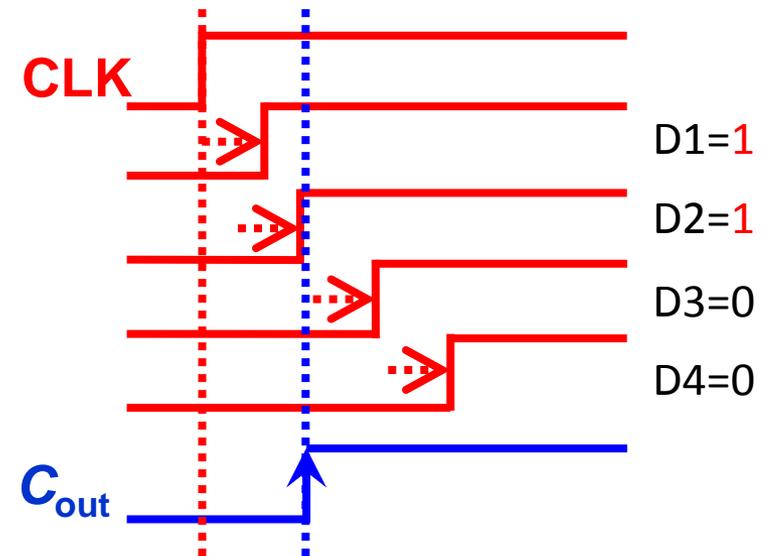


5番目のバッファ遅延を大きくしたので  
出力“4”の頻度が多い

# ヒストグラム考察

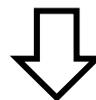


ばらつきなし



ばらつきあり

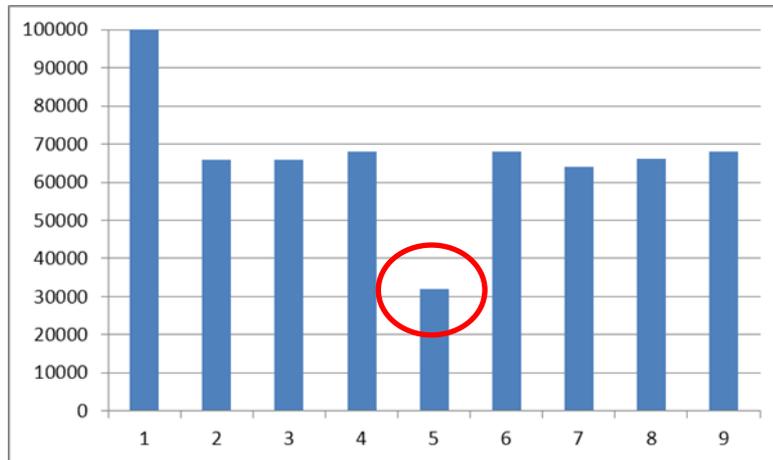
例:  $aT_2$  のばらつきを小さくした場合  
出力“1”の頻度が少なくなる



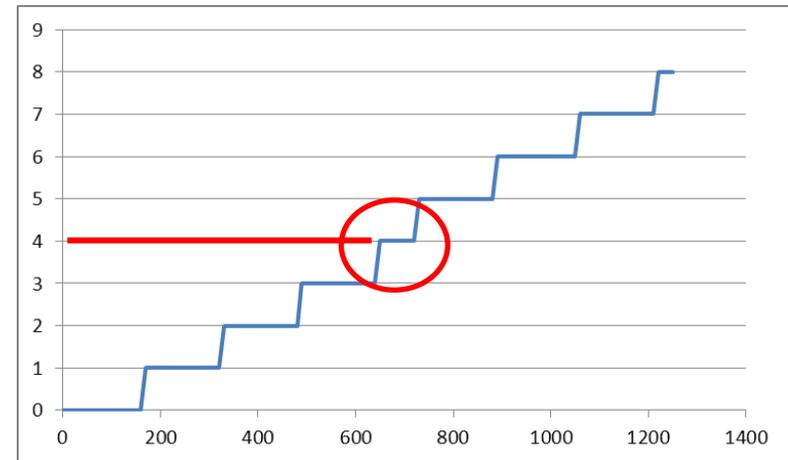
N番目のバッファ遅延が小さくなると  
出力“N-1”の頻度が少なくなる

# aT5=82psの場合

テストモード

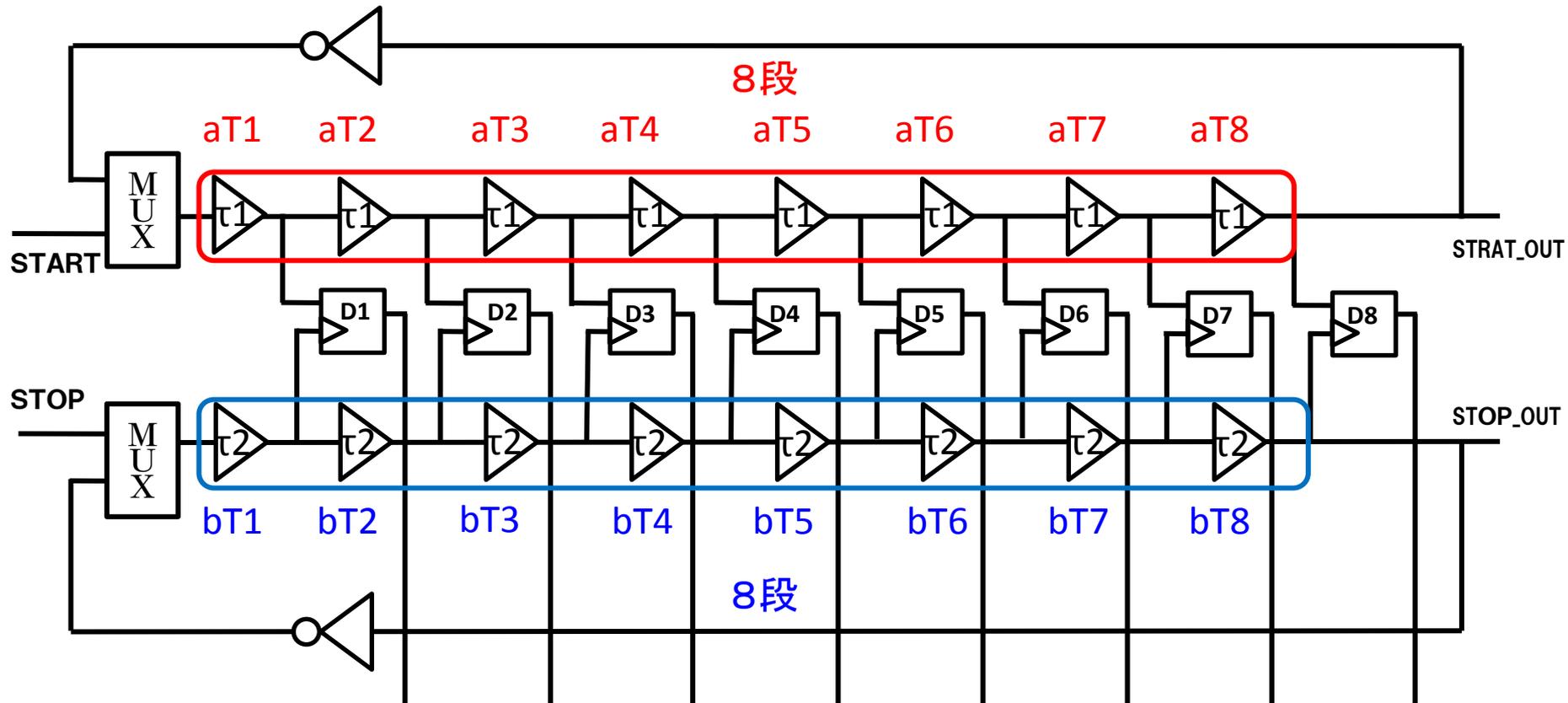


通常モード



5番目のバッファ遅延を小さくしたので  
出力“4”の頻度が少ない

# 自己校正機能を備えたバーニア型TDC



1の出力を数える回路、ヒストグラムエンジン & デジタル誤差補正

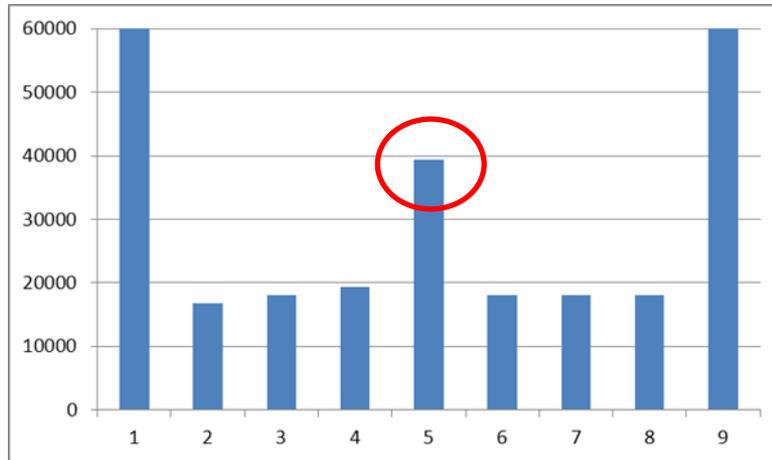
$D_{out}$

aT2、aT5、aT7をばらつかせてシミュレーション

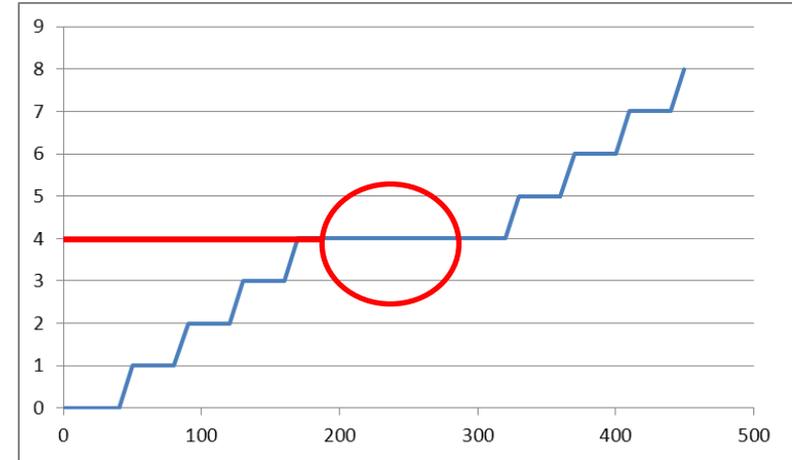
aT=162ps  
bT=121ps

# aT5=282psの場合

テストモード



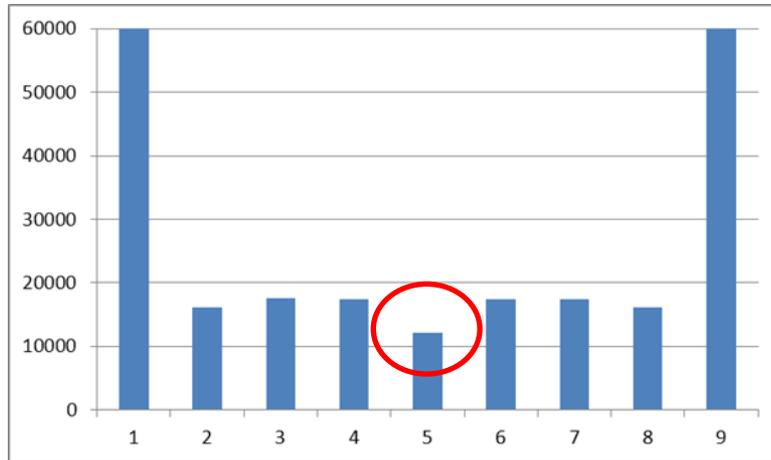
通常モード



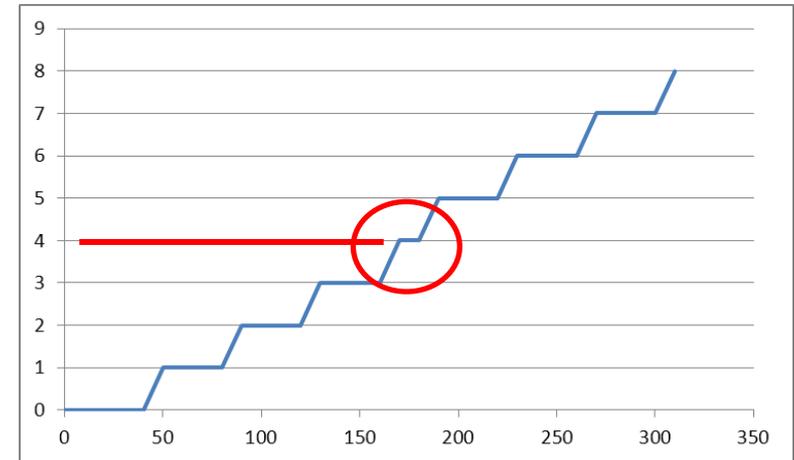
5番目のバッファ遅延を大きくしたので  
出力“4”の頻度が多い

# aT5=142psの場合

テストモード



通常モード



5番目のバッファ遅延を小さくしたので  
出力“4”の頻度が少ない

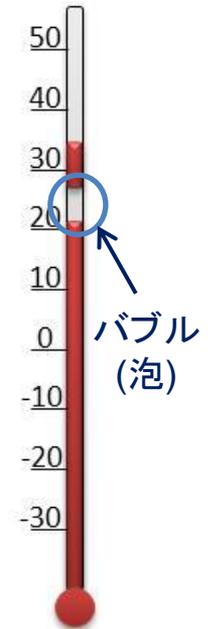
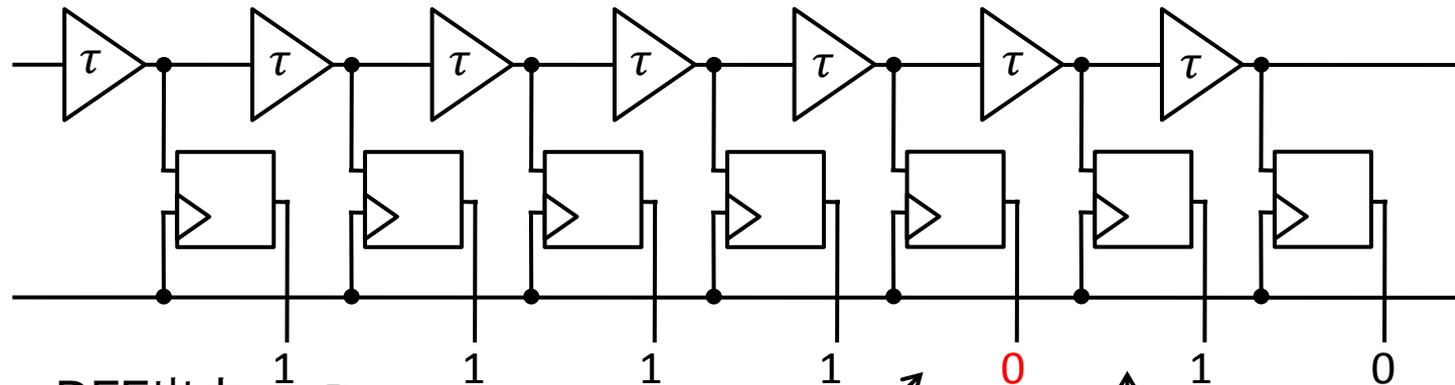
バーニア型TDCでも動作を確認

# TDC回路の問題点

## ■TDCデジタル出力の誤判定

バブルエラー

誤判定 TDC出力: 1 → 0 の切り替わり点で判定



DFF出力	D <sub>out</sub>
0 0 0 0 0 0 0 0	0
1 0 0 0 0 0 0 0	1
1 1 0 0 0 0 0 0	2
1 1 1 0 0 0 0 0	3
1 1 1 1 0 0 0 0	4
1 1 1 1 1 0 0 0	5
1 1 1 1 1 1 0 0	6
1 1 1 1 1 1 1 0	7
1 1 1 1 1 1 1 1	8

誤った切り替わり点

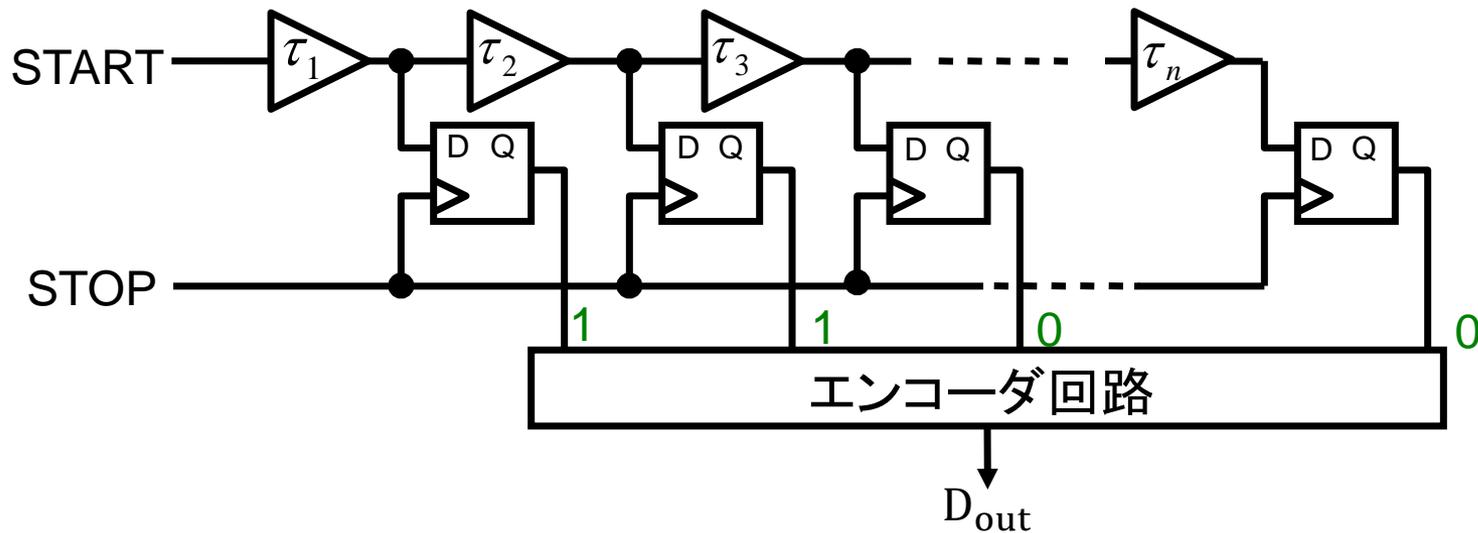
正しい切り替わり点



1 0 1 0 0 0 0 0	2
1 1 0 1 0 0 0 0	3
1 1 1 0 1 0 0 0	4
1 1 1 1 0 1 0 0	5
1 1 1 1 1 0 1 0	6

遅延バッファやDFFの  
オフセットミスマッチが原因

# エンコーダ回路



従来

1  $\rightarrow$  0 の切り替わり点で判定



バブルエラーの発生による誤判定

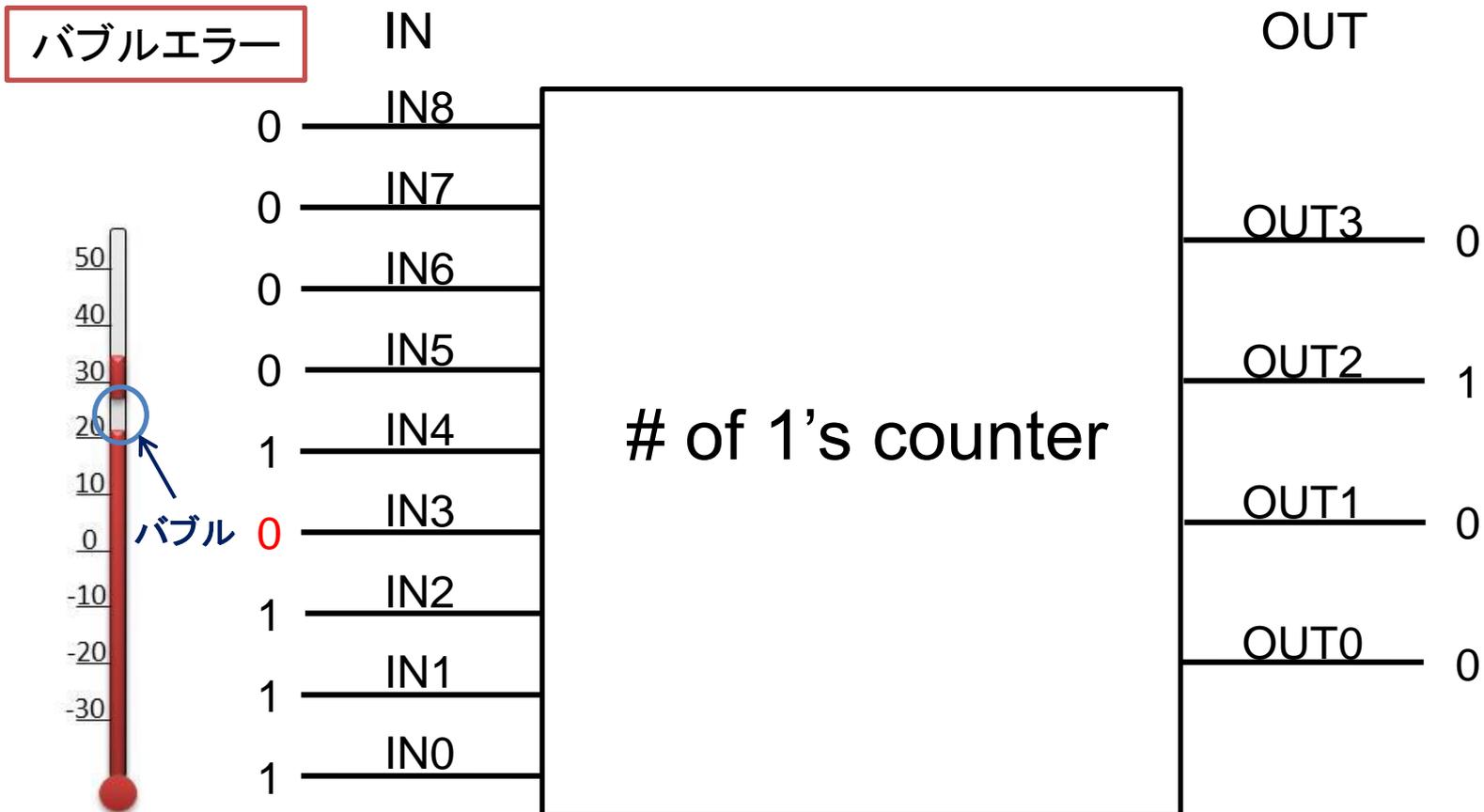
提案

出力された1の数で判定



バブルエラーの発生による影響なし

# エンコーダ回路



バブルエラーの影響を防ぐ