

# 確率的時間ディジタイザ回路の自己校正技術

土井佑太\* 伊藤聡志 西村繁幸 李恩思

小林春夫 高井伸和 (群馬大学)

## Self-Calibration Technique of Stochastic Time-to-Digital Converter

Yuta Doi\*, Satoshi Ito, Shigeyuki Nishimura, Ensi Li  
Haruo Kobayashi, Nobukazu Takai (Gunma University)

### Abstract

This paper describes that a digital self-calibration technique for linearity using the histogram method with two oscillators can be applied to Vernier-type, stochastic-type and their combined time-to-digital converter (TDC) architectures as well as a basic TDC. We show that they can be transformed to equivalent basic TDCs, and our Matlab simulation results validate our method.

キーワード：時間計測、タイムディジタイザ、確率的 TDC、自己校正、ヒストグラム  
(Time Measurement, TDC, Stochastic TDC, Self-Calibration, Histogram)

### 1. はじめに

タイムディジタイザ回路(TDC)は 2 つの信号のエッジ間の時間を測定しデジタル値として出力する回路であり、アプリケーションとして、完全デジタル PLL の位相比較器やセンサインターフェース回路、変調回路、復調回路に加えて、TDC ベースの ADC などがあり現在活発に研究開発が行われている。[1]-[7] TDC 回路はほとんどがデジタル回路で構成されているため微細デジタル CMOS プロセスで実装するのに適しており、ナノ CMOS 時代において、ますます重要な役割を果たすことが期待されている。

微細化に適した高時間分解能 TDC アーキテクチャとしてバーニア型 TDC、確率的 TDC が研究させてきているが、その線形性が問題になる。この論文では基本 TDC に対して先に提案した 2 つのリング発振器構成を用いるヒストグラム法により非線形性がデジタル校正する手法がバーニア型 TDC、確率的 TDC およびその組み合わせにも適用可能であることを、理論考察(等価回路変換)および Matlab シミュレーションにより示す。

### 2. TDC アーキテクチャ

この節ではフラッシュ型 TDC アーキテクチャを述べる。

(1) **基本 TDC**: 図 1 に基本 TDC の構成を示す。基準 CLK 信号は、インバータのチェーンで構成されるバッファのレイラインを通過し、遅延参照 CLK 信号は D フリップフロップ(DFF)路にデータとして入力される。そして、参照信号である START 信号のエッジと STOP 信号のエッジ間の時間間隔が測定される。時間分解能はゲート遅延  $\tau$  によ

て決定される。また、エンコーダ回路では TDC から出力されたサーモメータコード(温度計コード)を 2 進数コードに変換する。

(2) **バーニア型 TDC**: 図 2 にバーニア型 TDC の構成を示す。この回路は基準 CLK 信号を入力する側に遅延バッファ  $\tau_1$ 、参照 CLK 信号側に遅延バッファ  $\tau_2$  を取り付けた構成とする。この回路の時間分解能はゲート遅延差  $(\tau_1 - \tau_2)$  で与えられ基本 TDC より高時間分解能を実現できる。2N 個のバッファ(遅延バッファ  $\tau_1$  を N 個と  $\tau_2$  を N 個)を使用することにより  $N(\tau_1 - \tau_2)$  まで測定が可能となる。

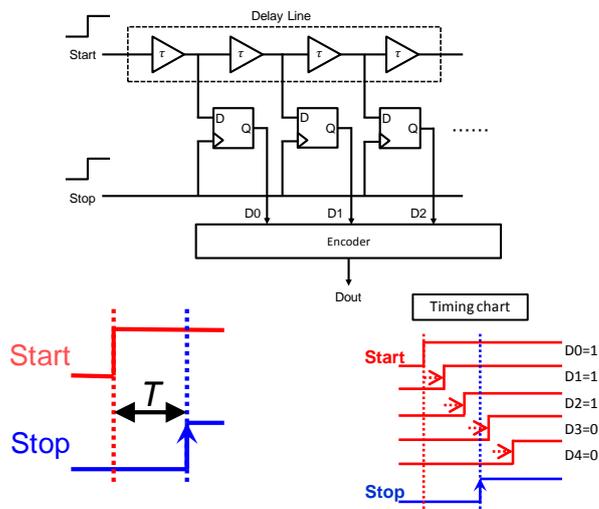


図 1 基本 TDC の構成と動作

Fig.1. Basic TDC architecture and operation.

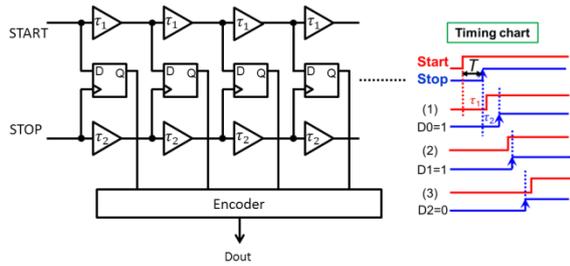


図2 バーニア型 TDC  
Fig.2. Vernier delay line TDC.

(3) **確率的 TDC**: 高時間分解能化のための確率的 TDC について記述する。この回路は CMOS 微細化に伴って発生する素子ばらつきを高時間分解能化のために積極利用する (図 3, 4)。いくつかの DFF のデータ入力にそれぞれの遅延バッファの出力を接続している。DFF のセットアップ時間とホールド時間のばらつきや配線遅延のばらつきにより、DFF の出力を 0 から 1 に変更するエッジタイミングが各 DFF 間で異なる。この時間間隔はバッファ遅延  $\tau$  よりも細くなり高時間分解能が実現できる (図 5)。

この確率的 TDC は、そのままでは非線形性が大きくなるが、前節の自己校正回路を組み込むことでデジタル補正できる。また確率的 TDC は素子ばらつきを積極的に利用するので DFF とディレイラインバッファ内の各 MOSFET を最小チャネル長・幅の CMOS で実装し消費電力を低減できる。

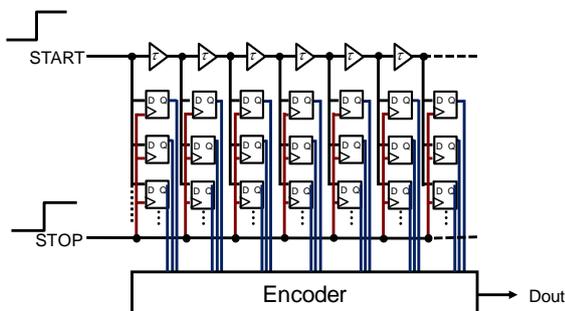


図3 確率的 TDC  
Fig.3. Stochastic TDC architecture.

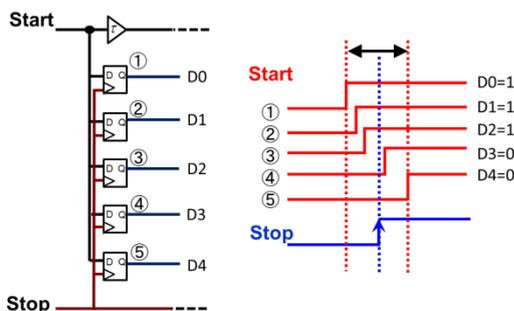


図4 確率的 TDC の動作  
Fig.4. Operation of Stochastic TDC.

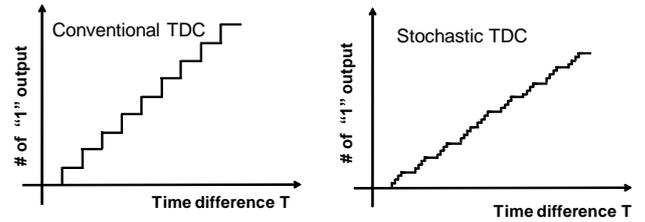


図5 基本 TDC と確率的 TDC の分解能比較

Fig.5. Coarse time resolution of the conventional TDC (left). Fine time resolution of the stochastic TDC (right).

(4) **バーニア型確率的 TDC**: さらに高時間分解能を目指すためにバーニア型確率的 TDC を提案する (図 6, 7)。この回路は前述の確率的 TDC にバーニアディレイラインを適用したものである。基準 CLK 信号を入力する側に遅延バッファ  $\tau_1$ 、参照 CLK 信号側に遅延バッファ  $\tau_2$  を設ける。1 つの遅延バッファに対し多くの DFF を接続することで、ディレイラインの遅延バッファによる遅延時間分解能に加え、DFF のオフセットばらつきによる高時間分解能を可能としている。従来のバーニア型 TDC の時間分解能 ( $\tau_1 \cdot \tau_2$ ) よりも高時間分解能を実現できる。

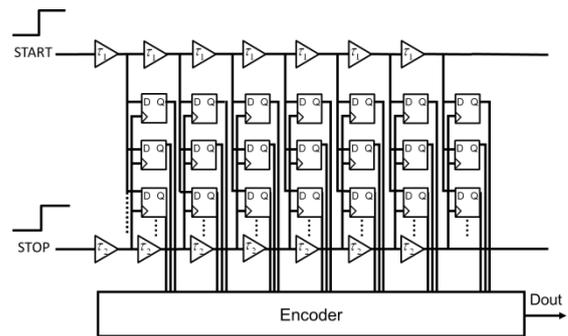


図6 バーニア型確率的 TDC  
Fig.6. Vernier-stochastic TDC architecture.

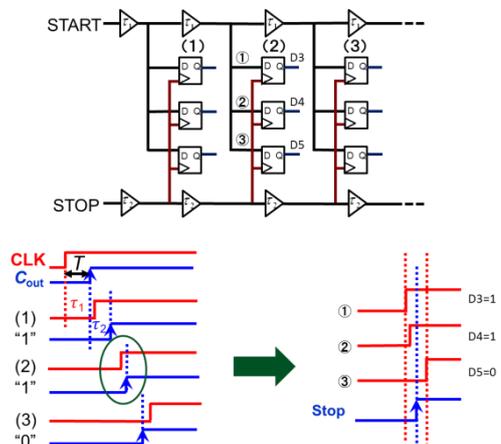


図7 バーニア型確率的 TDC の動作  
Fig.7. Operation of Vernier-stochastic TDC.

### 3. TDC 線形性のデジタル自己校正

基本 TDC (図 1)は、遅延バッファ間の遅延時間ミスマッチにより非線形性を示す。そこで提案 TDC 回路では 2 つのリング発振器の設定を利用して非線形性を補正するための自己校正回路を搭載し(図 8) 2つのモードで動作する。[6]

**自己校正モード:** デレイラインにインバータを付け 2つのリング発振器として動作させる。

**通常モード:** START, STOP を入力とする。

(リング発振回路構成にはしない。)

D Flip-Flop 出力は TDC の単調性を確保するための「D Flip-Flop の 1 の出力を数える回路」に入力され、ヒストグラムエンジン(自己校正モード)、デジタル誤差補正(通常モード)で演算する (図 9, 10)。

自己校正モードでは、2つのリング発振器が互いに非同期で異なる周波数で発振する。TDC が完全に線形なら、十分な数のサンプリングでは TDC デジタル出力コードに対応するビンのヒストグラムはすべて同じになる。[9][10] Matlab シミュレーションでこの確認を行った(図 11)。

バッファ遅延の相対ミスマッチなどによる TDC 微分非線形性(DNL)は各ビンのヒストグラムから得られる。正確なランプ波を入力する ADC のヒストグラムテストに対応している。しかし、線形性の良いランプまたは純粋な正弦波入力のオンチップ生成は難しいが、TDC ではテスト信号が電圧ではなく時間のためリング発振器を用いるだけであり容易にヒストグラム法により DNL 測定が可能となる。

図 12 に自己校正の手順を示す。

- (1) 自己校正モード: ヒストグラムエンジンが、DNL 値としてヒストグラムデータを収集し、それを累積して INL を計算する。そこから INL の逆関数を算出しメモリに保存する。
- (2) 通常動作モード: エンコーダ出力をメモリ内の INL 値の逆関数をかけて補正演算を行ない、線形なデジタル出力を得る。

この方法を用いて高線形性出力が得られる。このアルゴリズム確認のためのシミュレーション結果を図 13 に示す。

なお、絶対的なバッファの平均遅延値のキャリブレーションは DLL を用いて行う、リング発振構成で発振周波数を測定しデジタル補正するなどが必要である。[11]

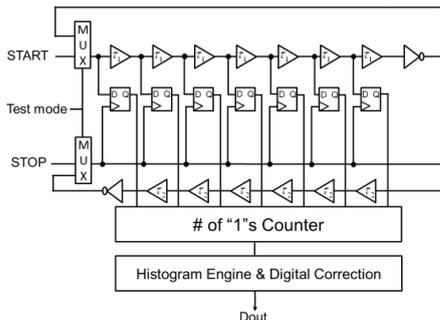


図 8 自己構成機能を備えた TDC 回路

Fig.8. Proposed TDC architecture with self-calibration.

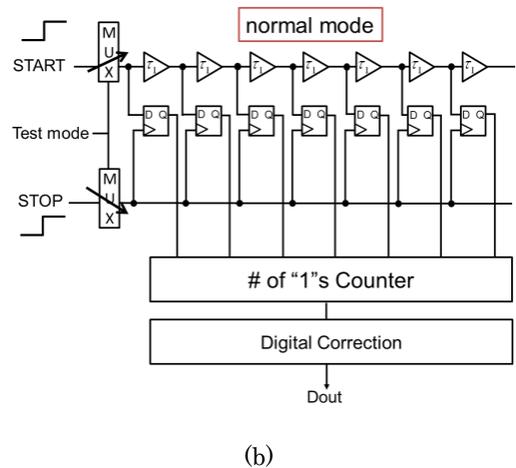
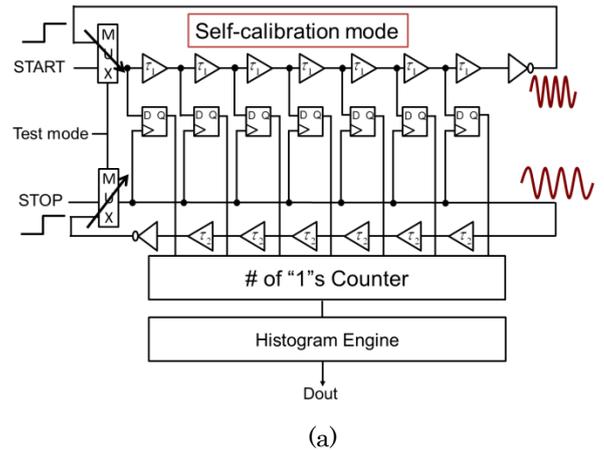


図 9 提案する TDC 回路自己校正動作  
(a)自己校正モード (b)通常動作モード

Fig.9. Operation of the proposed TDC architecture with self-calibration. (a) Self-calibration mode. (b) Normal operation mode.

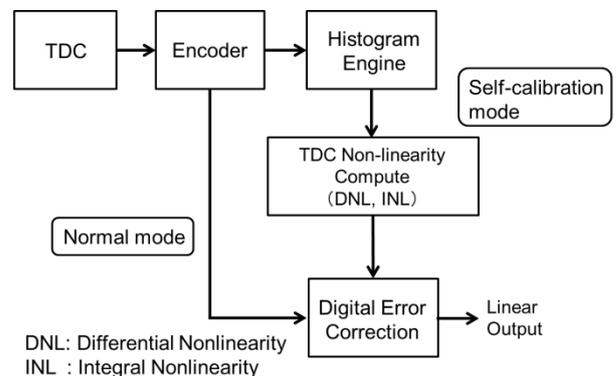


図 10 自己校正のブロック図

Fig.10. Block diagram of the self-calibration.

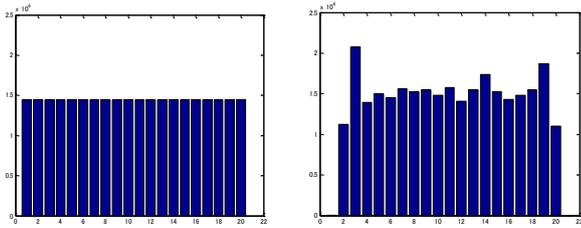


図 11 自己校正シミュレーション結果

(左：線形 TDC の場合、右：非線形 TDC の場合)

Fig.11. Simulation result of histograms in self-calibration mode.

Ideally linear TDC case (left). Nonlinear case (right).

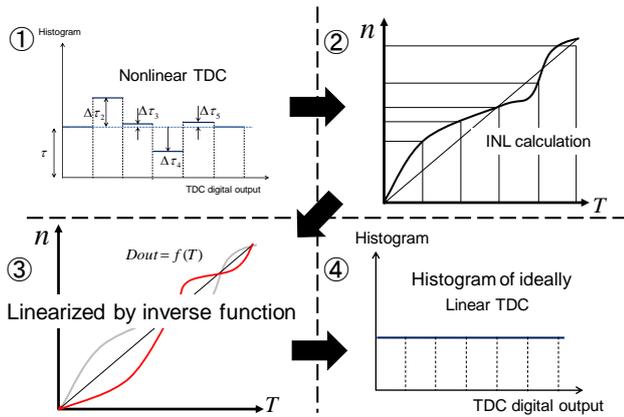


図 12 自己校正の手順

Fig.12. Principle of the self-calibration.

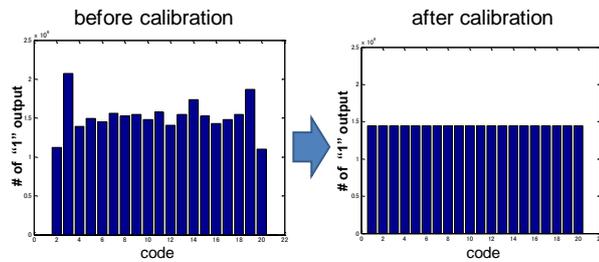


図 13 線形性の自己校正の原理説明

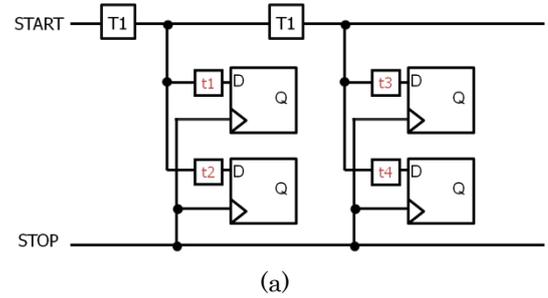
Fig.13. Description of the principle of self-calibration.

#### 4. バーナ型、確率的 TDC 回路の基本 TDC 回路への等価変換

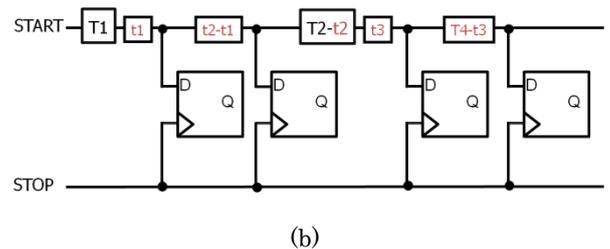
3 節の自己校正法はバーニア型、確率的 TDC に直接適用できることを示す。遅延バッファばらつき、DFF 特性ばらつきのある確率的 TDC、バーニア型 TDC と等価な基本 TDC をそれぞれ図 14, 15 に示す。こ両者とも基本 TDC と等価に扱え、ヒストグラム法にて自己校正が可能である。

エンコーダ回路についてのコメント：検討している TDC では温度計コードから 2 進への変換エンコーダでは素子ばらつきによりデジタル出力バブルエラー生じ単調性が損

なわれてしまう可能性がある。このため、エンコーダ回路に DFF の 1 の出力を数える回路を使用する。この回路は全加算器を配列して構成できる。[6]



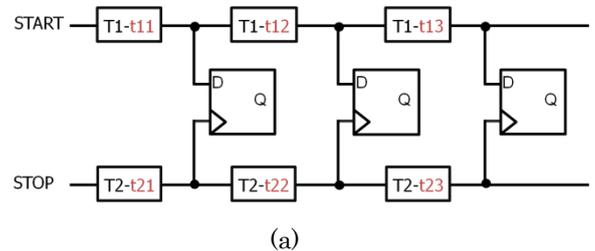
(a)



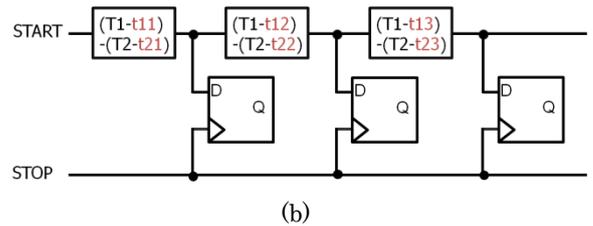
(b)

図 14 確率的 TDC の等価基本 TDC 回路への変換 (a) 確率的 TDC (b)等価基本 TDC 回路

Fig.14. Equivalent circuit of Stochastic TDC. (a) Stochastic TDC. (b) Equivalent circuit.



(a)



(b)

図 15 バーナ型 TDC の等価基本 TDC 回路への変換 (a)バーニア型 TDC (b)等価基本 TDC 回路

Fig.15. Equivalent circuit of Vernier delay line TDC. (a) Vernier delay line TDC. (b) Equivalent circuit.

#### 5. 確率的 TDC への自己校正技術の適用

前記のように、確率的 TDC は素子ばらつきを積極的に利用し高時間分解能を得る。しかし、ばらつきを利用しているためそのままでは線形性は得られない。そこで確率的 TDC に提案自己校正アルゴリズムを適用し線形性が得られるこ

とを確認する。図 16 に回路構成を示す。動作は前記のアルゴリズムと同様であり、Matlab シミュレーションによるヒストグラムと自己校正結果を図 17 に示す。(遅延バッファ 8 段で各遅延バッファに対し 5 個の DFF を接続する構成をとる。シミュレーションは各遅延バッファをばらつかせ各 DFF にオフセットばらつきとして遅延を追加した。) 図 17 の before calibration ではヒストグラムが大きくばらついている。

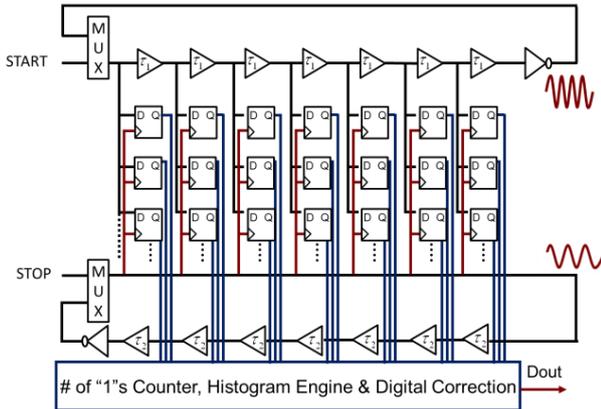


図 16 自己校正機能を備えた確率的 TDC  
Fig.16. Stochastic TDC with self-calibration.

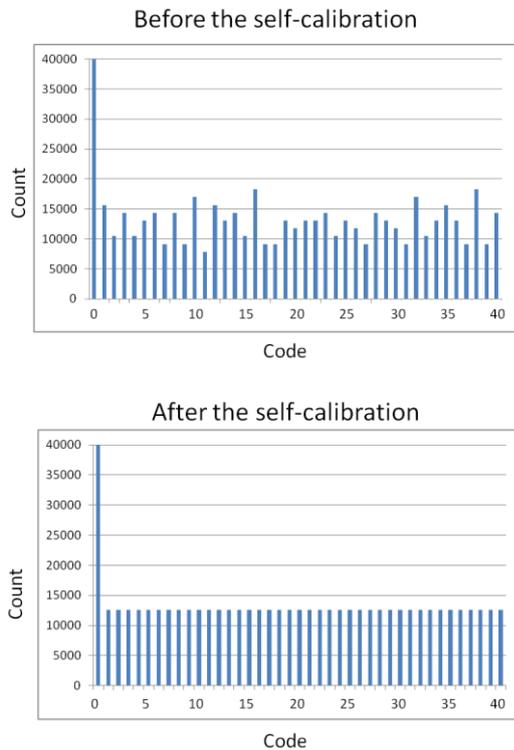


図 17. 確率的 TDC シミュレーション結果  
Fig.17. Simulation result of Stochastic TDC.

## 6. バーニア型 TDC への自己校正技術の適用

バーニア型 TDC (図 17) に対しても自己校正アルゴリズムの適用を検討した。バーニア型 TDC は時間分解能が  $(\tau_1 - \tau_2)$  となり基本の TDC より高時間分解能が実現できるが、線形性に関して基本 TDC より劣化する。自己校正アルゴリズムを適用する。遅延バッファ 8 段でのシミュレーション結果を図 18 に示す。線形性が改善させていることが確認できる。

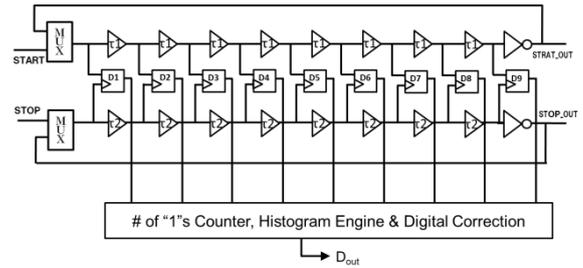


図 17 自己校正機能を備えたバーニア型 TDC  
Fig.17. Vernier delay line TDC with self-calibration.

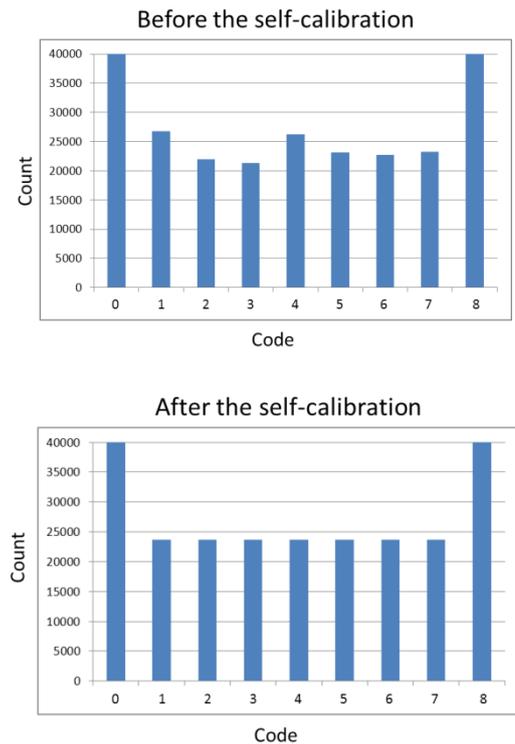


図 18 バーニア型 TDC シミュレーション結果  
Fig.18. Simulation result of Vernier delay line TDC

## 7. バーニア型確率的 TDC への自己校正技術の適用

バーニア型確率的 TDC(図 19)に自己校正を適用する。バーニア型 TDC の分解能( $\tau_1 - \tau_2$ )に加え、DFF オフセットばらつきにより、これまでの TDC より高時間分解能が実現できる。遅延バッファ 8 段で各遅延バッファに対し 5 個の DFF を接続する構成をとり、シミュレーションを行ない、結果を図 20 に示す。線形性が改善されていることが確認できた。

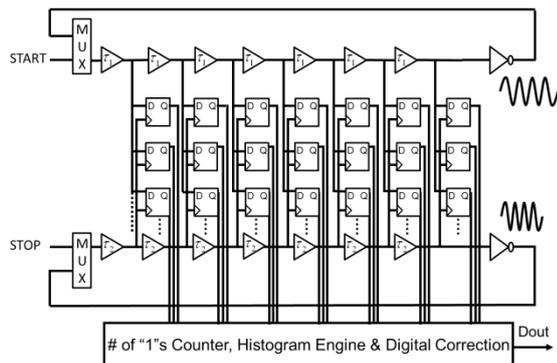


図 19 自己校正機能を備えたバーニア型確率的 TDC  
Fig.19. Vernier Stochastic TDC with self-calibration.

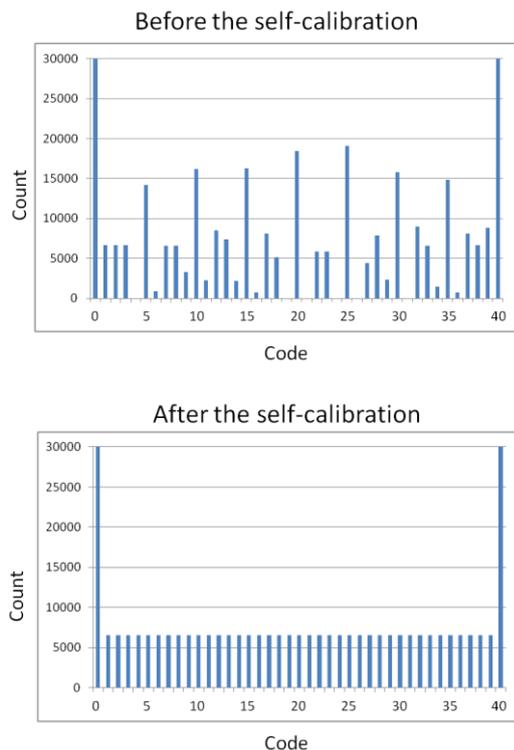


図 20 バーニア型確率的 TDC シミュレーション結果  
Fig.20. Simulation result of Vernier-stochastic TDC.

## 8. まとめ

この論文ではリング発振回路構成、ヒストグラム法による TDC 回路線形性のデジタル自己校正がバーニア型、確率的、およびその両者の組み合わせの TDC アーキテクチャに適用可能であることを、等価回路変換と Matlab シミュレーションによって示した。この回路は完全にデジタル回路で構成されているため、FPGA での実現も可能である。提案 TDC 回路は微細 CMOS での実装に適している。

謝辞： 本研究は半導体理工学研究センター(STARC) に支援されています。

## 文 献

- (1) J. Yu, et. al., "A 12bit Vernier Ring Time-to-Digital Converter in  $0.13 \mu\text{m}$  Technology", IEEE JSSC, vol. 45, no. 4 (April 2010).
- (2) M. Zanuso, et.al., "Time-to-Digital Converter for Frequency Synthesis Based on a Digital Bang-Bang PLL", IEEE Trans. CAS, (March 2010).
- (3) S. Henzler, et. al., "90nm 4.7ps-Resolution 0.7-LSB Single-Shot Precision and 19pJ-per-Shot Local Passive Interpolation Time-to-Digital Converter with On-Chip Characterization", ISSCC (Feb. 2008).
- (4) R. B. Staszewski, et.al., "1.3V 20p Time-to-Digital Converter for Frequency Synthesis in 90-nm CMOS", IEEE Trans. CAS II (Mar.2006).
- (5) M. Lee, A. A. Abidi, "A 9b, 1.25ps Resolution Coarse-Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue", Symposium on VLSI Circuits (June 2007).
- (6) S. Ito, S. Nishimura, H. Kobayashi, S. Uemori, Y. Tan, N. Takai, T. J. Yamaguchi, Ki. Niitsu, "Stochastic TDC Architecture with Self-Calibration" IEEE Asia Pacific Conference on Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- (7) 小室貴紀, ヨッヘン・リヴォアル, 清水 一也, 光野正志, 小林春夫, 「タイムデジタイザを用いた AD 変換器アーキテクチャ」、電子情報通信学会誌 和文誌 C vol. J90-C, no.2, pp.125-133 (2007 年 2 月).