

高精度・低消費電力サイクリックADCの 自己校正法の検討

群馬大学大学院
工学研究科 電気電子工学専攻
情報通信システム第2研究室
劉 羽

アウトライン

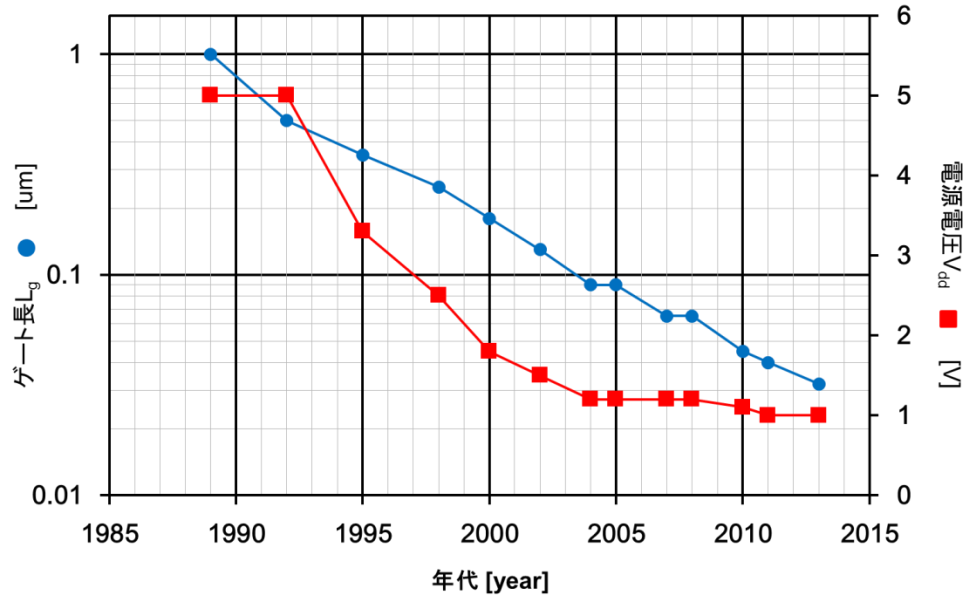
- 研究背景・目的
- Cyclic ADCの基本構造・動作
- 有限ゲイン誤差、容量ミスマッチの影響
- 自己校正アルゴリズム
- シミュレーション結果
- まとめと今後の予定

アウトライン

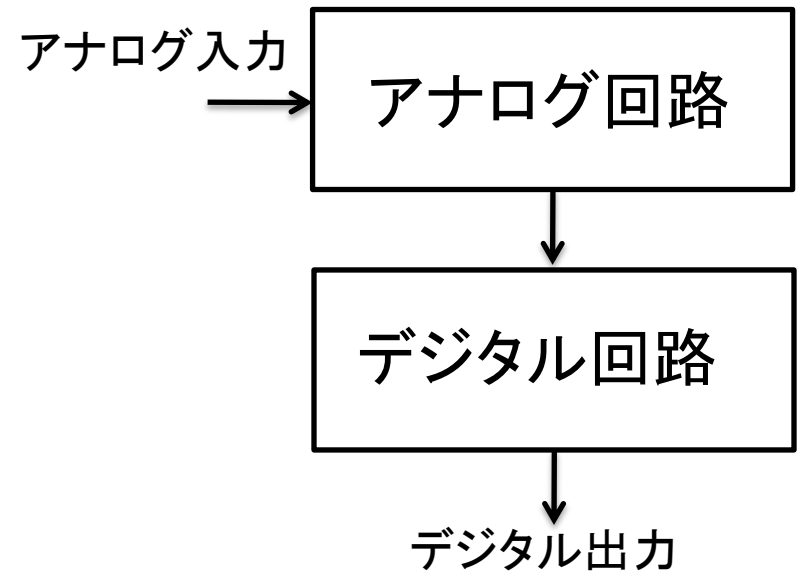
- 研究背景・目的
- Cyclic ADCの基本構造・動作
- 有限ゲイン誤差、容量ミスマッチの影響
- 自己校正アルゴリズム
- シミュレーション結果
- まとめと今後の予定

研究背景

CMOSプロセスの微細化



デジタルアシスト技術



- ・デジタル → 大きな恩恵(高精度、低消費電力)
- ・アナログ → 必ずしも恩恵を受けない(電源電圧低下)
- ・デジタルアシスト技術 → アナログ回路の性能を向上

研究目的

- ・研究目的

- 高精度・低消費電力Cyclic AD変換器のデジタル自己校正法

- ・Cyclic AD変換器

- 高精度・回路面積小(メリット)

- ・アンプ低消費電力化、容量を小さくする

- 回路誤差(有限ゲイン、容量ミスマッチ)

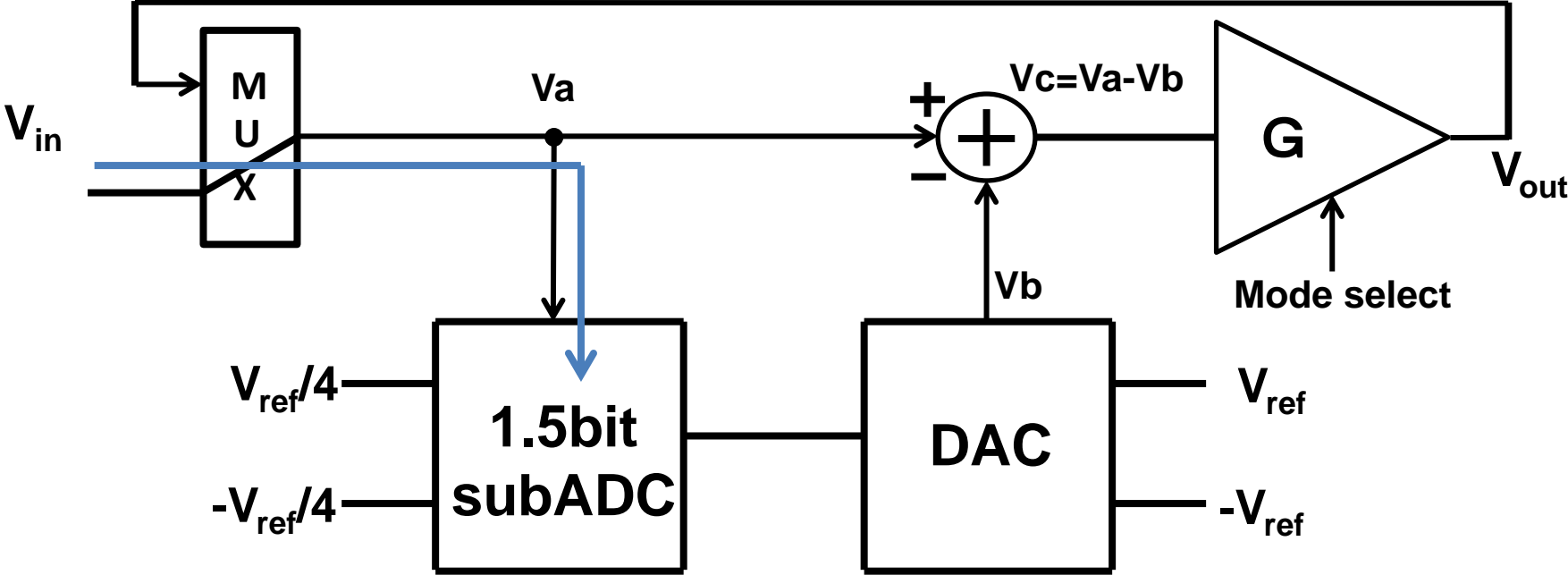
- ・デジタルアシスト技術の応用

- デジタル自己校正法

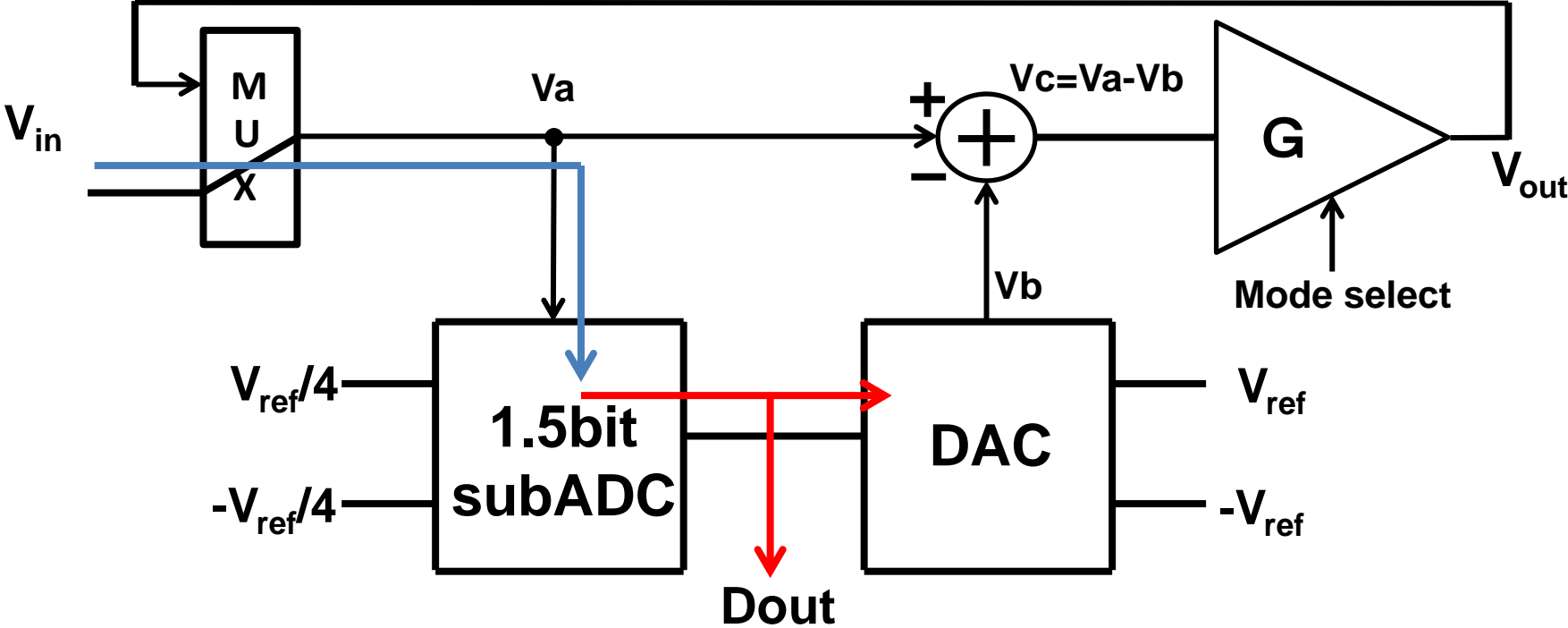
アウトライン

- 研究背景・目的
- **Cyclic ADCの基本構造・動作**
- 有限ゲイン誤差、容量ミスマッチの影響
- 自己校正アルゴリズム
- シミュレーション結果
- まとめと今後の予定

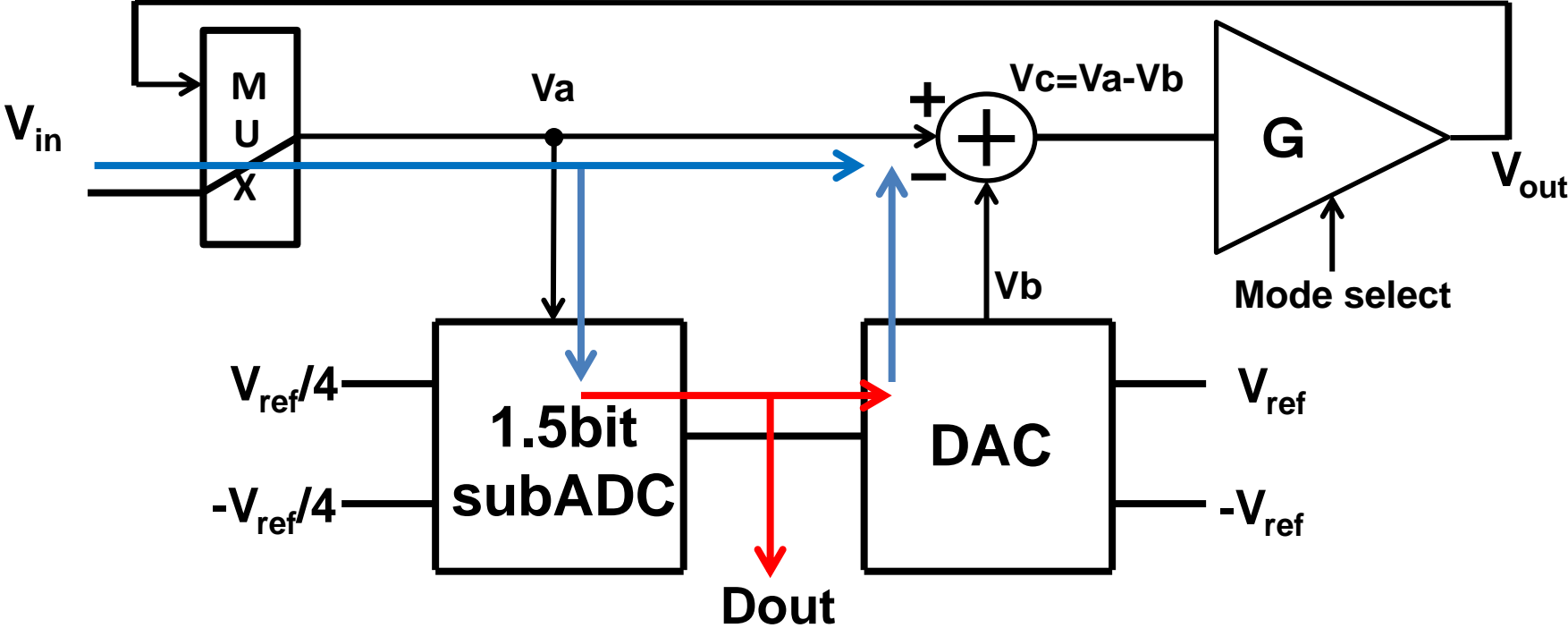
Cyclic ADC基本構造



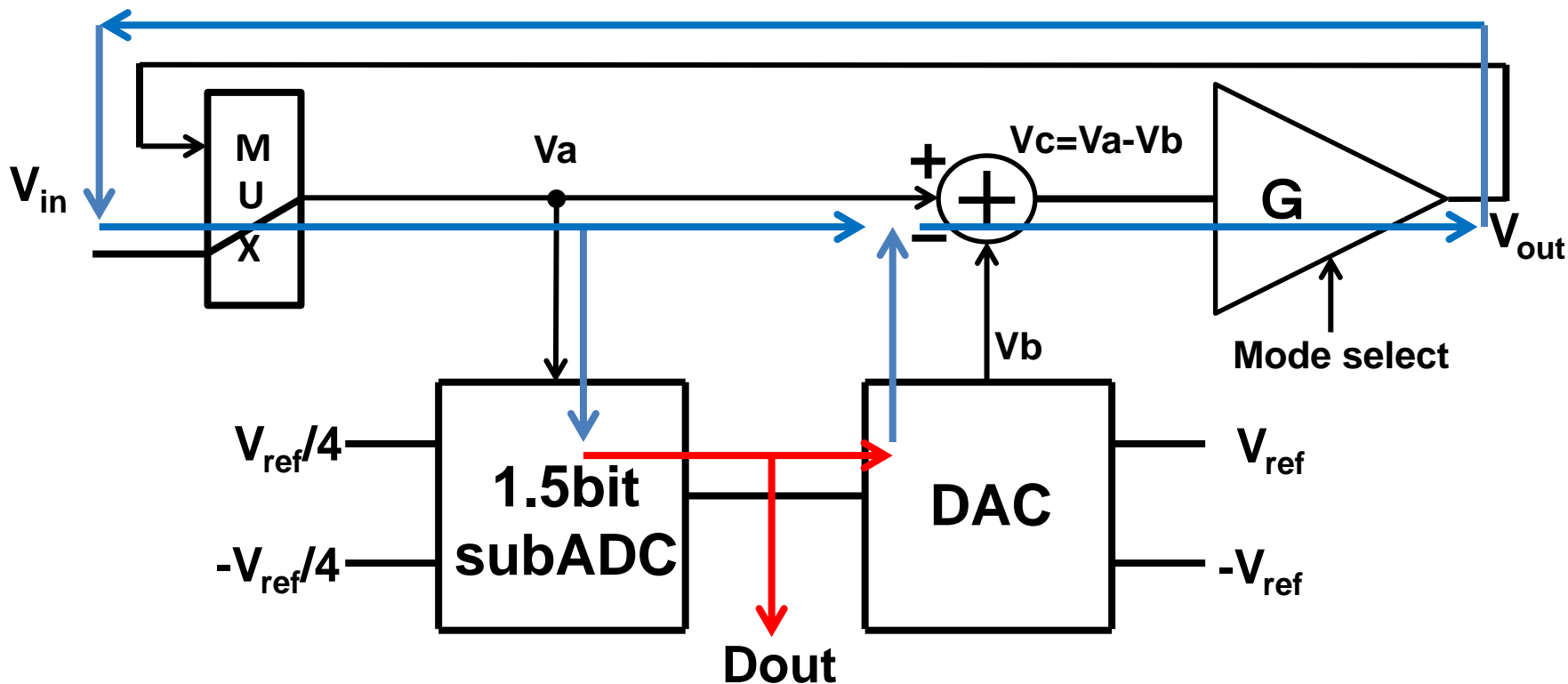
Cyclic ADC基本構造



Cyclic ADC基本構造



Cyclic ADC基本構造

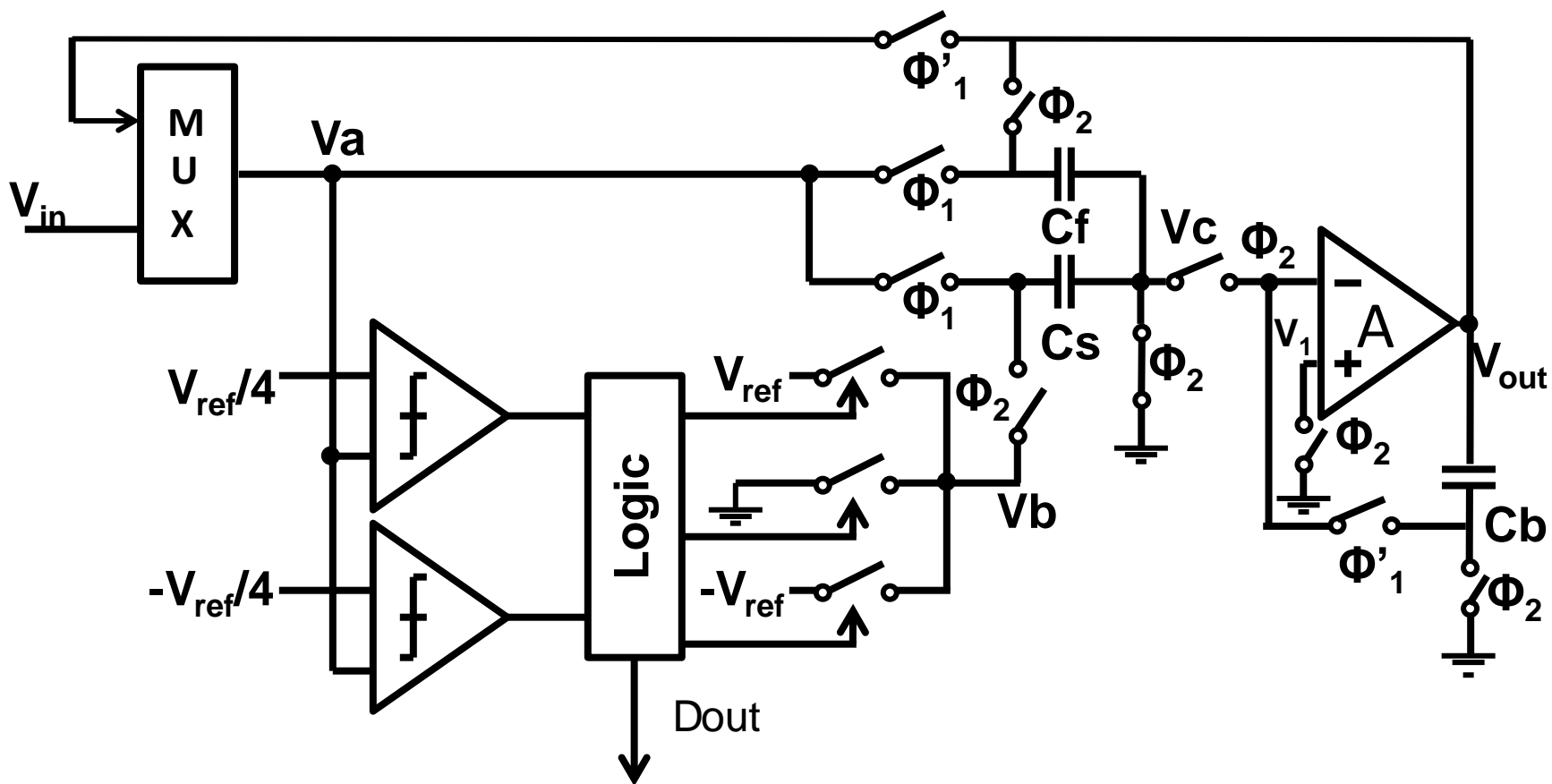


伝達関数(理想)

$$V_{out} = 2V_{in} - D * V_{ref}$$

$$D = \begin{cases} 1 & (V_{in} \geq V_{ref}/4 & V_b = V_{ref}) \\ 0 & (-V_{ref}/4 \leq V_{in} \leq V_{ref}/4 & V_b = 0) \\ -1 & (V_{in} \leq -V_{ref}/4 & V_b = -V_{ref}) \end{cases}$$

Cyclic ADC基本回路

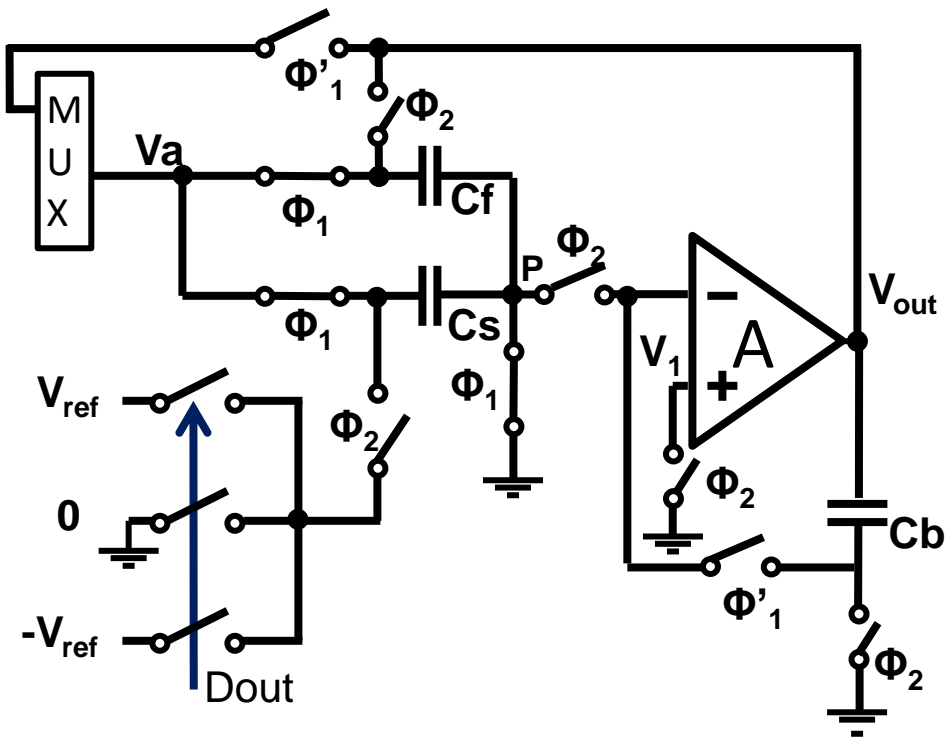


冗長性を考慮し、二つのコンパレータの構造を使用

アウトライン

- 研究背景・目的
- Cyclic ADCの基本構造・動作
- **有限ゲイン誤差、容量ミスマッチの影響**
- 自己校正アルゴリズム
- シミュレーション結果
- まとめと今後の予定

ADCへの誤差影響

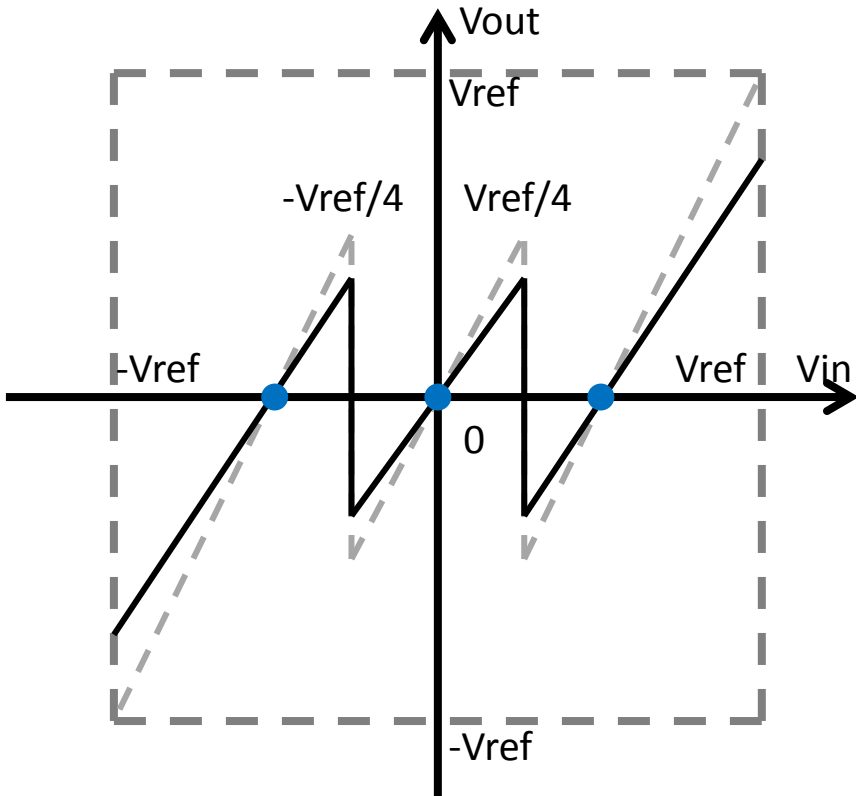


	有限ゲイン誤差	容量 mismatch
理想	$A = \text{無限大}$	$C_f = C_s$
実際	$A = \text{有限}$	$C_f \neq C_s$

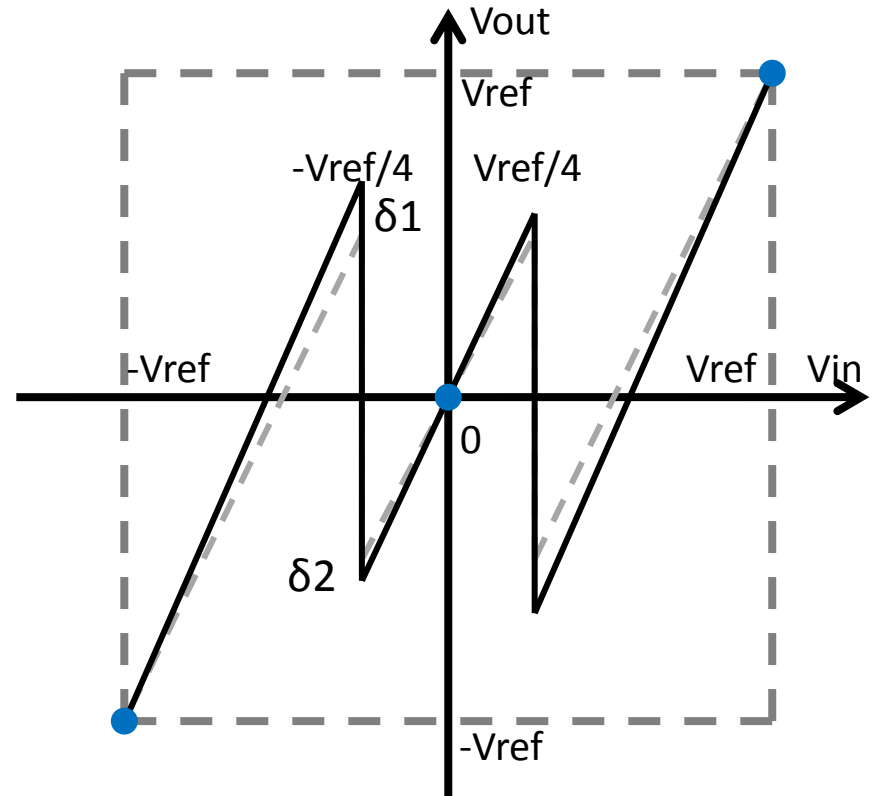
主な電力が消費される

ADCへの誤差影響

有限ゲイン誤差ありの出力波形



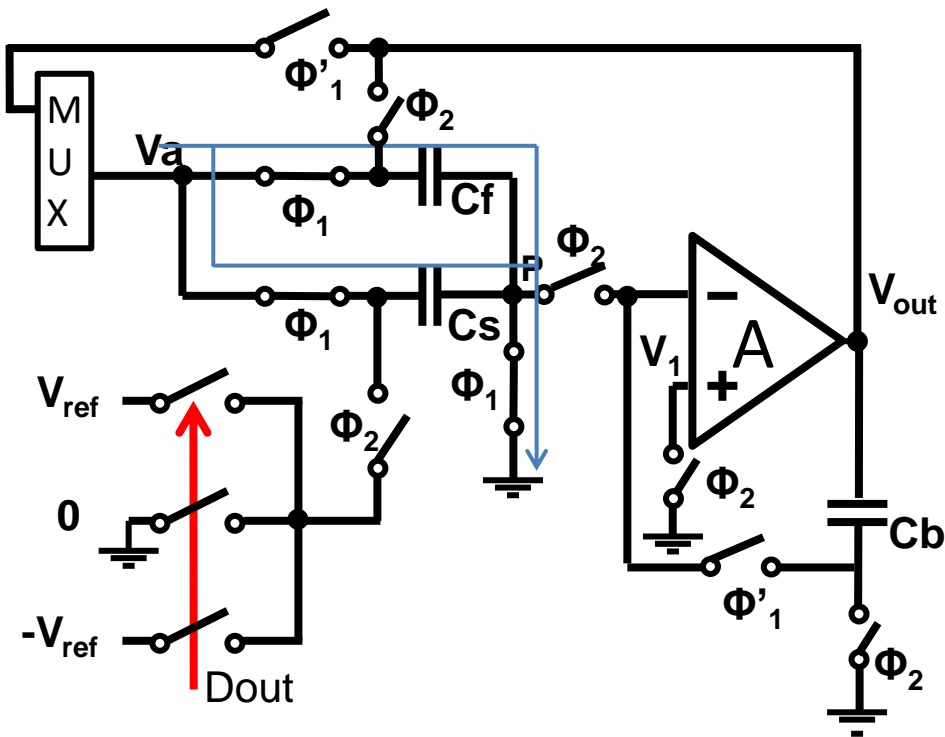
容量ミスマッチありの出力波形



--- 理想
— 実際

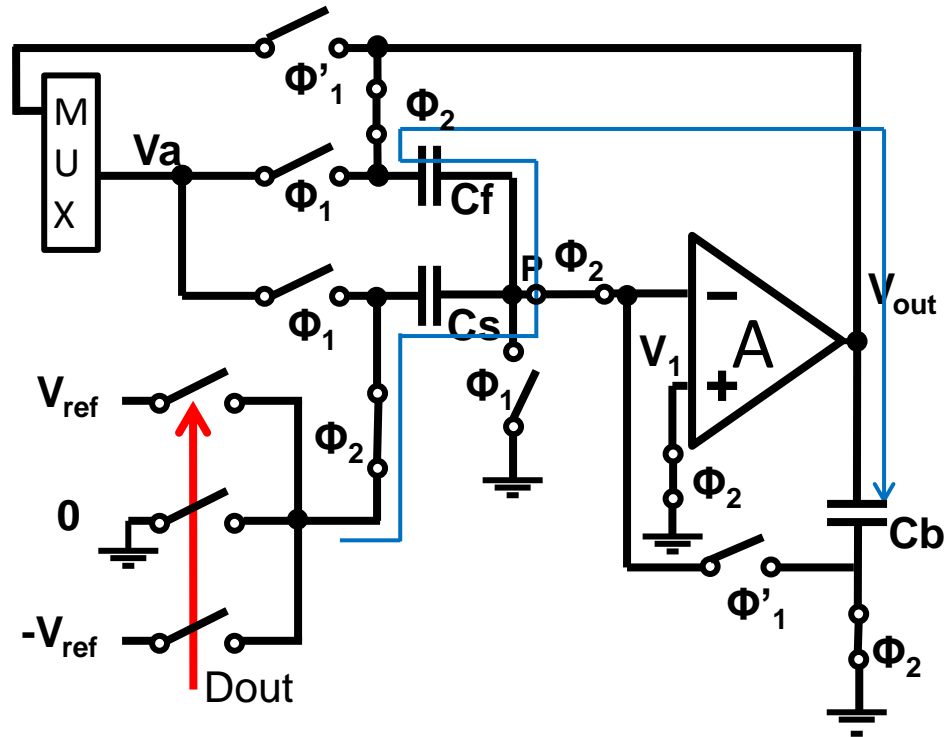
乗算型DAC動作

サンプリングモード



1. $Q_f = V_{in} * C_f$
 $Q_s = V_{in} * C_s$

増幅モード

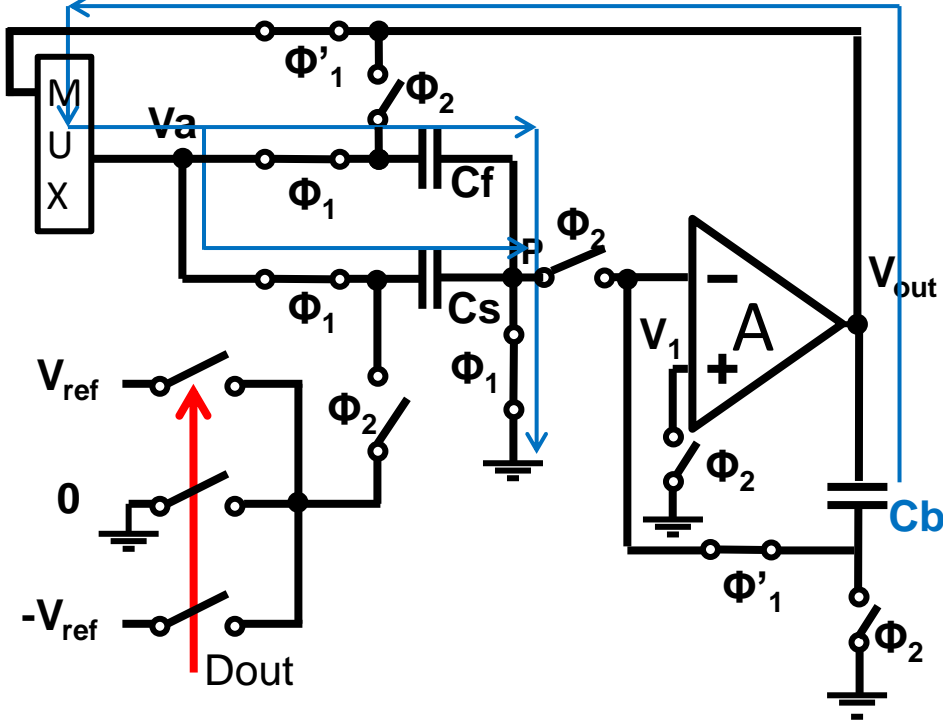


2. $Q'_f = (V_{out} - V_1) * C_f$
 $Q'_s = (V_{DAC} - V_1) * C_s$

乗算型DAC動作

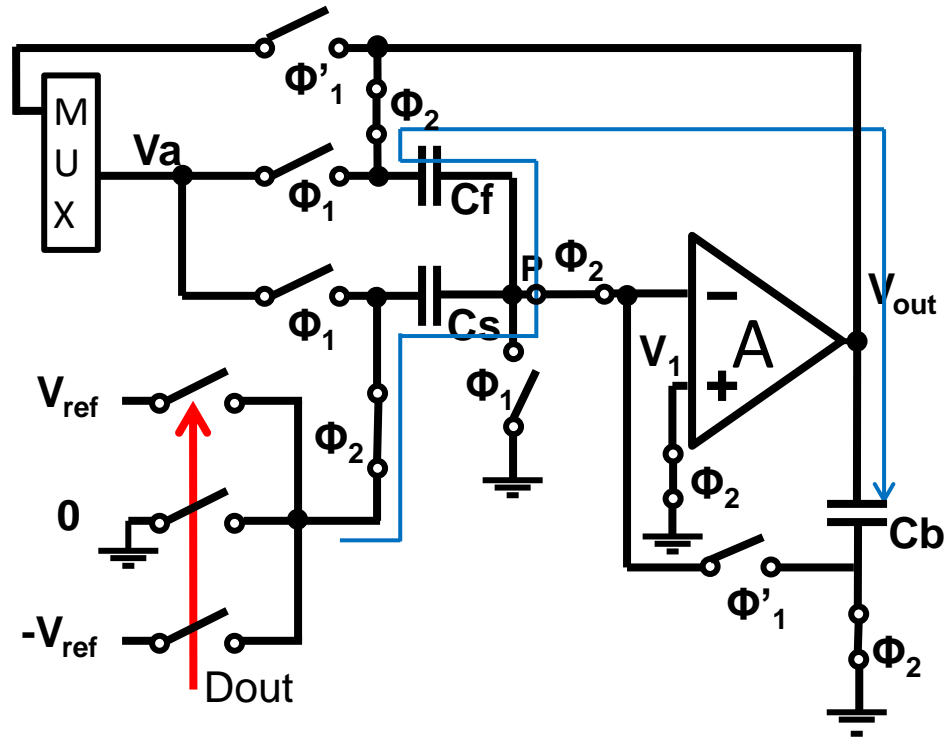
サンプリングモード

次サイクル



3. 次サイクル
 $Q_f = V_{in} * C_f$
 $Q_s = V_{in} * C_s$

増幅モード



4. 次サイクル
 $Q'_f = (V_{out} - V_1) * C_f$
 $Q'_s = (V_{DAC} - V_1) * C_s$

伝達関数の導出

点P: 電荷保存則を用い、伝達関数を導出

$$-Q_f - Q_s = -Q_{f'} - Q_{s'} \quad , \quad V_1 = V_{out}/A$$



$$-V_{in} * C_f - V_{in} * C_s = -(V_{out} - V_1) * C_f - (VDAC - V_1) * C_s$$



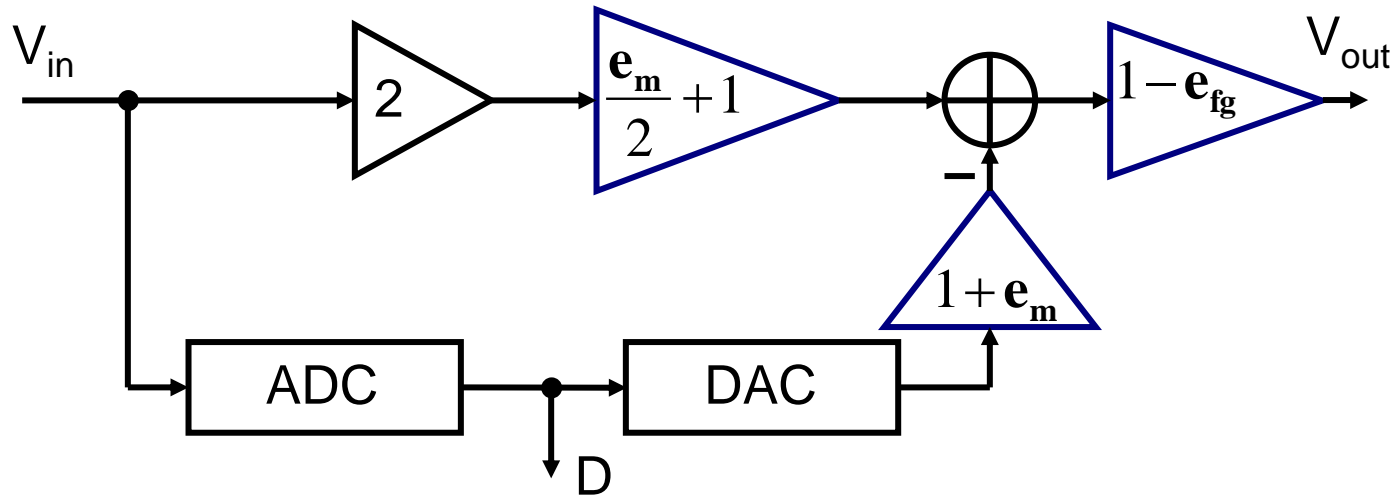
$$V_{out} = \frac{V_{in} - D * VDAC * \frac{C_s}{C_s + C_f}}{\frac{C_f}{C_f + C_s} - \frac{1}{A}} = \frac{\left(1 + \frac{C_s}{C_f}\right) V_{in} - \frac{C_s}{C_f} * D * VDAC}{1 + \frac{1}{A\beta}}$$



容量ばらつき: $em = (C_s - C_f)/C_f$
有限ゲイン: $efg = 1/A\beta$
A: アンプ利得
 β : 帰還係数 = $C_s/(C_s + C_f)$

$$V_{out} = (1 - efg) \left\{ \left(1 + \frac{em}{2}\right) * 2V_{in} - (1 + em)D * V_{ref} \right\}$$

伝達関数モデル



(理想) $V_{out} = 2V_{in} - D * V_{ref}$ $D = \begin{cases} 1 & (V_{in} \geq V_{ref}/4 & V_b = V_{ref}) \\ 0 & (-V_{ref}/4 \leq V_{in} \leq V_{ref}/4 & V_b = 0) \\ -1 & (V_{in} \leq -V_{ref}/4 & V_b = V_{ref}) \end{cases}$

(実際) $V_{out} = (1 - e_{fg}) \left\{ \left(1 + \frac{e_m}{2}\right) * 2V_{in} - (1 + e_m)D * V_{ref} \right\}$

アウトライン

- 研究背景・目的
- Cyclic ADCの基本構造・動作
- 有限ゲイン誤差、容量ミスマッチの影響
- **自己校正アルゴリズム**
- シミュレーション結果
- まとめと今後の予定

提案自己校正のアプローチ

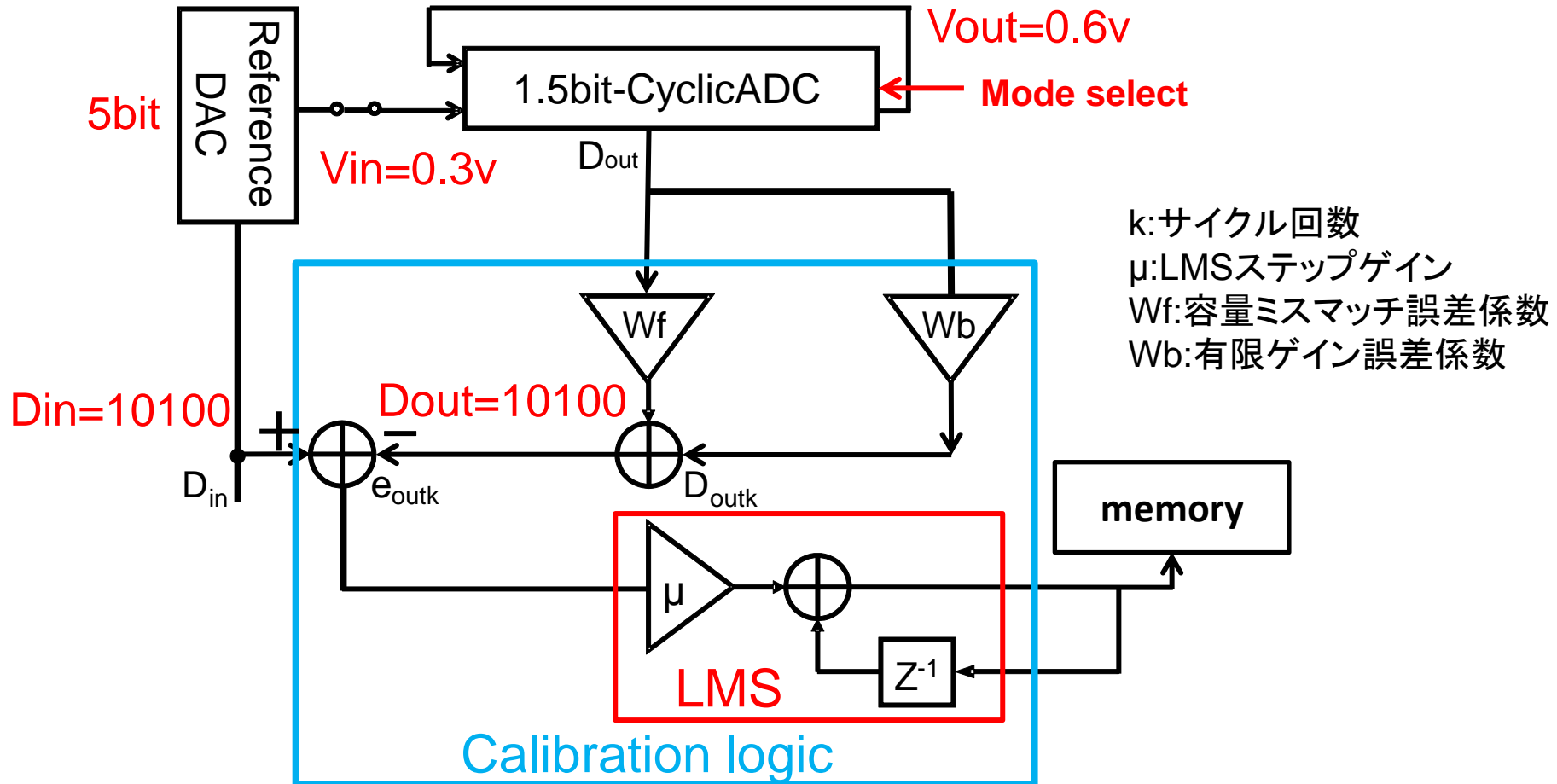
自己校正モード

- ・高電力モード → 容量ミスマッチを測定
- ・通常モード → 有限ゲイン誤差を測定

通常動作モード

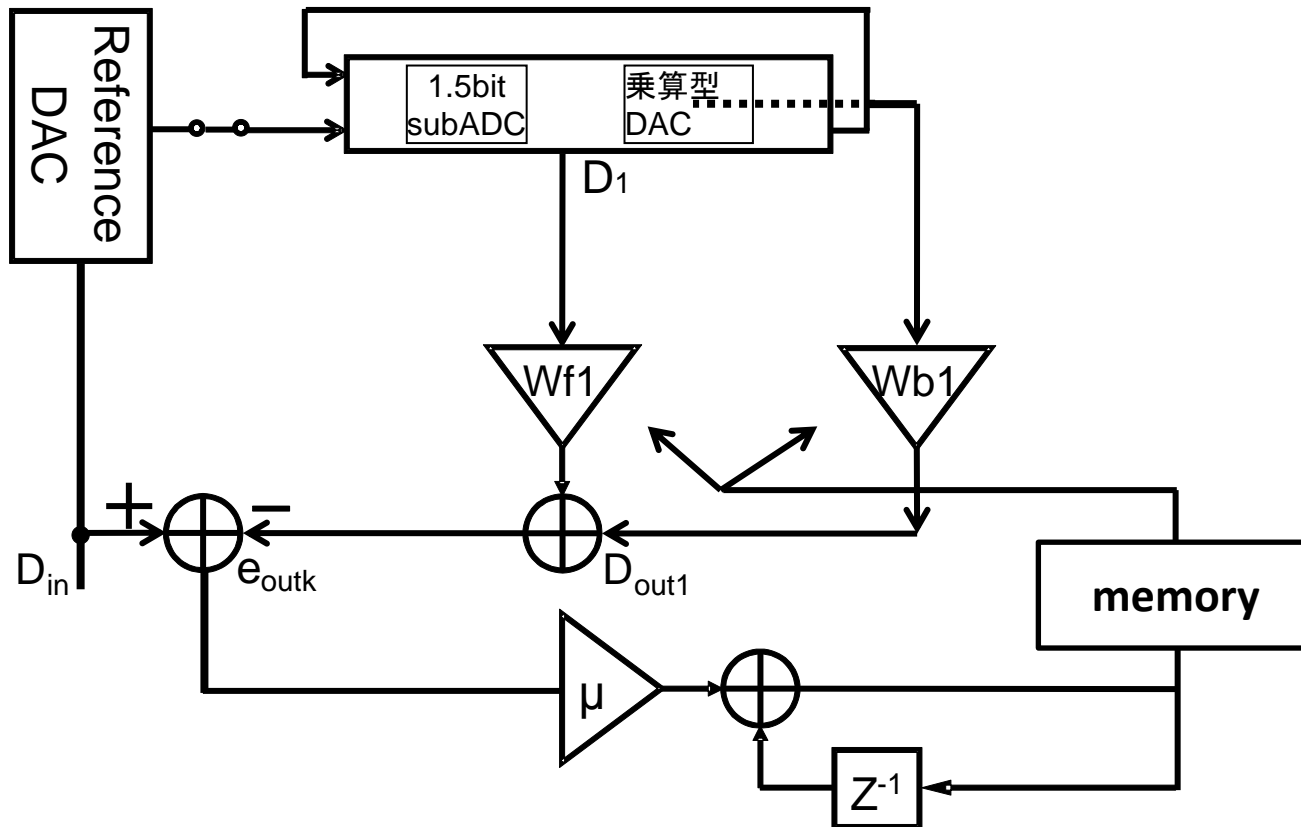
- ・システム通常動作 → 自己校正を行う

提案自己校正のアプローチ

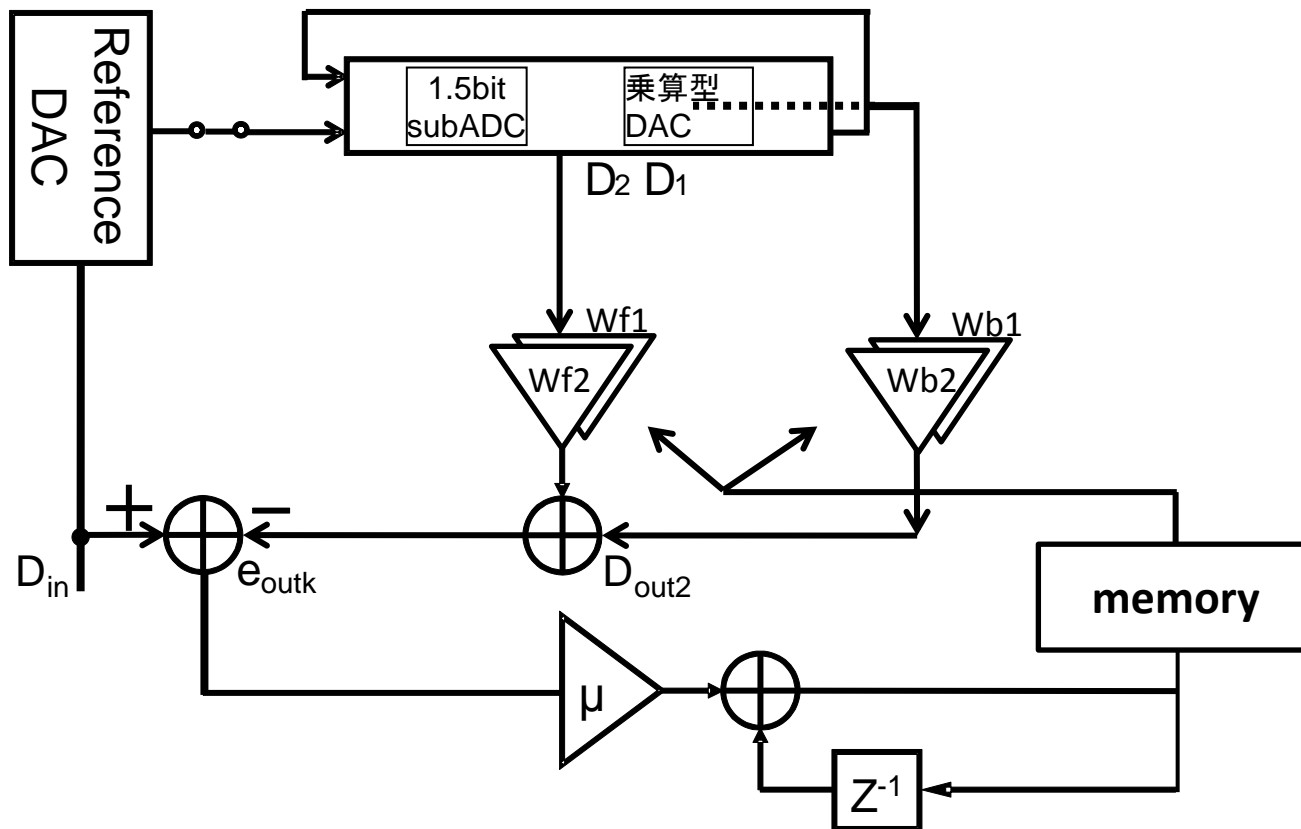


システムの分解能と合わせるリファレンスDACを使用

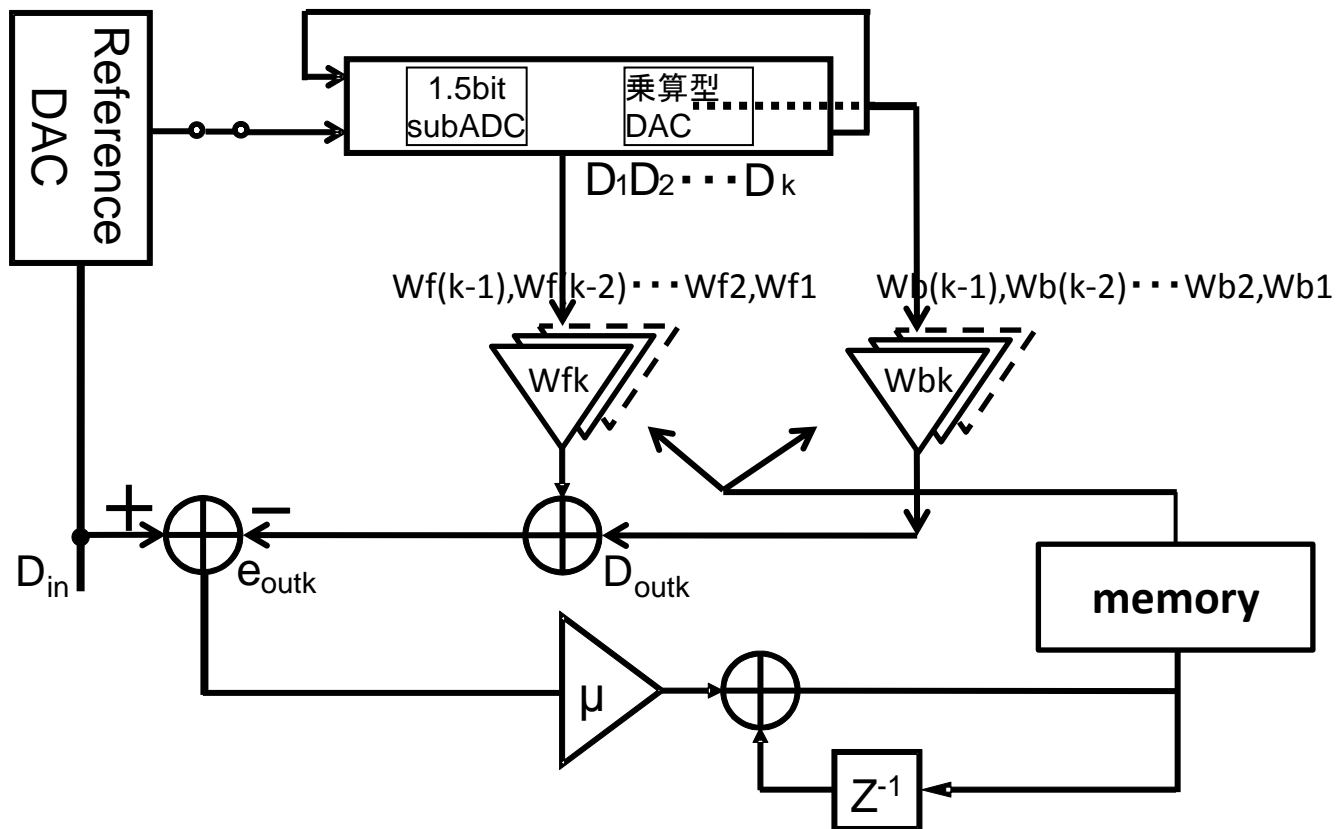
自己校正システムの1サイクル動作



自己校正システムの2サイクル動作

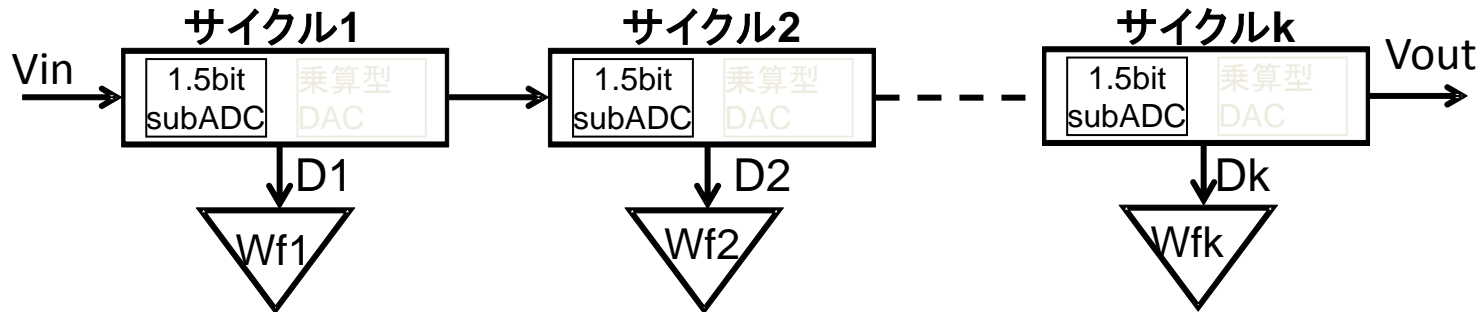


自己校正システムのkサイクル動作

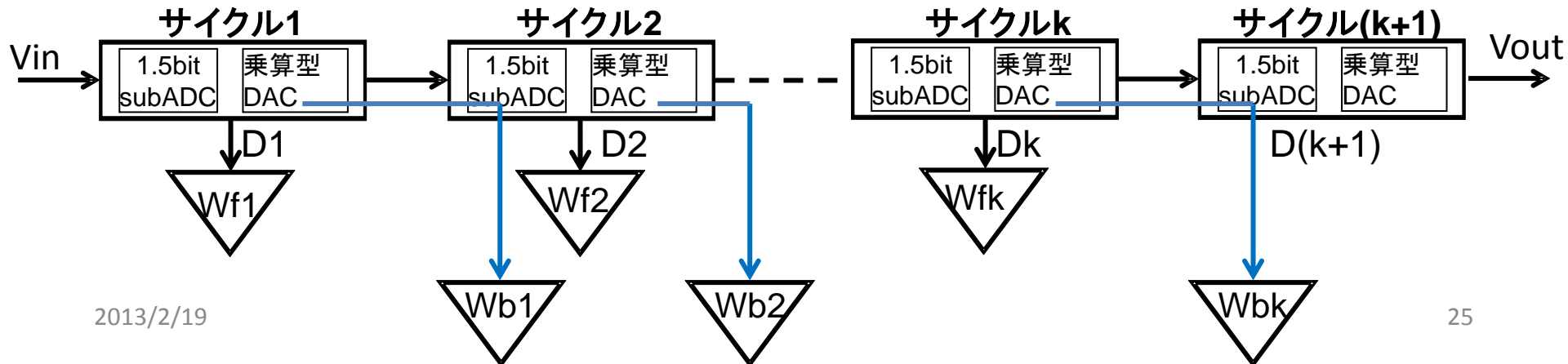


回路誤差の測定

- ・システムが高電力モードとなり、オペアンプの利得が無限大
→ 回路誤差は容量ミスマッチのみ

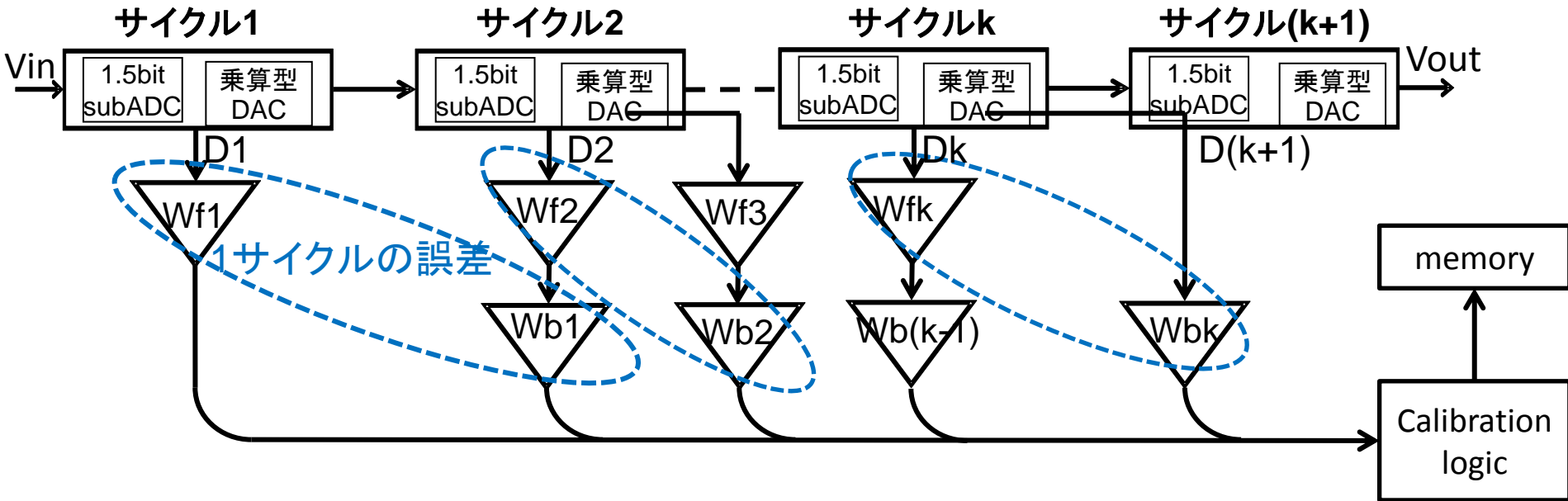


- ・システムが通常モードに戻り、容量ミスマッチ誤差を除き
→ 有限ゲイン誤差 Wb

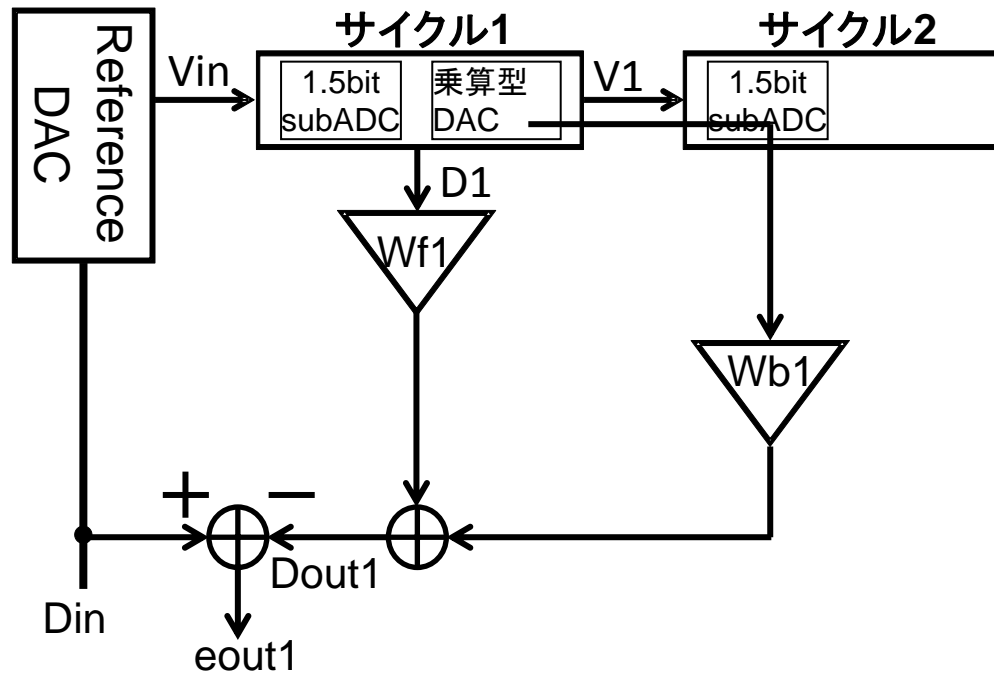


回路誤差の分析

- ・高電力モード → 容量ミスマッチ補正係数 $Wf(k)$
- ・通常モード → 有限ゲイン補正係数 $Wb(k)$



1サイクル動作の補正係数



$$\begin{cases} D_{out1} = Wf1 * D1 + Wb1 * V1 \\ V1 = (1 - efg) [(1 + em/2) * 2 * V_{in} - (1 + em) * D1 * V_{ref}] \\ V_{ref} = 1 \end{cases}$$

1サイクル動作の補正係数

$$e_{out1} = D_{in} - D_{out1}$$

$$= V_{in} - W_{f1} * D_1 - W_{b1} * (1 - e_{fg}) \{ (1 + e_m / 2) * 2 * V_{in} - (1 + e_m) * D_1 * V_{ref} \}$$

$$= V_{in} [1 - W_{b1} (1 - e_{fg}) (1 + e_m / 2) * 2] + D_1 [W_{b1} (1 - e_{fg}) (1 + e_m) - W_{f1}]$$

• $e_{out1} = 0 \longrightarrow W_{f1}$ と W_{b1} が最適に収束

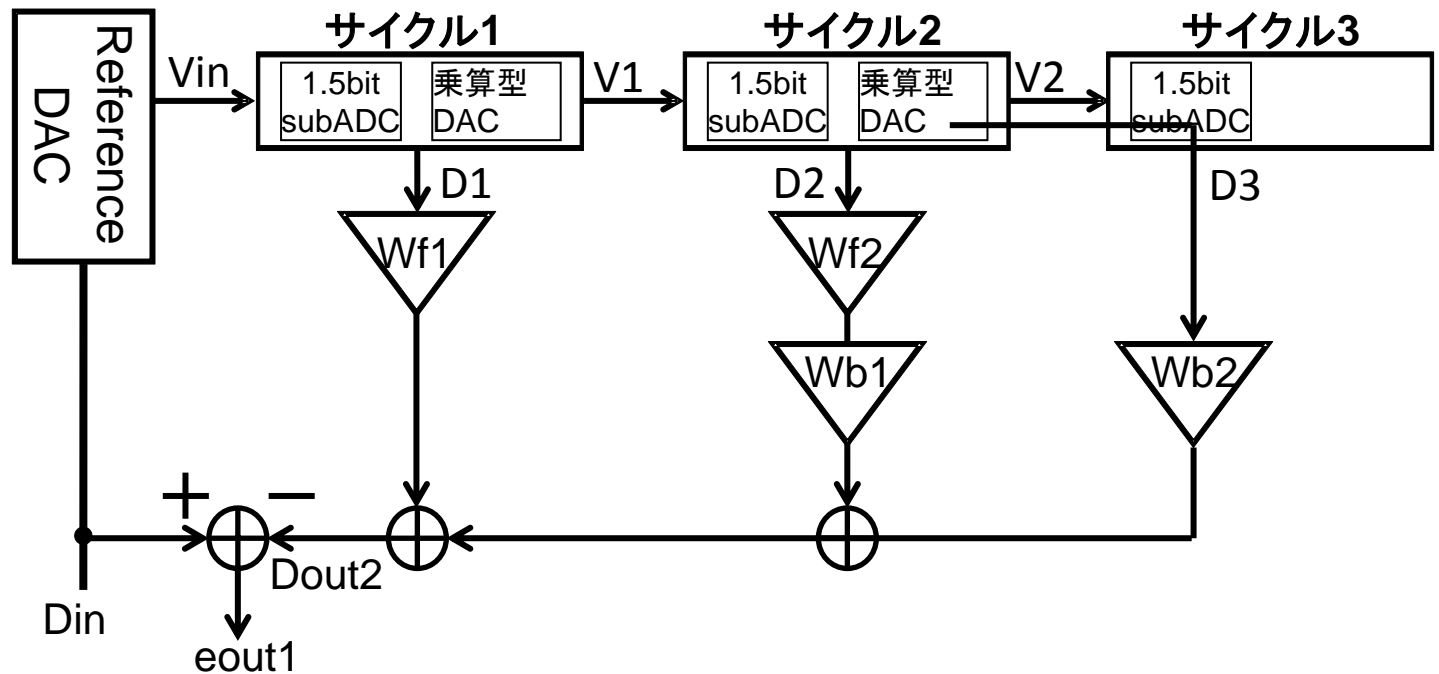
$$\begin{cases} W_{b1} = 1/2(1 - e_{fg})(1 + e_m/2) \\ W_{f1} = (1 + e_m)/2(1 + e_m/2) \end{cases}$$

最急降下法(LMS)

$$W_{b(k+1)} = W_{b(k)} + \mu(e_{outb1}) = W_{b(k)} + \mu\{V_{in} - W_{b(k)} 2(1 - e_{fg})(1 + e_m/2)V_{in}\}$$

$$W_{f(k+1)} = W_{f(k)} + \mu(e_{outf1}) = W_{f(k)} + \mu\{D_1(1 + e_m)/2(1 + e_m/2) - W_{f(k)}\}$$

2サイクル動作の補正係数



$$\left\{ \begin{array}{l} D_{out2} = W_{f1} * D1 + W_{f2} * W_{b1} * D2 + W_{b2} * V2 \\ V2 = (1 - e_{fg}) [(1 + e_m / 2) * 2 * V1 - (1 + e_m) * D1 * V_{ref}] \\ V_{ref} = 1 \end{array} \right.$$

2サイクル動作の補正係数

$$e_{out2} = D_{in} - D_{out2}$$

$$= V_{in} - W_{f1} * D_1 - W_{f2} * W_{b1} * D_2 - W_{b2} * V_2$$

$$= V_{in} - W_{f1} * D_1 - W_{b1} * W_{f2} * D_2 - W_{b2} (1 - e_{fg}) \{ [(2(1 - e_{fg})(1 + e_m/2))^2] * V_{in} - (1 + e_m/2)^2 (1 - e_{fg})(1 + e_m) D_1 - (1 + e_m) D_2 \}$$

$$= V_{in} \{ 1 - W_{b2} [2(1 - e_{fg})(1 + e_m/2)]^2 \} \\ + D_1 \{ W_{b2} * [(1 - e_{fg})^2] 2(1 + e_m/2)(1 + e_m) - [(1 + e_m)/(1 + e_m/2)^2] \} \\ + D_2 \{ W_{b2} (1 - e_{fg})(1 + e_m) - W_{f2} / [(1 - e_{fg})(1 + e_m/2)^2] \}$$

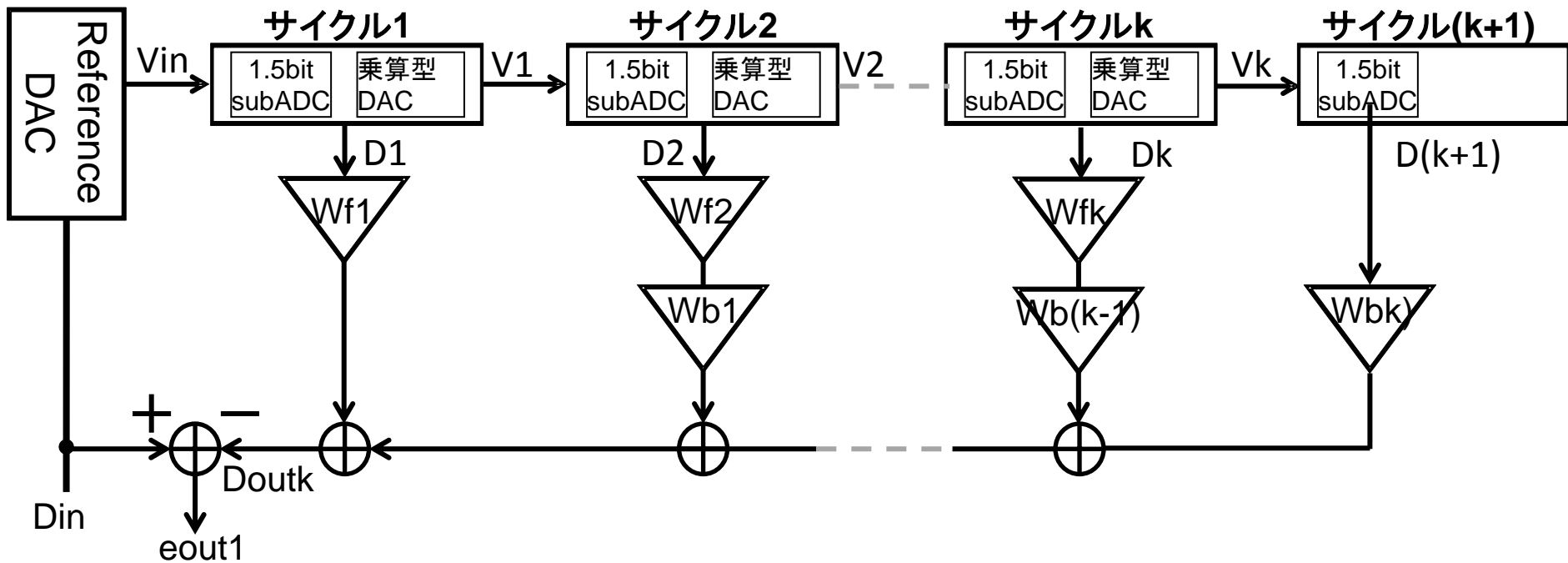
- $e_{out2} = 0 \longrightarrow W_{f2}$ と W_{b2} が最適に収束

$$\begin{cases} W_{b2} = 1 / [2(1 - e_{fg})(1 + e_m/2)]^2 \\ W_{f2} = (1 + e_m) / 2(1 + e_m/2) \end{cases}$$

$$W_{b(k+1)} = W_{b(k)} + \mu(e_{outb2}) = W_{b(k)} + \mu(e_{outb2})$$

$$W_{f(k+1)} = W_{f(k)} + \mu(e_{outf2}) = W_{f(k)} + \mu(e_{outf2})$$

kサイクル動作の補正係数



$$Doutk = Wf1 * D1 + Wf2 * Wb1 * D2 + Wf3 * Wb2 * D3 + \dots + Wfk * Wb(k-1) * Dk + Wbk * D(k+1)$$

$$Vk = (1 - efg) [(1 + em/2) * 2 * V(k-1) - (1 + em) * Dk * Vref]$$

$$Vref = 1$$

kサイクル動作の補正係数

$$e_{outk} = D_{in} - D_{outk}$$

$$= V_{in} - W_{f1} * D_1 - W_{f2} * W_{b1} * D_2 - W_{f3} * W_{b2} * D_3 \cdot \cdot \cdot - W_{fk} * W_{b(k-1)} * D_k - W_{bk} * D_{(k+1)}$$

• $e_{outk} = 0 \longrightarrow W_{fk}$ と W_{bk} が最適に収束

$$\begin{cases} W_{bk} = 1 / [2(1 - efg)(1 + em/2)]^k \\ W_{fk} = (1 + em) / 2(1 + em/2) \end{cases}$$

$$W_{b(k+1)} = W_{b(k)} + \mu(e_{outbk}) = W_{b(k)} + \mu(e_{outbk})$$

$$W_{f(k+1)} = W_{f(k)} + \mu(e_{outfk}) = W_{f(k)} + \mu(e_{outfk})$$

アウトライン

- 研究背景・目的
- Cyclic ADCの基本構造・動作
- 有限ゲイン誤差、容量ミスマッチの影響
- 自己校正アルゴリズム
- **シミュレーション結果**
- まとめと今後の予定

シミュレーション結果

分解能：12bit

サンプリング周波数=2¹⁶

Vref=1

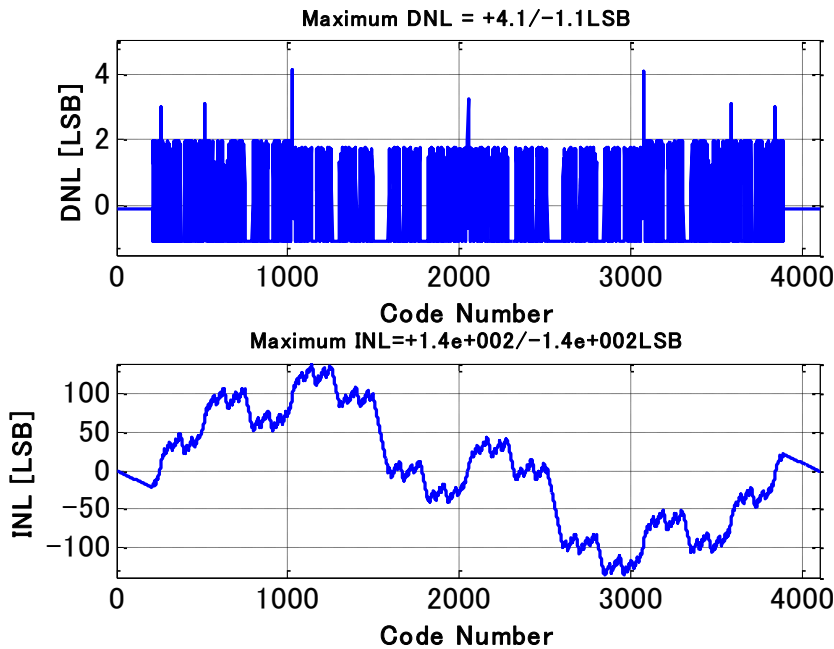
ステップゲイン： $\mu=1/128$

有限ゲイン誤差： $\text{efg}=0.14$

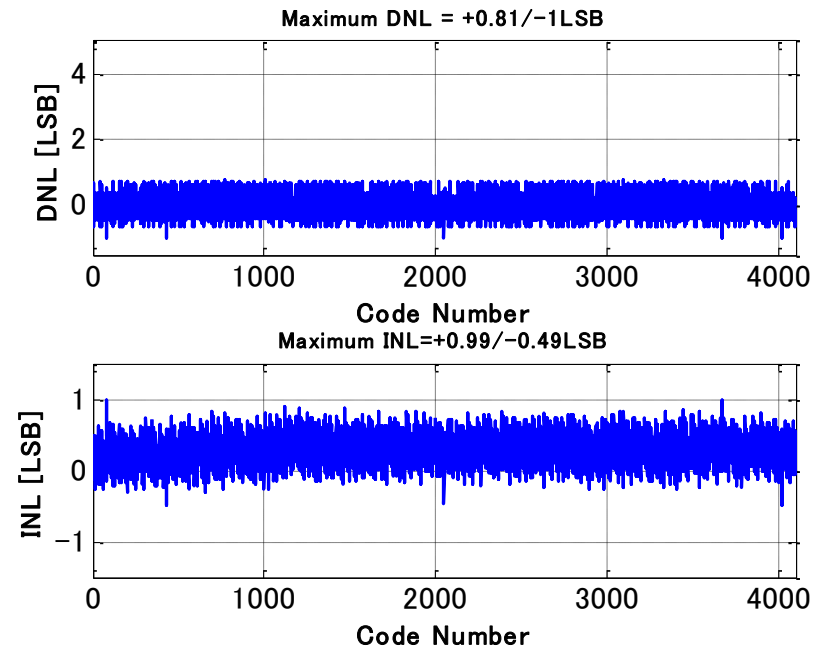
容量ミスマッチ誤差： $\text{em}=0.02$

自己校正前

自己校正後



DNL(MAX)=+4.1/-1LSB
INL(MAX)=+140/-140LSB



DNL(MAX)=+0.81/-1LSB
INL(MAX)=+0.99/-0.49LSB

ADCの線形性が良くなったことが分かった

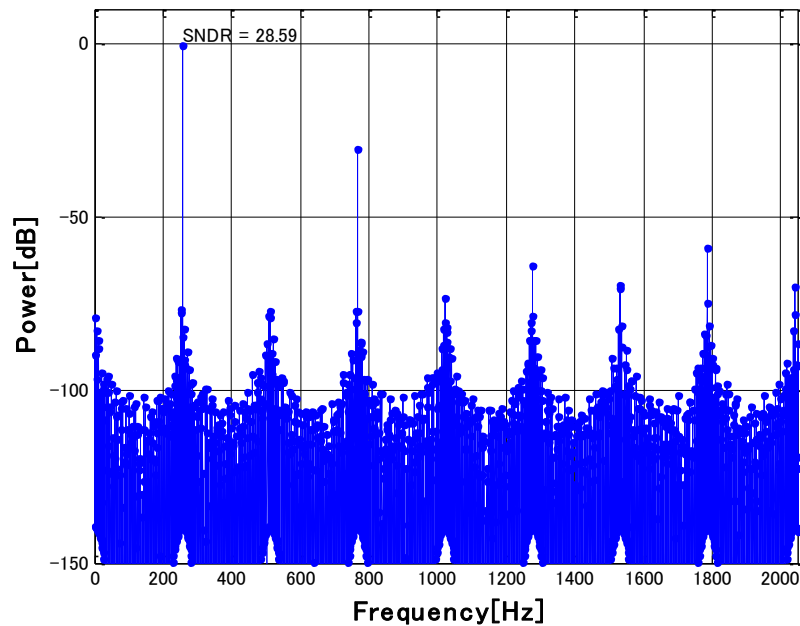
シミュレーション結果

分解能 : 12bit
入力周波数=255

$V_{ref}=1$
ステップゲイン : $\mu=1/128$

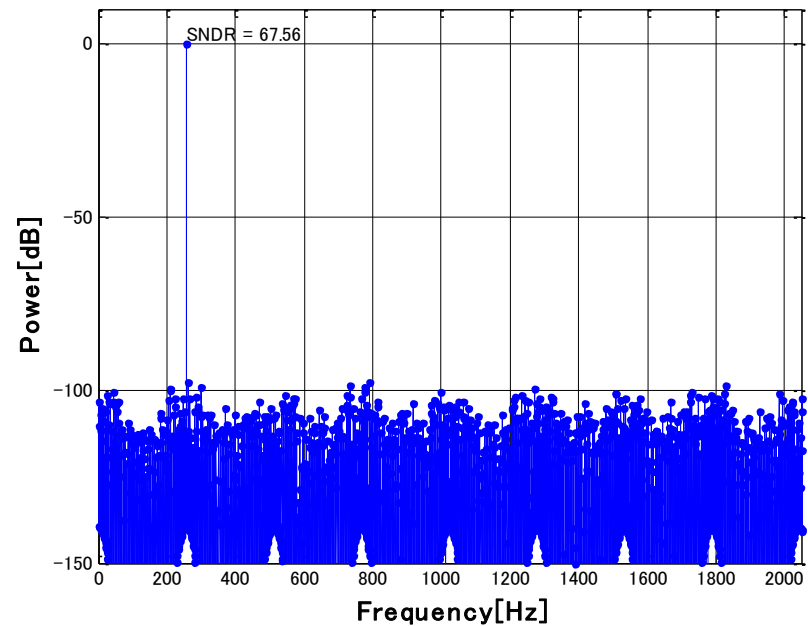
有限ゲイン誤差 : $efg=0.14$
容量ミスマッチ誤差 : $em=0.02$

自己校正前
FFT



SNR=34.94dB THD=-29.74dB
SNDR=28.59dB ENOB=4.46Bit

自己校正後
FFT



SNR=67.57dB THD=-97.8dB
SNDR=67.56dB ENOB=10.93Bit

有効bit数は4.46bitから10.93bitに大きく改善した

アウトライン

- 研究背景・目的
- Cyclic ADCの基本構造・動作
- 有限ゲイン誤差、容量ミスマッチの影響
- 自己校正アルゴリズム
- シミュレーション結果
- **まとめと今後の予定**

まとめ

- Cyclic ADCの誤差係数が規則的だと数学モデルで確認した。
- サイクル数が増えるにつれて、後段サイクルの有限ゲイン誤差が0に近づく。
- 有限ゲイン誤差、容量ミスマッチがある時、自己校正ができた。

今後の予定

- オペアンプの非線形性まで考慮し、ADCのデジタル自己校正の効果を確認。