

デュアルバンドCMOS LNA回路の検討

河内智*, 興大樹(群馬大学)

馬場清一, 壇徹, 高橋伸夫(三洋半導体)

小林春夫, 高井伸和, 志水勲(群馬大学)

OUTLINE

- 研究背景と目的
- デュアルバンドLNAについて
- インダクタ小型化の検討
- シミュレーションによる検討
- まとめ

OUTLINE

- 研究背景と目的
- デュアルバンドLNAについて
- インダクタ小型化の検討
- シミュレーションによる検討
- まとめ

研究背景

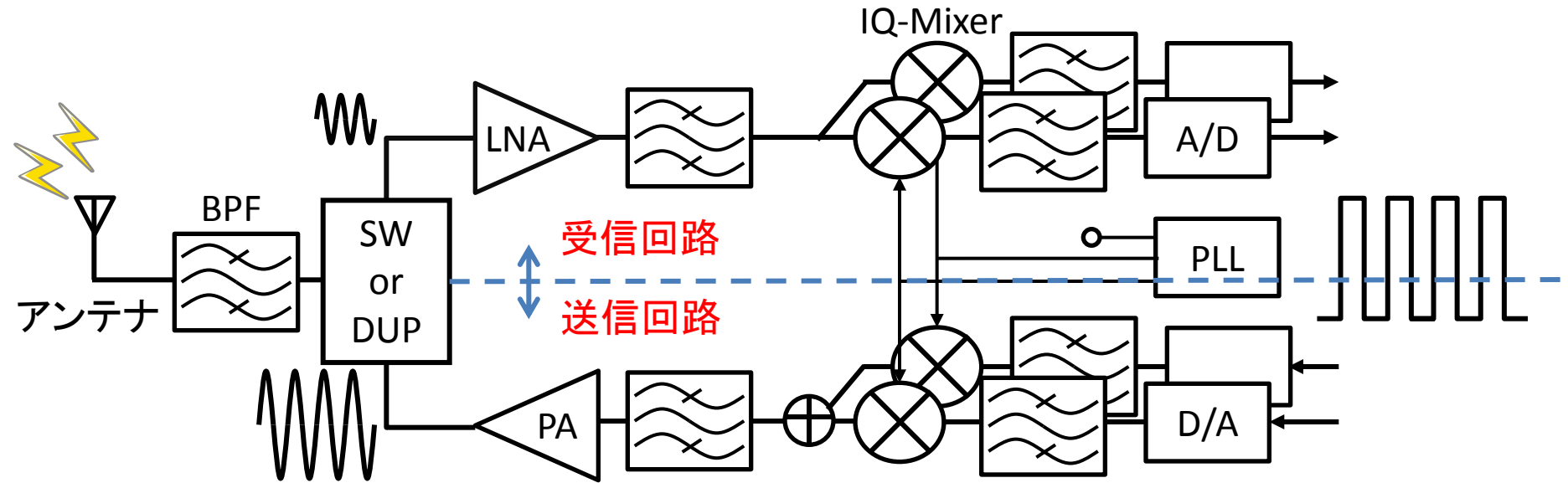
携帯電話等のRF受信回路 → 高性能化

- マルチバンド化
→ 多くの周波数信号をワンチップで受信
- 低消費電力化
- 低集積コスト化
- 高性能化

低雑音増幅器 (LNA : Low Noise Amplifier)
がキーコンポーネントとなる！



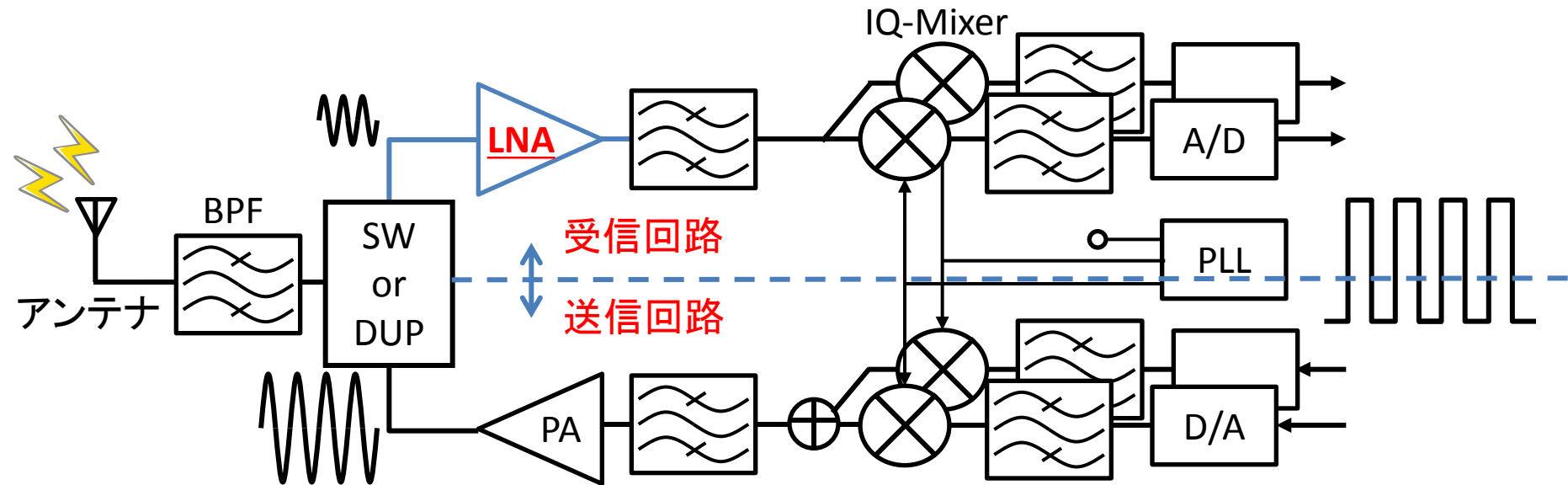
ダイレクトコンバージョン方式の 送受信アーキテクチャ



BPF:バンドパスフィルタ
SW:送受信切換スイッチ
DUP:分波回路
LNA:低雑音増幅器

PA:電力増幅器
A/D:A/D変換器
D/A:D/A変換器
PLL:PLL回路

ダイレクトコンバージョン方式の 送受信アーキテクチャ



LNA : Low Noise Amplifier(低雑音増幅器)

- ・・・アンテナによる受信信号を
後段で処理できるレベルまで、雑音・歪みを付加することなく信号を増幅する

目的

マルチバンドLNA回路の

集積コスト(回路面積)を小さくする

特に、集積コストへの影響が大きいインダクタ素子の小型化を目指す

- 電力利得(Power Gain)
- 雑音指数(NF : Noise Figure)
- 3次相互変調歪み(IIP3 : 3rd order Input Intercept Point)
- 入力整合(S11)

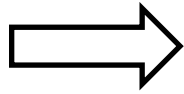
LNAの**要求性能**の劣化させずに実現

OUTLINE

- 研究背景と目的
- **デュアルバンドLNAについて**
- インダクタ小型化の検討
- シミュレーションによる検討
- まとめ

デュアルバンド LNAについて

近年の受信機：複数信号の受信が求められる



複数信号に対応したLNA

二種の周波数信号に対応・・・デュアルバンドLNA

多種の周波数信号に対応・・・マルチバンドLNA

要求性能

- 電力利得(Power Gain)
- 雑音指数(NF : Noise Figure)
- 3次相互変調歪み(IIP3 : 3rd order Input Intercept Point)
- 入力整合(S11)
- 消費電力
- 回路面積

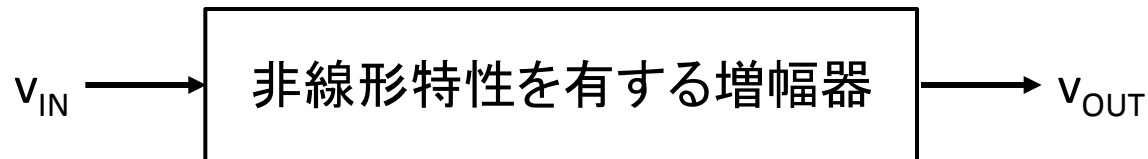
NFとIIP3の重要性

LNA : **Low Noise** Amplifier(**低雑音増幅器**)



強い妨害波が入る場合でも、微弱な所望信号を増幅可能・・・NFが小さいほうが良い

IIP3・・・数値が高いほど回路の線形性を示す



$$v_{OUT} = \alpha_1 v_{IN} + \alpha_2 v_{IN}^2 + \alpha_3 v_{IN}^3 + \dots$$

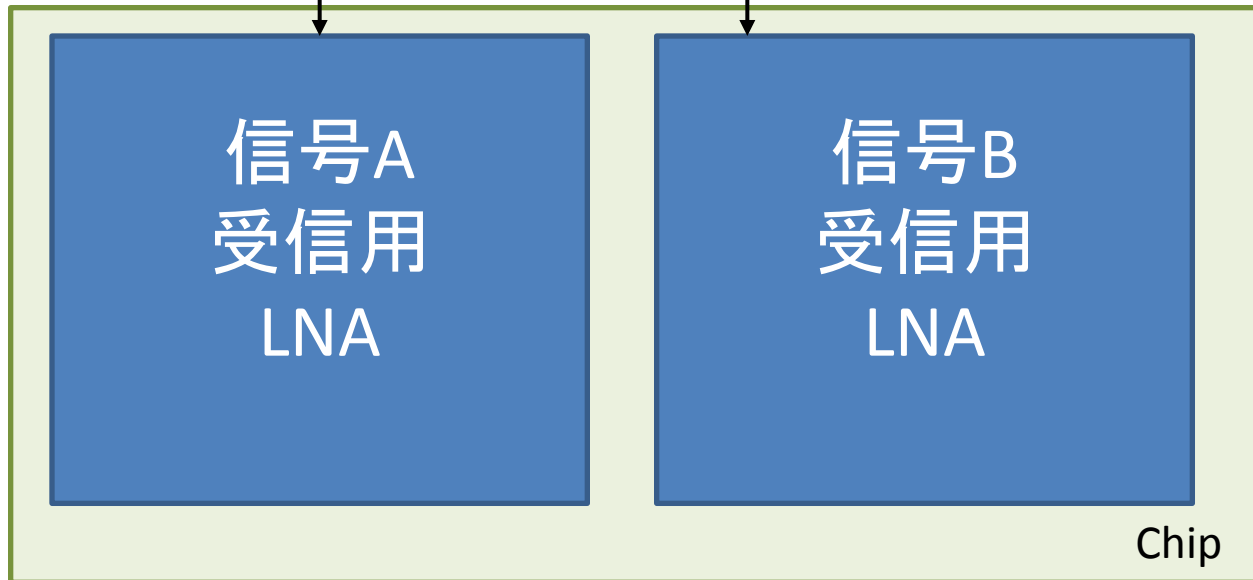
$$v_{IN} = A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t)$$

$$\longrightarrow v_{OUT} = \left(\alpha_1 + \frac{3\alpha_3}{4} A_1^2 + \frac{3\alpha_3}{2} A_2^2 \right) A_1 \cos(\omega_1 t) \dots$$

非線形 + 妨害波 \Rightarrow 利得の劣化

従来のデュアルバンドLNA

単一周波数信号に対して、良性能を示すLNA



集積コストが高くなってしまおう！

検討するデュアルバンドLNAについて

一つのLNAで複数信号を処理できる  低集積コスト化

- 論文題名

A Sub-2dB NF Dual-Band CMOS LNA
for CDMA/WCDMA Applications

- 論文著者

Hyejeong Song, *Huijung Kim, Kichon Han, Jinsung Choi, *Student Member, IEEE*,
Changjoon Park, *Student Member, IEEC*, and Bumman Kim, *Fellow, IEEE*

- 所属

Pohang University of science and Technology

*Samsung Electronics Co.

IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS

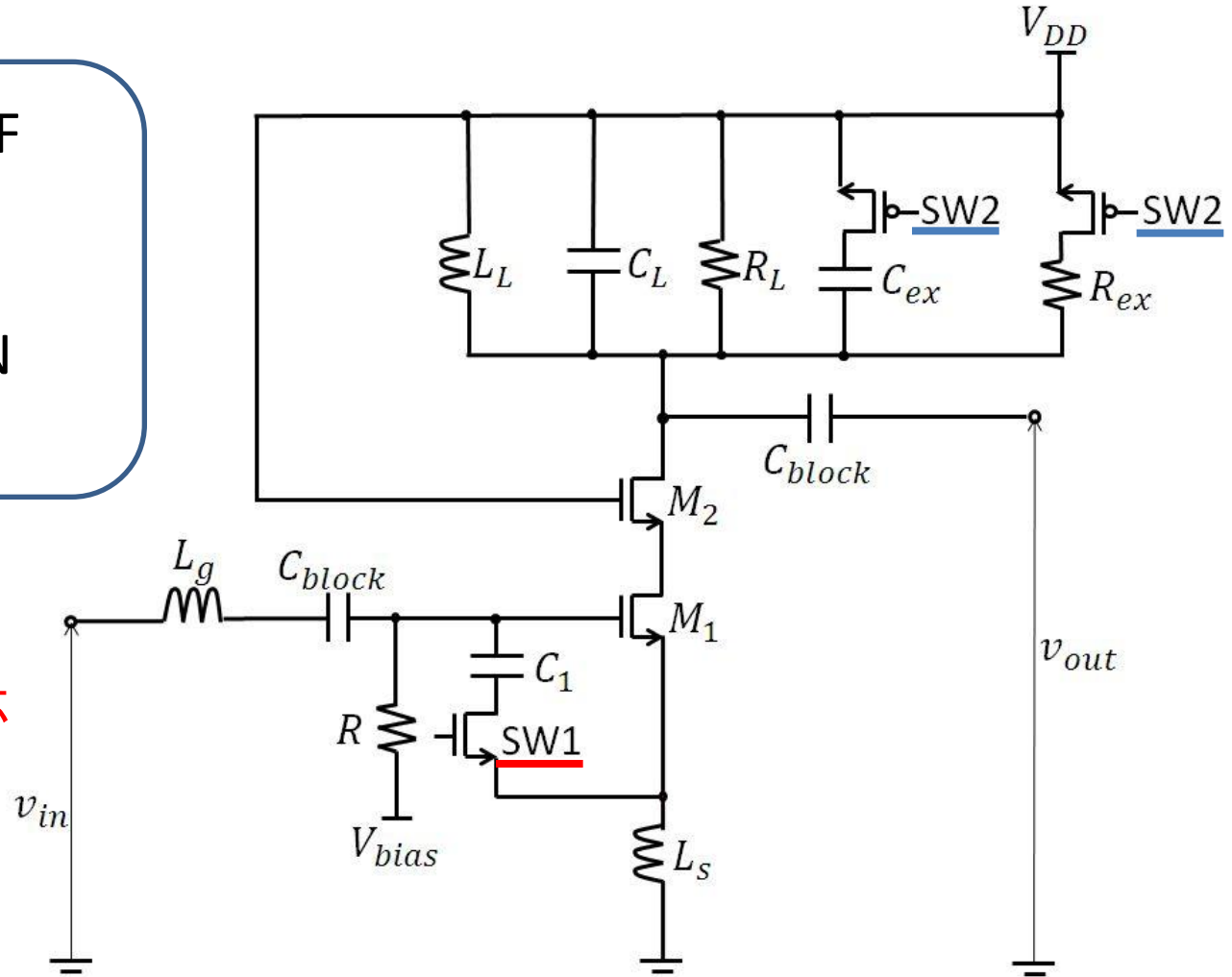
Vol.18. NO.3, MARCH 2008

検討デュアルバンドLNA回路

インダクティブソースジェネレーションを持つソース接地増幅回路

SW1 & SW2 OFF
2.14GHz

SW1 & SW2 ON
1.8GHz



スイッチ切り替えにより
複数信号に対応

回路トポロジー

1. 2.14GHz信号用のLNAを設計

- 入力整合回路
- 共振回路

2. 1.8GHz信号用のLNAを設計

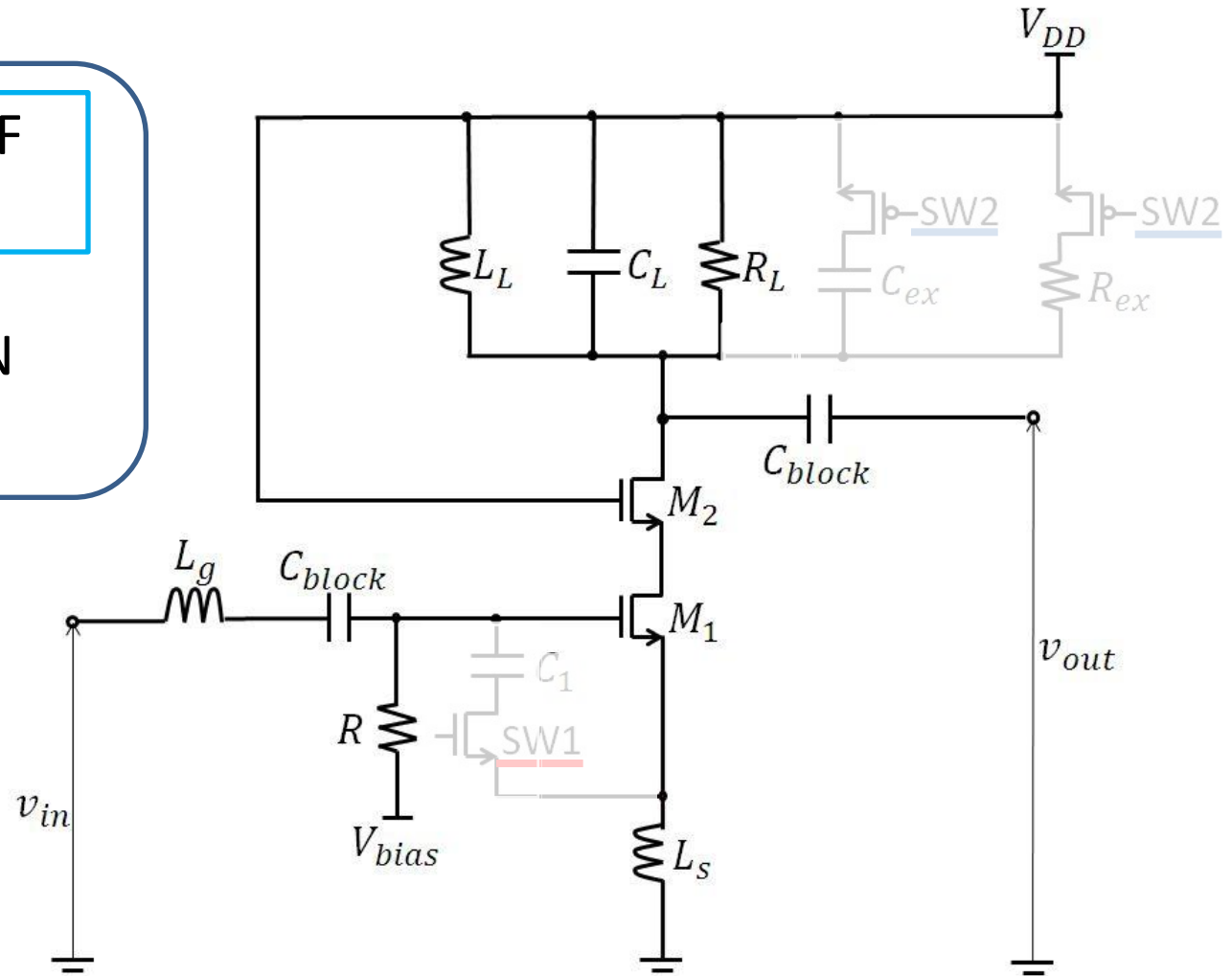
- 入力整合回路に 並列キャパシタ 追加
- 共振回路に 並列キャパシタ・抵抗 追加

2に移る際、1で設定した素子値は一切変更しない

1. 2.14GHz信号用LNA

SW1 & SW2 OFF
2.14GHz

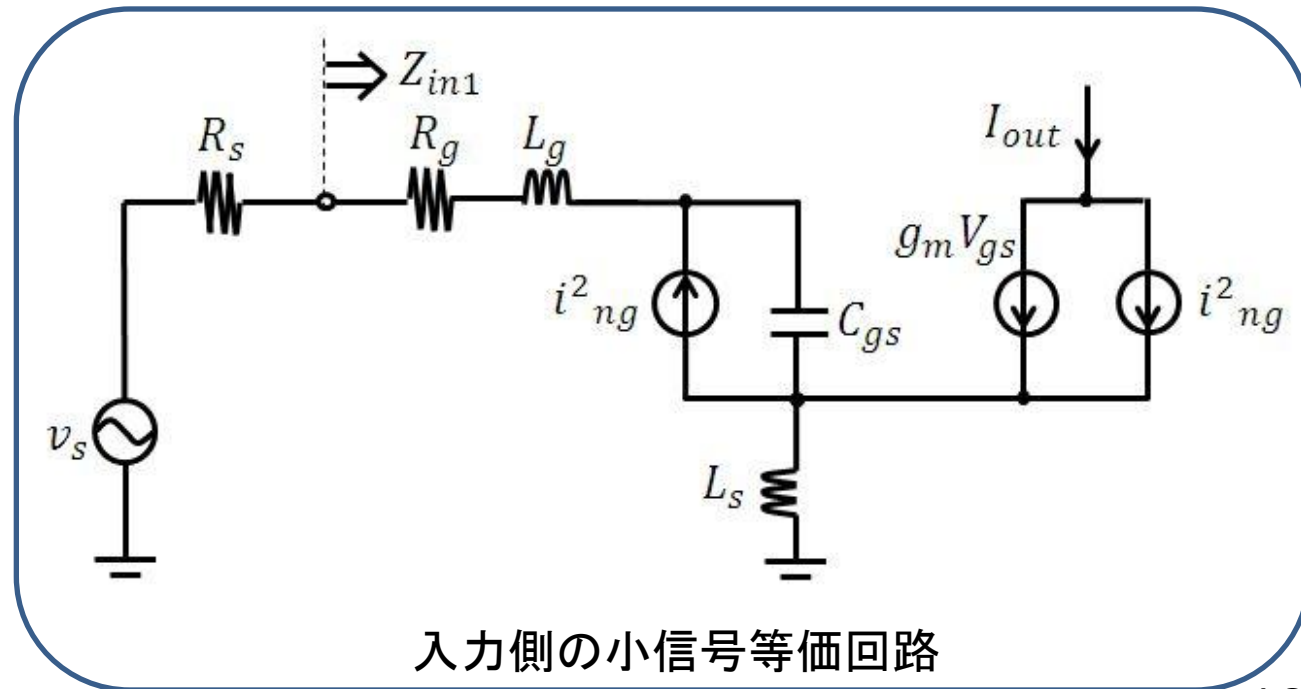
SW1 & SW2 ON
1.8GHz



1. 2.14GHz信号用LNA

- 入力整合回路

$$Z_{in1} = j \left(\omega_1 L_g + \omega_1 L_s - \frac{1}{\omega_1 C_{gsM1}} \right) + \frac{g_{mM1} L_s}{C_{gsM1}}$$



1. 2.14GHz信号用LNA

• 入力整合回路

$$Z_{in1} = j \left(\omega_1 L_g + \omega_1 L_s - \frac{1}{\omega_1 C_{gsM1}} \right) + \frac{g_{mM1} L_s}{C_{gsM1}}$$

→ 0
→ 50Ω

M1のW/Lにより

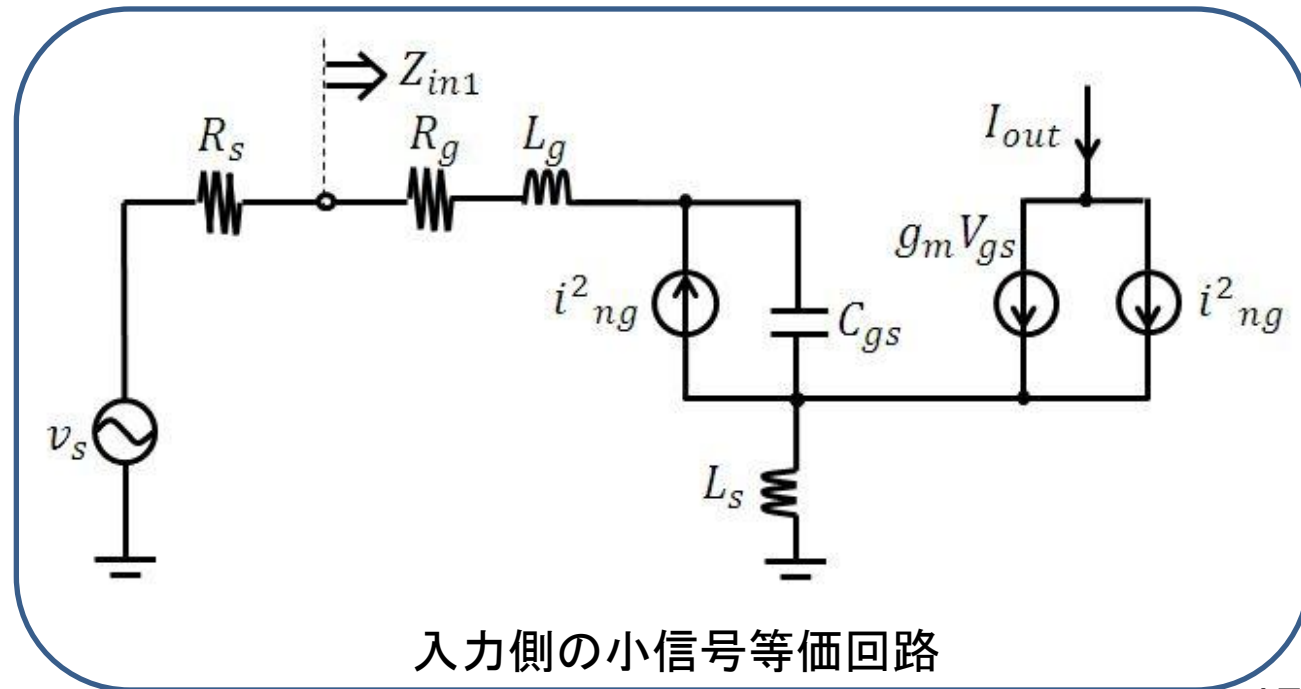
C_{gsM1} 、 g_{mM1} が決定

入力整合条件で

L_g 、 L_s が決定

$$\omega_1 = 2\pi \times 2.14G$$

[rad/sec]

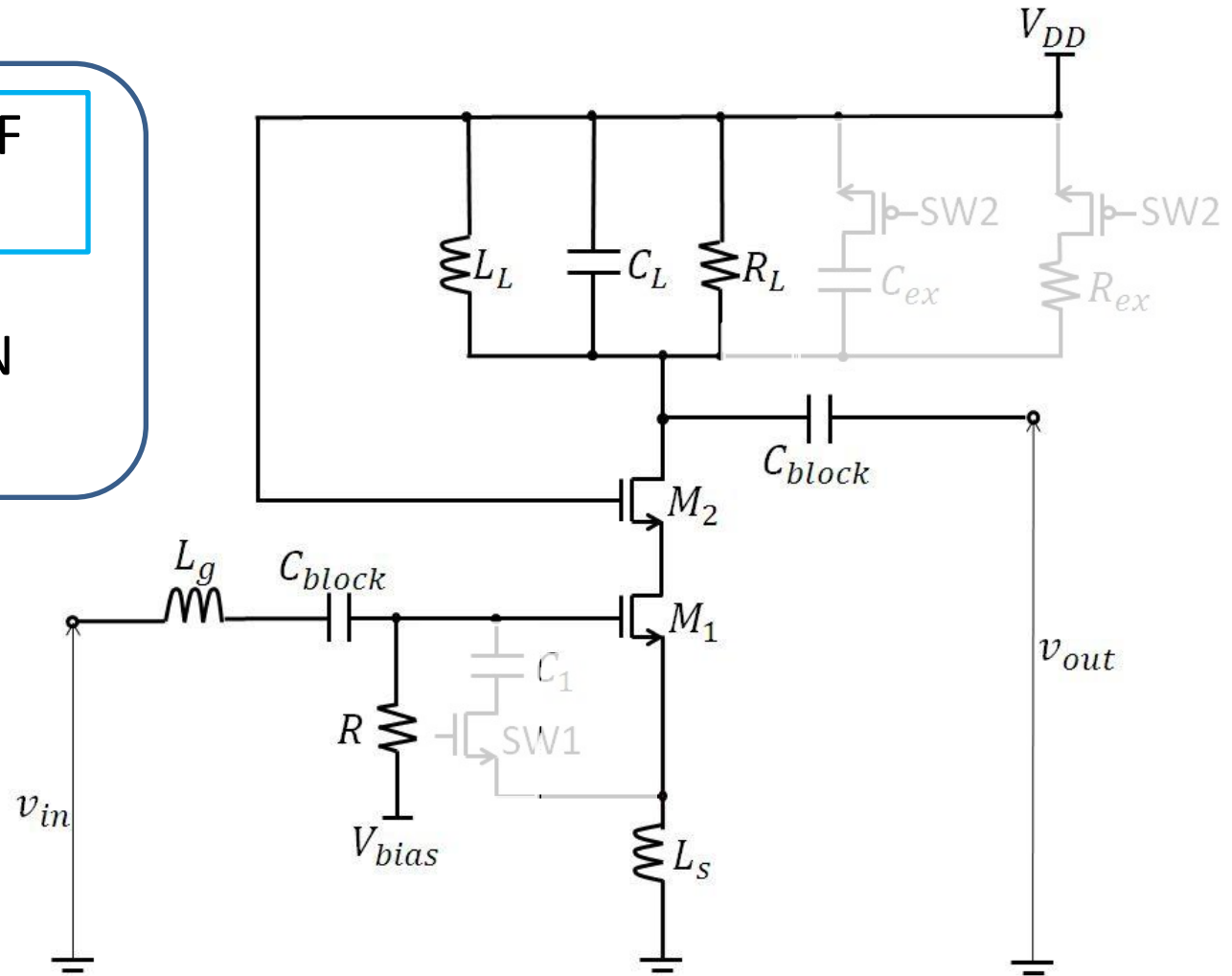


1. 2.14GHz信号用LNA

- 共振回路

SW1 & SW2 OFF
2.14GHz

SW1 & SW2 ON
1.8GHz

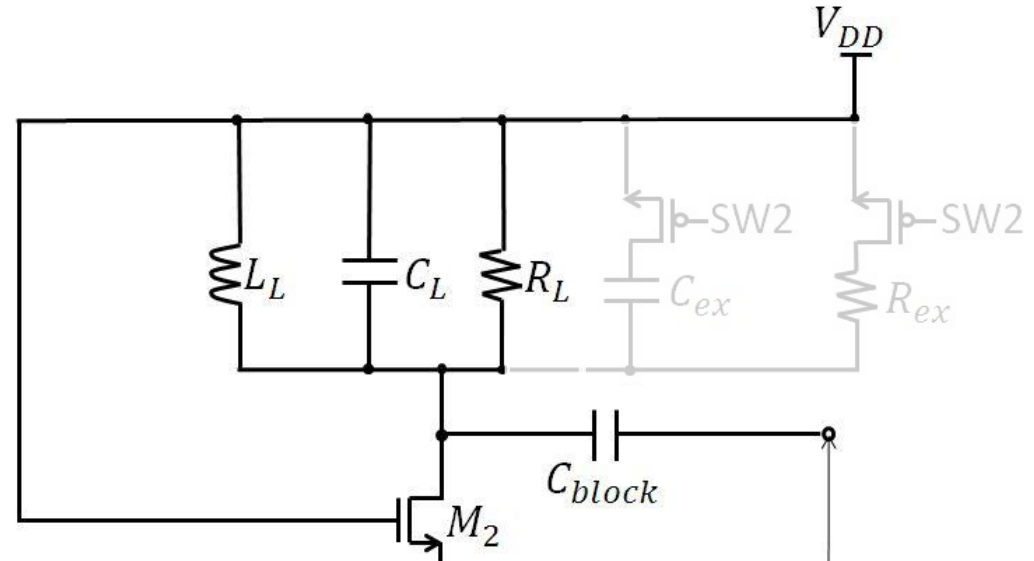


1. 2.14GHz信号用LNA

- 共振回路

SW1 & SW2 OFF
2.14GHz

SW1 & SW2 ON
1.8GHz



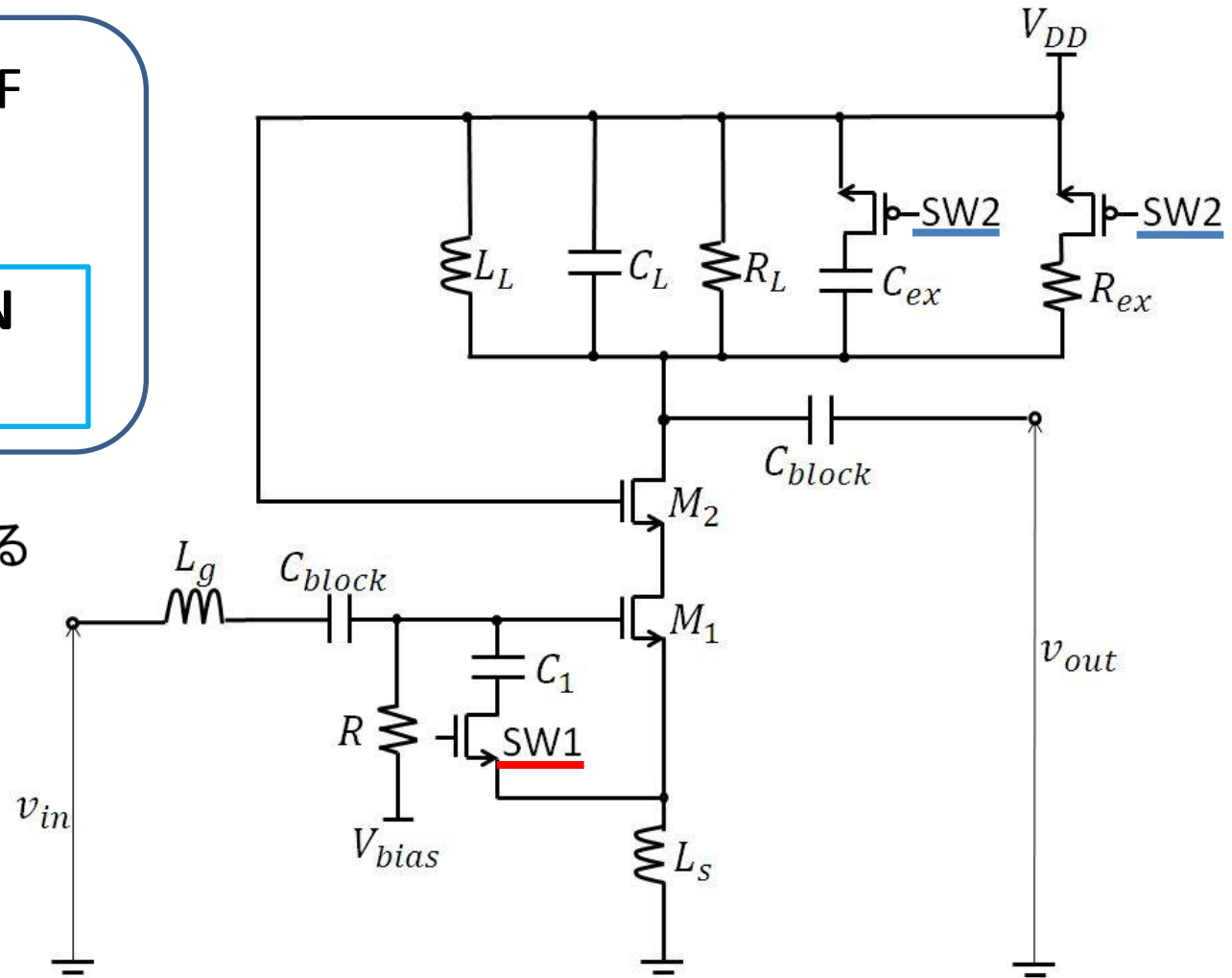
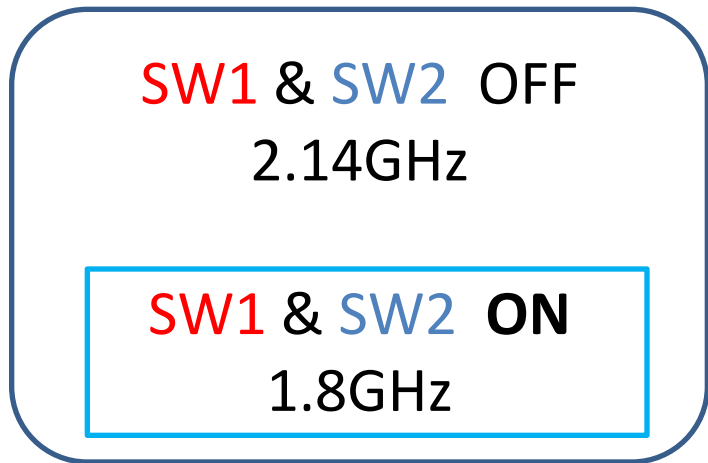
2.14GHzで特性を示すようにするため

$$\frac{1}{2\pi\sqrt{L_L \cdot C_L}} = 2.14 \text{ GHz}$$

L_L 、 C_L 決定

2. 1.8GHz信号用LNA

2.14GHz信号用LNA設計時に設定した値は一切変更しない



SW1 & SW2により追加される

C_1 、 C_{ex} 、 R_{ex}



所望周波数を

2.14GHz → 1.8GHzに変更

2. 1.8GHz信号用LNA

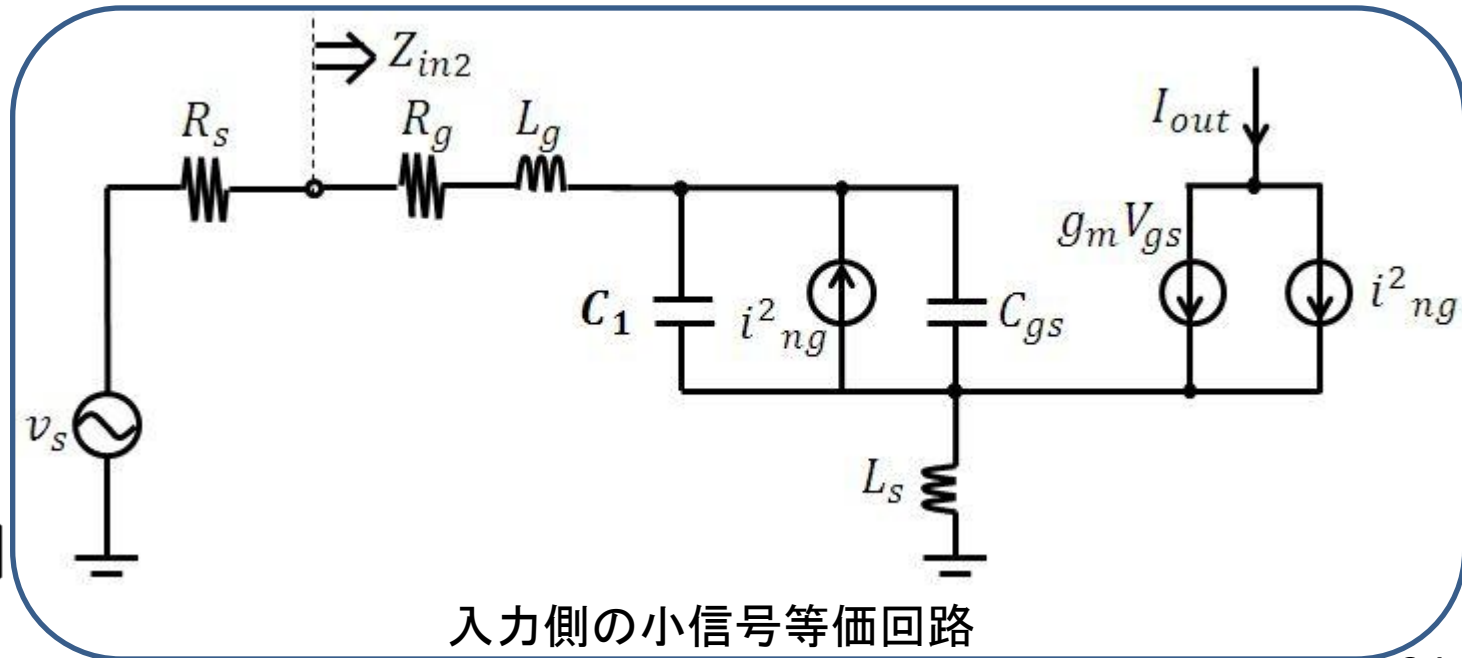
- 入力整合回路

$$Z_{in2} = j \left(\omega_2 (L_g + L_s) - \frac{1}{\omega_2 (C_{gsM1} + C_1)} \right) + \frac{g_{mM1} L_s}{C_{gsM1} + C_1}$$

→ 0
→ 50Ω

C_1 で
1.8GHzでの
入力整合を実現

$$\omega_2 = 2\pi \times 1.8G \text{ [rad/sec]}$$

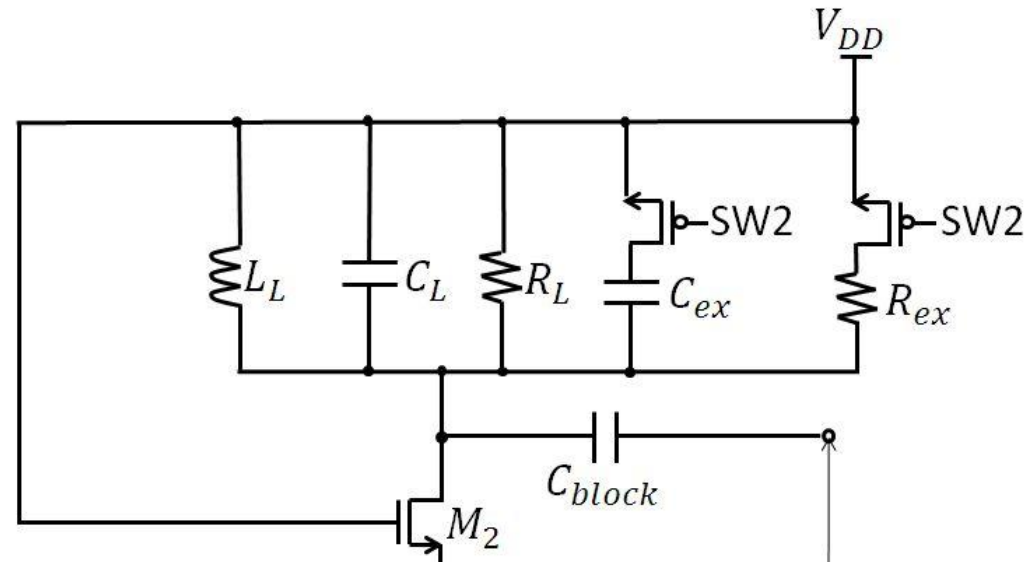


2. 1.8GHz信号用LNA

- 共振回路

SW1 & SW2 OFF
2.14GHz

SW1 & SW2 ON
1.8GHz



1.8GHzで特性を示すようにするため

$$\frac{1}{2\pi\sqrt{L_L \cdot (C_L + C_{ex})}} = 1.8 \text{ GHz}$$

R_{ex} 、 C_{ex} で調整

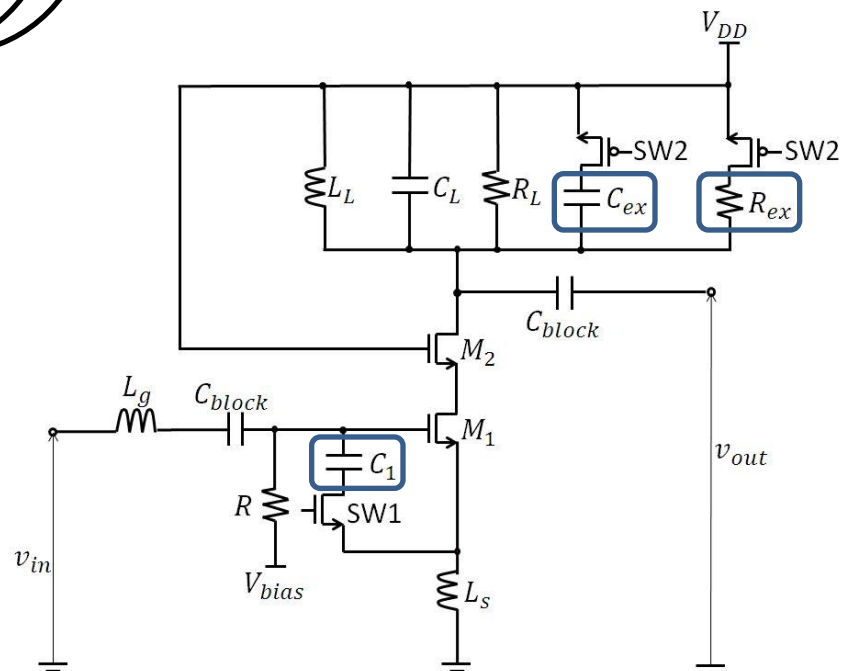
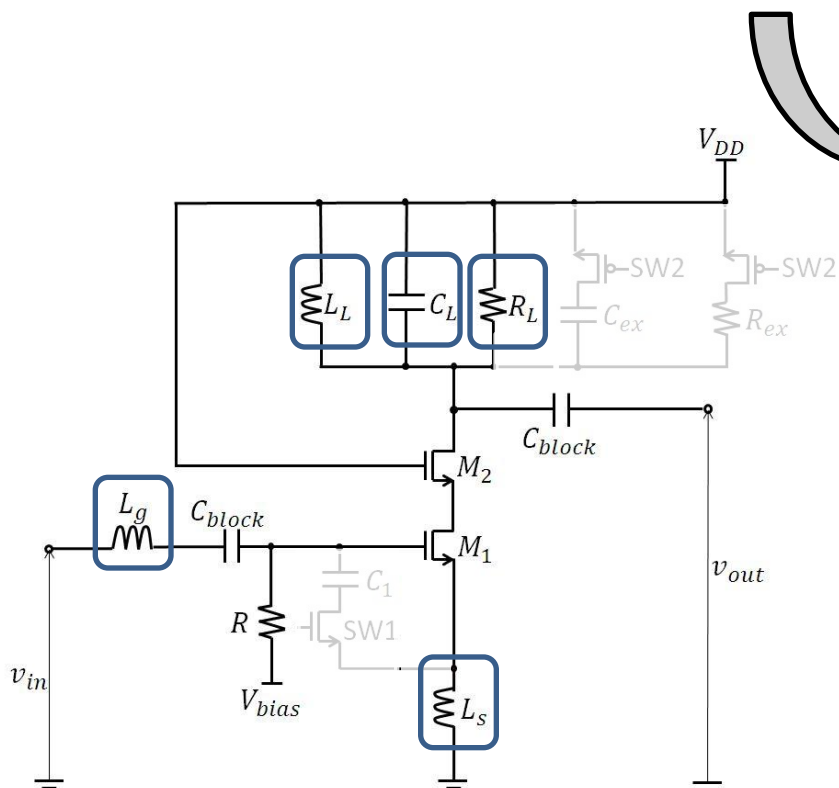
回路トポロジーまとめ

2.14GHz用(SW1・SW2 - OFF)

- 入力整合条件にて $L_g \cdot L_s$ 決定
- 共振回路にて $L_L \cdot C_L \cdot R_L$ 決定

1.8GHz用(SW1・SW2 - ON)

- 入力整合条件にて C_1 決定
- 共振回路にて $C_{ex} \cdot R_{ex}$ 決定



OUTLINE

- 研究背景と目的
- デュアルバンドLNAについて
- **インダクタ小型化の検討**
- シミュレーションによる検討
- まとめ

検討内容

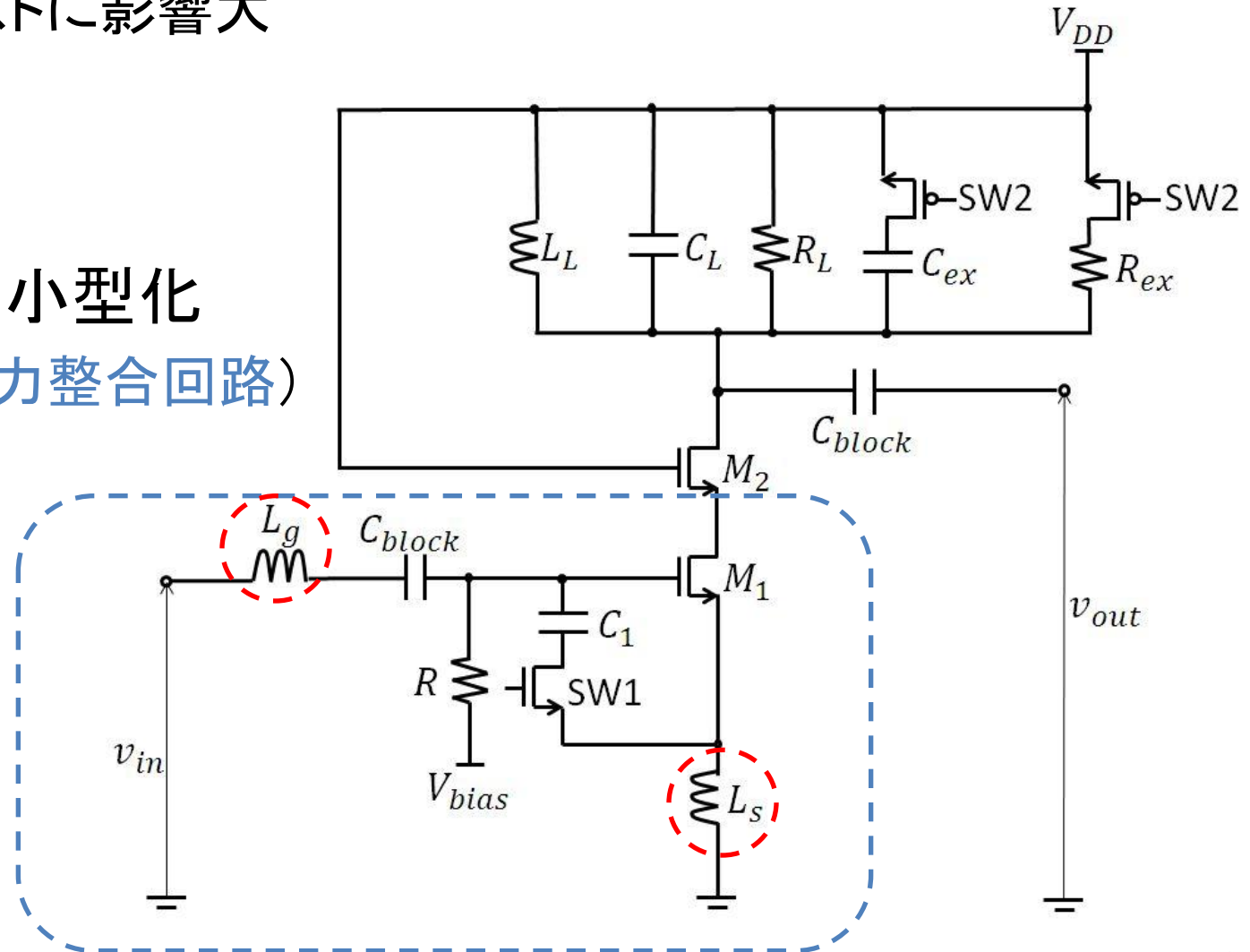
インダクタLのサイズ

…集積コストに影響大



インダクタLの小型化

(特に入力整合回路)



インダクタLの小型化の提案

回路中のインダクタ

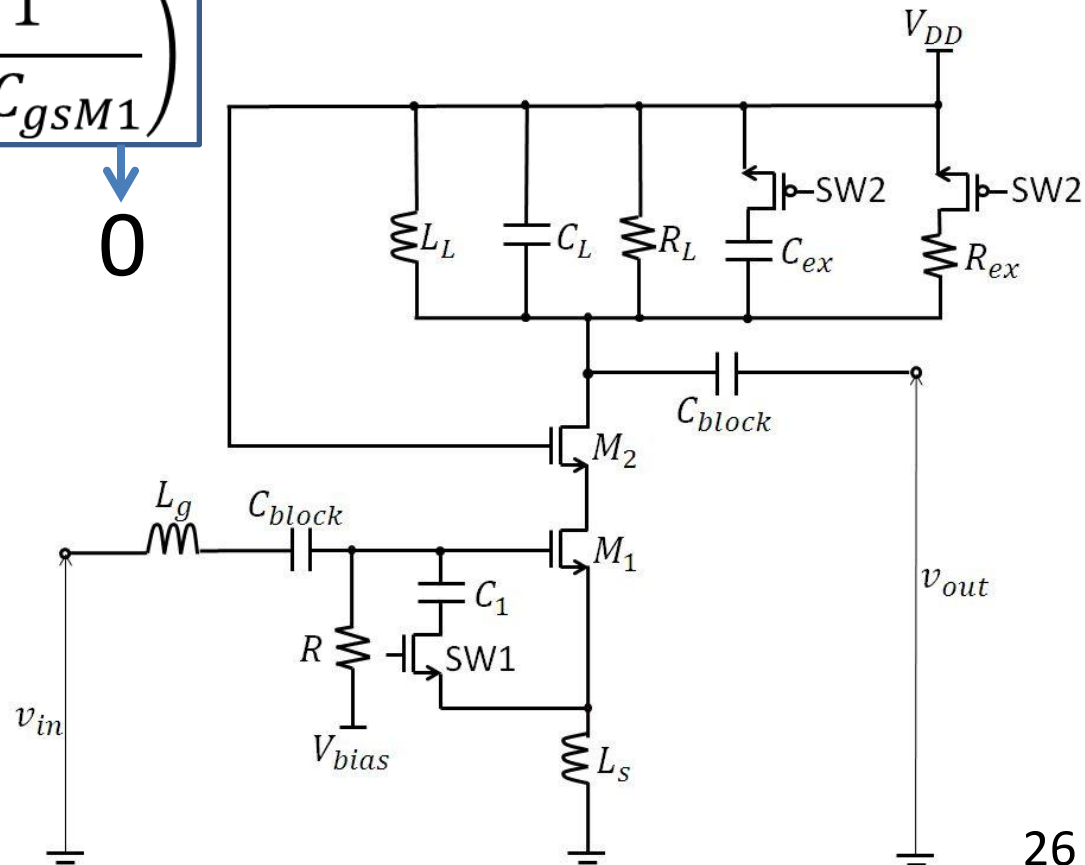
L_s 、 L_g は、2.14GHzの入力整合条件式で決定

$$Z_{in1} = j \left(\omega_1 L_g + \omega_1 L_s - \frac{1}{\omega_1 C_{gsM1}} \right) + \frac{g_{mM1} L_s}{C_{gsM1}} \rightarrow 50\Omega$$

\downarrow 0

g_{mM1} 、 C_{gsM1} の値で
 L_s 、 L_g 調節可能

\downarrow
M1のチャネル幅Wで
L小型化を図る



OUTLINE

- 研究背景と目的
- デュアルバンドLNAについて
- インダクタ小型化の検討
- シミュレーションによる検討
- まとめ

シミュレーションについて

シミュレーション条件

Cadence社 Spectre 0.18 μ mプロセス

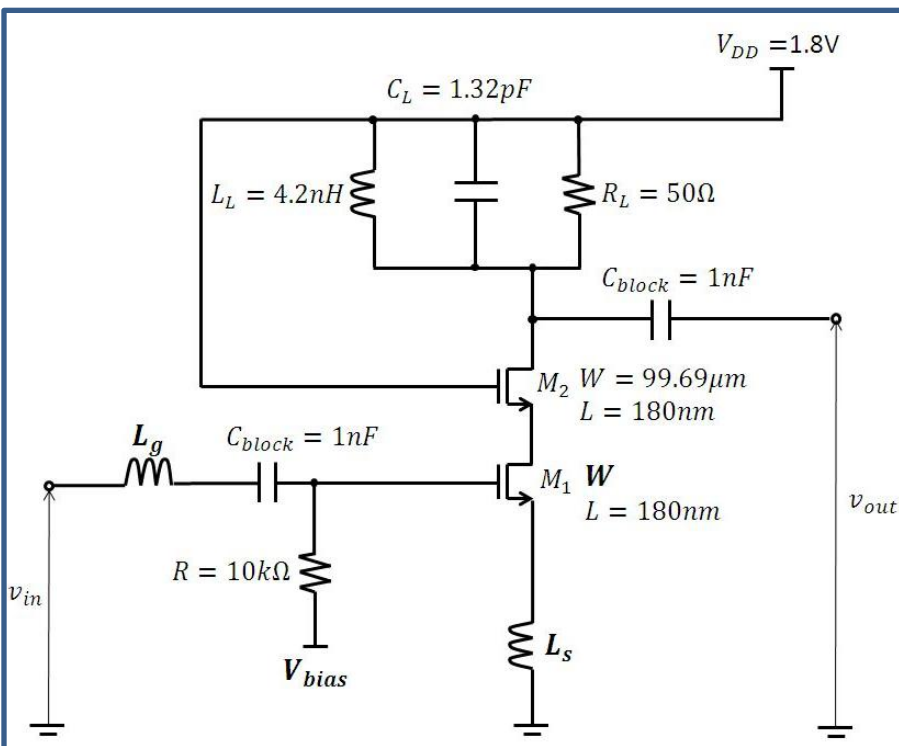
MOS : tsmc18rf

R,C,L : analoglib (理想素子)

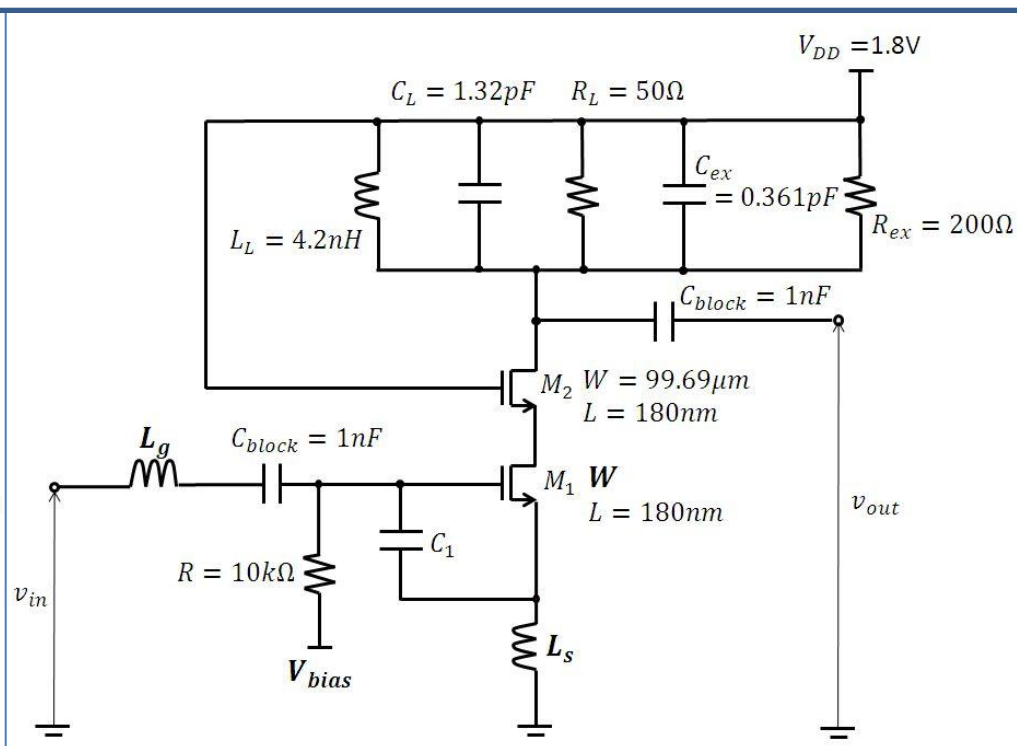
スイッチで切り替わる

- 2.14GHz回路
- 1.8GHz回路

を別々に設計



2.14GHz信号用LNA

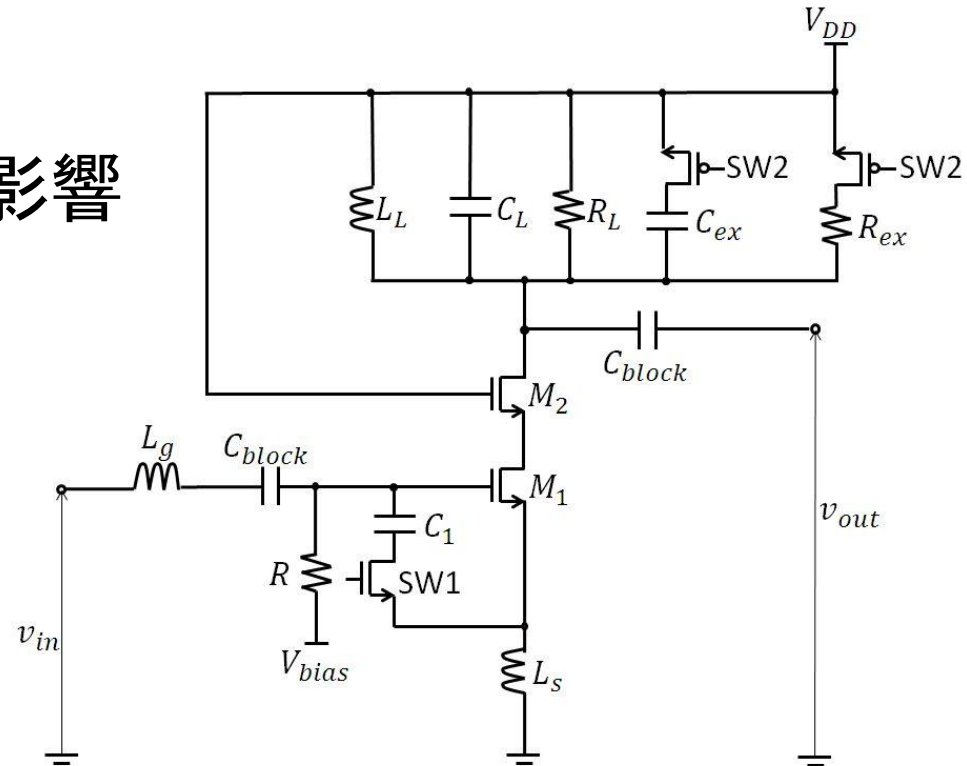


1.8GHz信号用LNA

シミュレーションについて

M1のチャネル幅を変更した際の

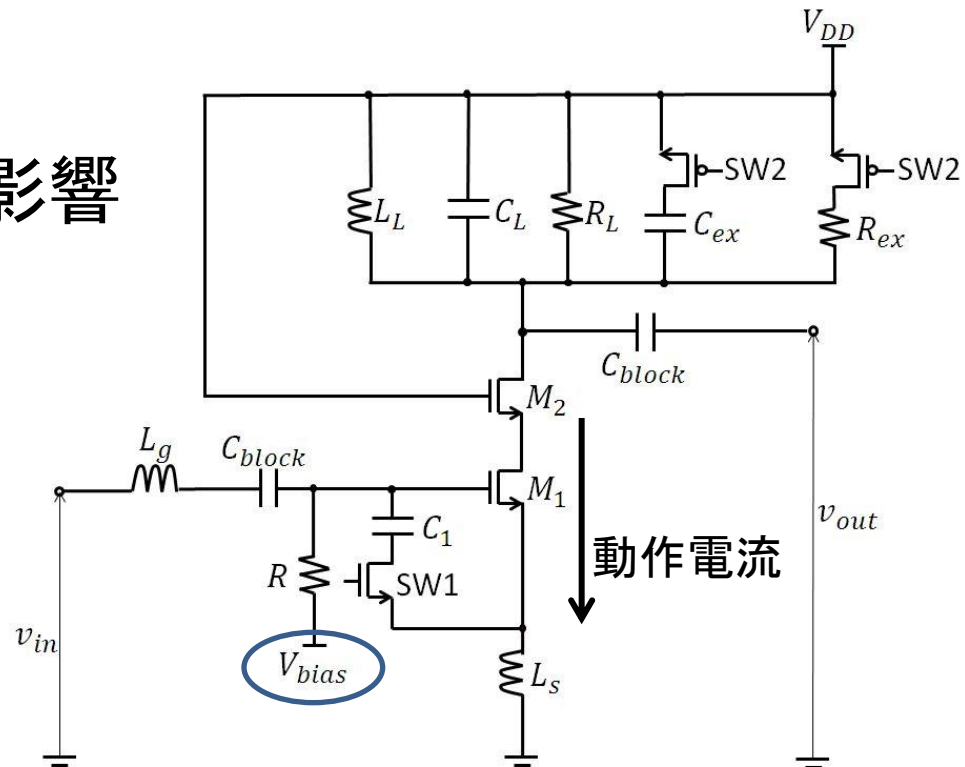
- インダクタの小型化実現
- 入出力整合S11・S22への影響
- Noise Figure への影響
- 利得(Gain)への影響
- IIP3への影響



シミュレーションの条件

M1のチャネル幅を変更した際の

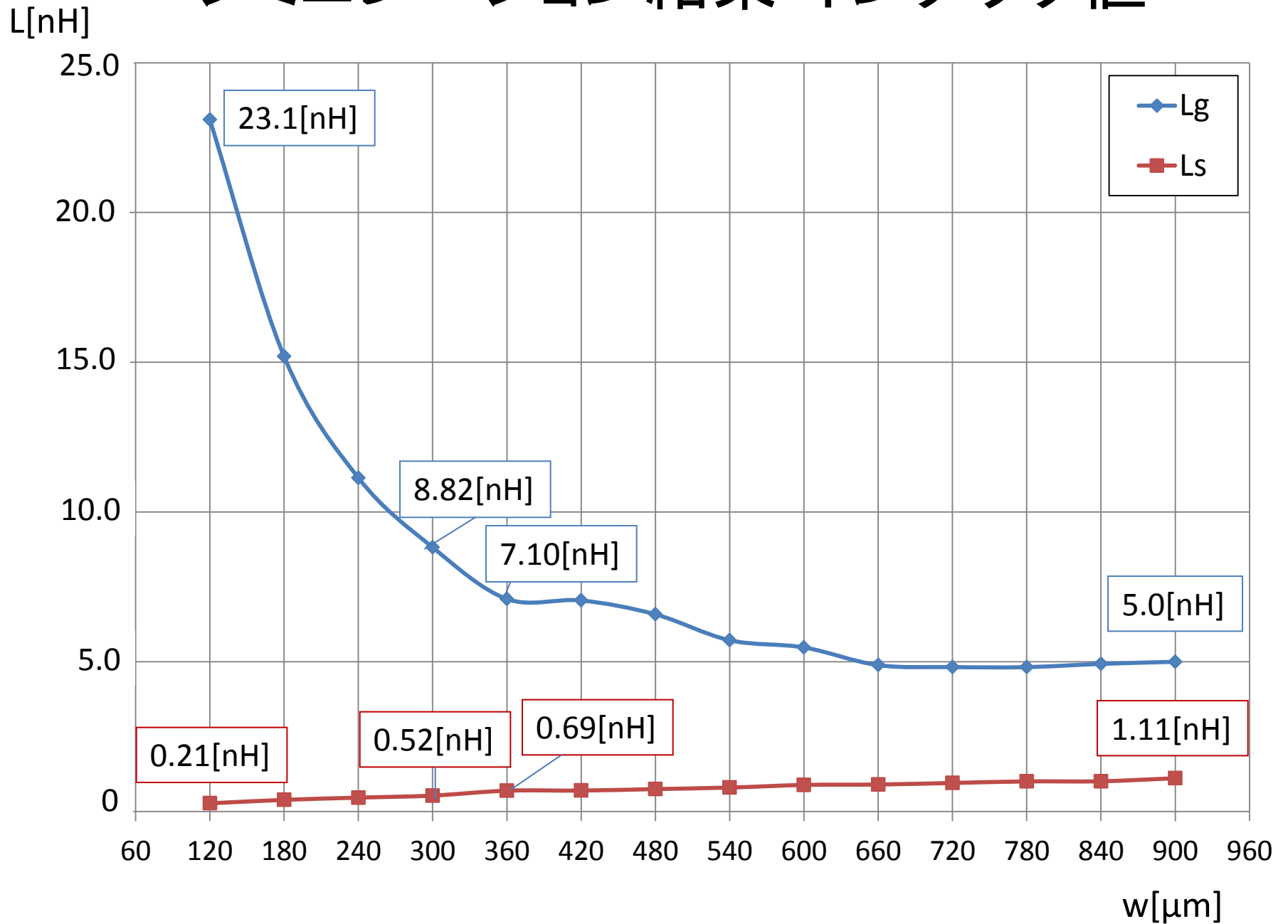
- インダクタの小型化実現
- 入出力整合S11・S22への影響
- Noise Figure への影響
- 利得(Gain)への影響
- IIP3への影響



動作電流が5mAとなるように

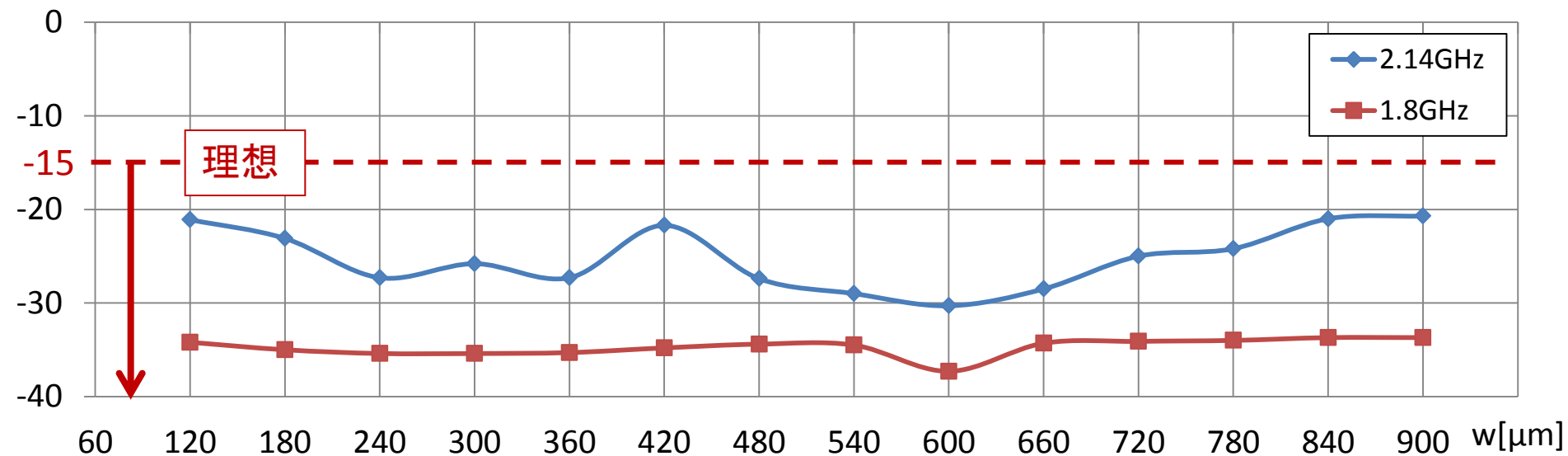
V_{bias} を調整してシミュレーションを行った。

シミュレーション結果 インダクタ値

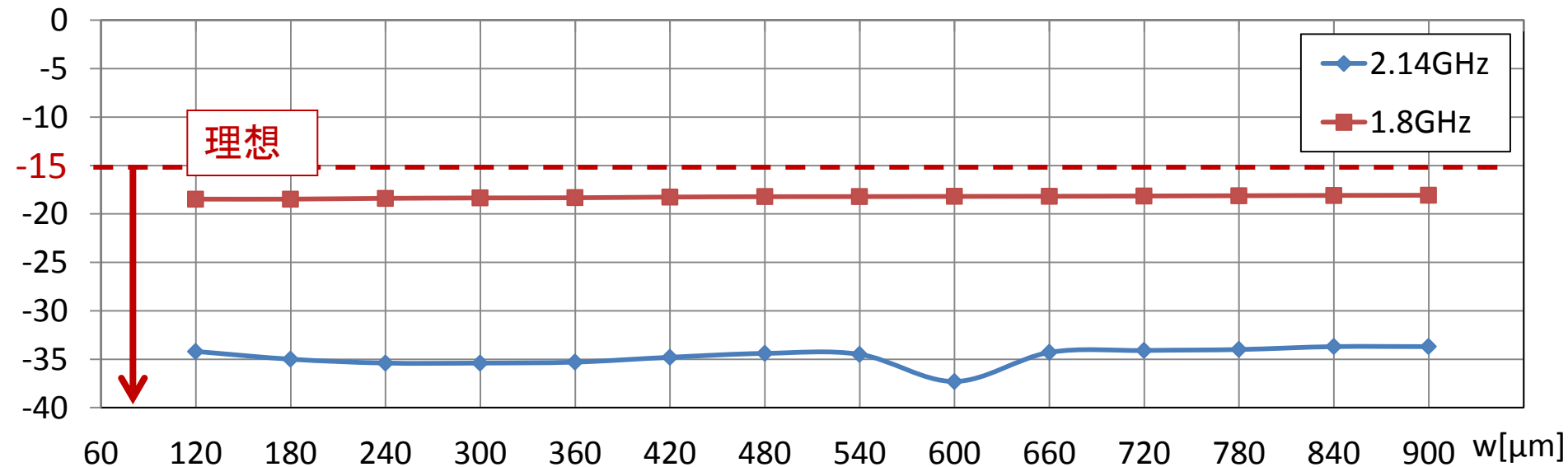


シミュレーション結果 S11・S22

S11[dB]

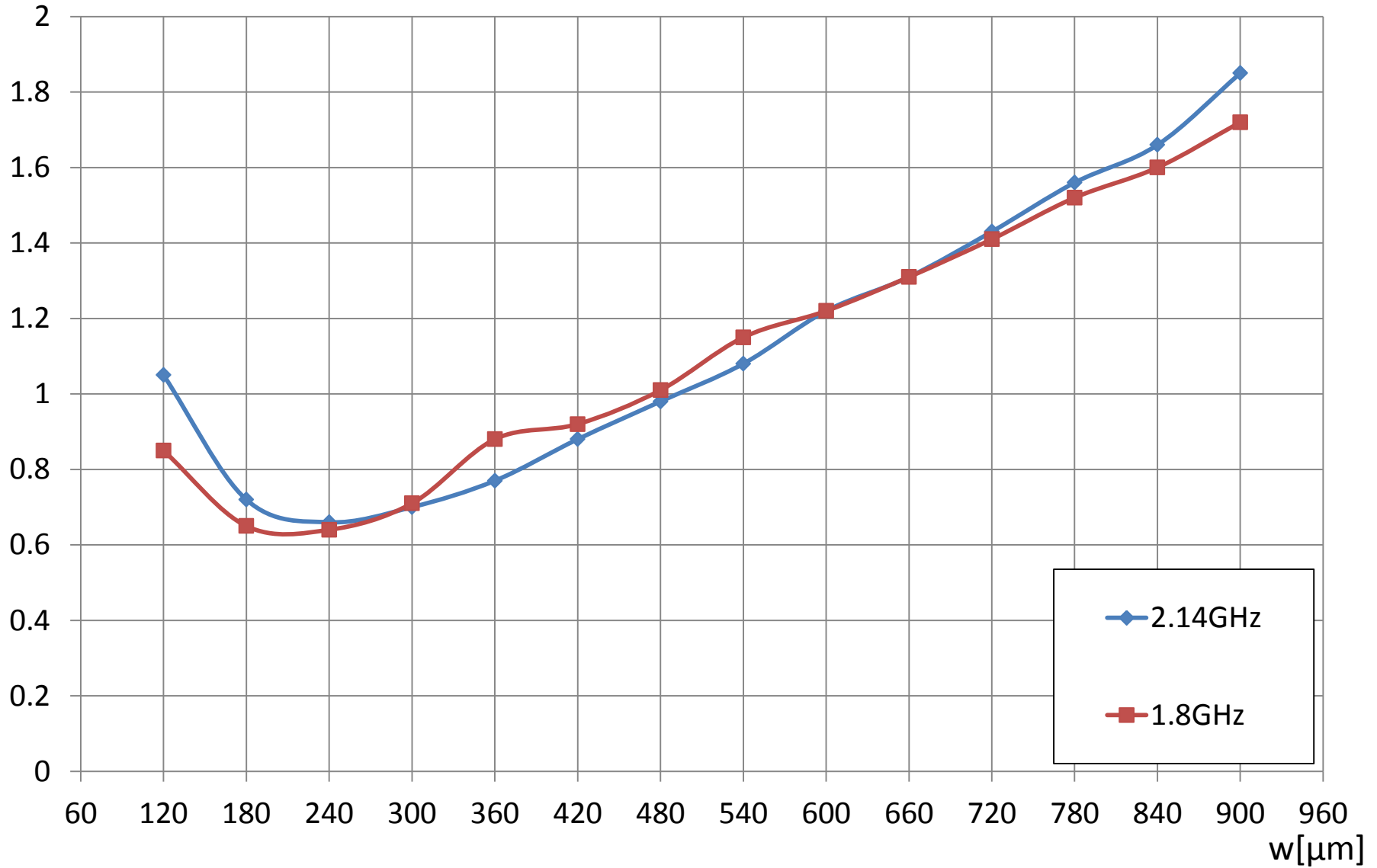


S22[dB]



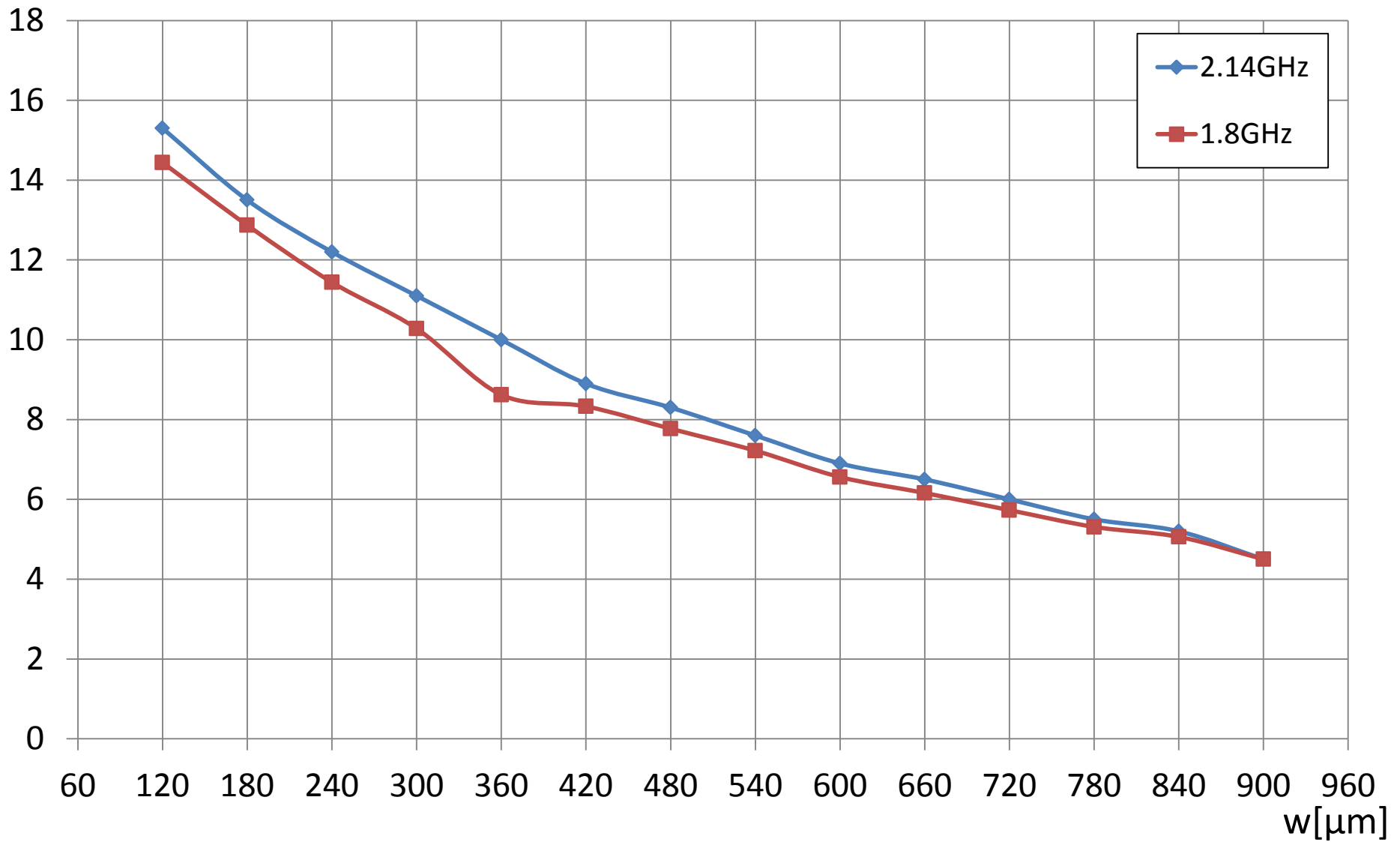
シミュレーション結果 Noise Figure

Noise Figure[dB]



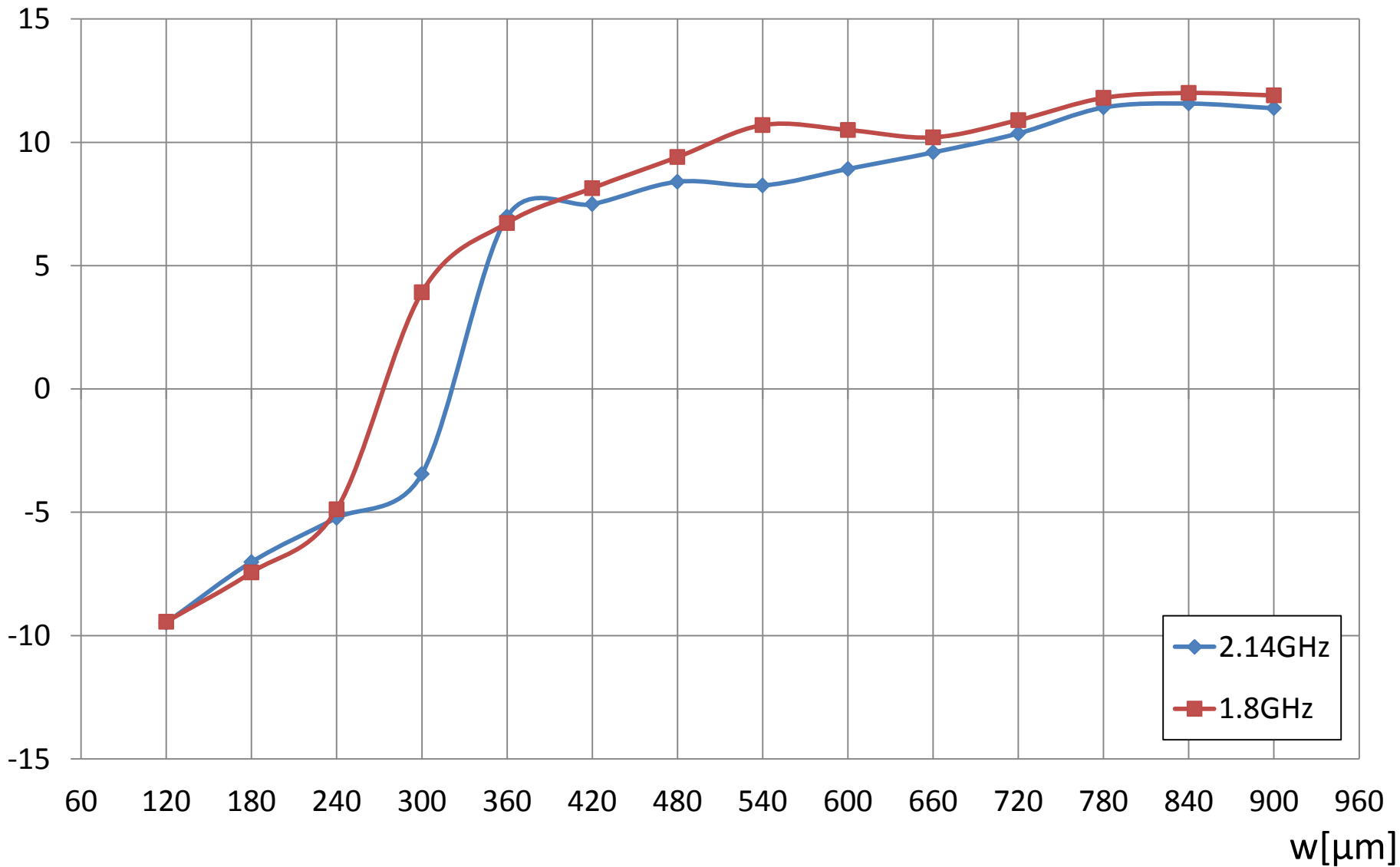
シミュレーション結果 Gain

Gain[dB]



シミュレーション結果 IIP3

IIP3[dB]



シミュレーションから

M1のチャネル幅Wの変化に対し

インダクタ L_s 、入出力整合 S_{11} ・ S_{22} 影響ほぼ無し

※2.14GHz回路での結果数値

W[μm]	120	240	360	480	900
Lg[nH]	23.1	11.1	7.10	6.58	5.00
NF[dB]	1.05	0.66	0.77	0.98	1.85
Gain[dB]	15.3	12.2	10.0	8.30	4.50
IIP3[dB]	-9.48	-5.23	6.98	8.40	11.4

急減少 (Lg, Gain) 微減少 (Lg)

単調減少 (Gain)

増加 (IIP3) 急増加 (IIP3) 増加 (IIP3)

最適点

- 利得が高い
- × 集積コスト

- 雑音が少ない
- 集積コストが低い
- △ 線形性

- 集積コストが低い
- 線形性が良い
- × 雑音が多い
- × 利得が低い

トレードオフ

W[μm]	120	240	360	480		900
Lg[nH]	23.1	11.1	7.10	6.58		5.00
	急減少			微減少		
NF[dB]	1.05	0.66	0.77	0.98		1.85
		最適点				
Gain[dB]	15.3	12.2	10.0	8.30		4.50
	単調減少					
IIP3[dB]	-9.48	-5.23	6.98	8.40		11.4
	増加	急増加		増加		

チャンネル幅W : 120 μm \Rightarrow 360 μm (NF最適点付近)
 回路全体のインダクタ総量 : 27.5nH \Rightarrow 12nH
 Noise Figure : 1.05dB \Rightarrow 0.77dB
 IIP3 : -9.48dB \Rightarrow 6.98dB
 Gain : 15.3dB \Rightarrow 10.0dB

利得5.3dBを犠牲に
 他性能を向上させながら
 インダクタ面積を半分以下に

OUTLINE

- 研究背景と目的
- デュアルバンドLNAについて
- インダクタ小型化の検討
- シミュレーションによる検討
- まとめ

まとめ

- 2.14GHz/1.8GHz信号用LNA回路の集積コスト減少検討を行った。
- 低集積コストのための、
インダクタ小型化に対するトレードオフを明らかにした。

今後の課題

- NFの最適点についての理論解析
- 実素子を用いた検討
- スイッチを考慮したときの性能影響の解析

Q&A(卒研発表、宇都宮合同研究発表会)

Q : R、L、Cは理想素子を用いているが、なぜ？

A: 実素子で検討しなくてはならない。しかし理想素子のみでも要検討事項が生じてしまっているなので、その点を明らかにしてから。

Q : 雑音指数特性に最適点が生じることについて、理論式等はないのか？

A: 理論式は存在するが、その理論式通りにはならないため、もう少し解析する必要がある。

Q : 1.8GHz、2.14GHzの周波数は何に使われているか？

A : 利用可能地域が狭い高速通信(LTE)が1.8GHz、現在広域使用されている通常回線が2.14GHz(具体的にはdocomoのクロッシー)

Q : 今後の方針は？

A : まずはNFの理論解析、そして実素子での検討を考えている。

Advice : 利得、IIP3、NF等を理論的解析できると良い