

単一インダクタ 2 出力昇圧形 DC-DC スイッチング電源回路の検討

朱秋霖, 小堀康功, 岡田考志, 吳澍, 李慕容, 趙峰, 権力 (群馬大学),
小田口貴広, 山口哲二, 上田公大 (AKM テクノロジ), 松田順一 (旭化成パワーデバイス),
高井伸和, 小林春夫 (群馬大学)

Single-Inductor Dual-Output DC-DC Boost Converter with Current Mode Control

Qiulin Zhu*, Yasunori Kobori, Takashi Okada, Shu Wu, Muron Li, Feng Zhao, Li Quan (Gunma University)

Takahiro Odaguchi, Tetsuji Yamaguchi, Kimio Ueda (AKM Technology Corporation)

Jun-ichi Matsuda (Asahi-Kasei Power Devices Corporation) Nobukazu Takai, Haruo Kobayashi (Gunma University)

Abstract This paper presents a new control topology using current mode hysteresis for the single-inductor dual-outputs DC-DC boost converter. With an exclusive inductor, we can get two different output voltages respectively. In this work, the control topology does not need any complicated blocks and can provide quick response. The simulation results demonstrate the effectiveness of our proposed approach.

キーワード : DC-DC 昇圧コンバータ、単一インダクタ・マルチ出力電源
(DC-DC boost converter, single inductor dual-output)

1. はじめに

電子機器に向け、多くの電源回路が設計されている。その中、省電力化、性能向上なため設計する直流電源が高まっている。更に多出力の直流電圧を電子機器に供給するのが注目されている。一方、小型軽量化、低コスト化が重要な課題になって来たため、一つのインダクタにより、スイッチング電源が複数の直流電圧を出力するシングルインダクタ・マルチ出力電圧 (Single-Inductor Multiple-Outputs: SIMO) 電源が検討されている。⁽¹⁾

従来のSIMO電源の制御方法は二つに大別できる。

- ①インダクタを充電し、放電する時に電源 1 にエネルギーを分配する。次にインダクタを再び充電し、放電する時に電源 2 にエネルギー分配する。⁽²⁾
- ②インダクタを充電し、放電する時に二つ電源にそれぞれにエネルギーを分配する。⁽³⁾

ここで、第1の方法のメリットはクロス・レギュレーション

ンが良いことである。第2の方法のメリットは精度が高いことである。

本論文では、単出力昇圧電源とSIDO昇圧形DC-DCコンバータの基本構造、動作原理を紹介し、またシミュレーション結果を報告する。

2 SIDO昇圧形DC-DCコンバータ

2.1 単出力昇圧電源の基本構造と動作結果

単出力昇圧電源回路構成を図1に、昇圧電源の信号波形を図2に示す。ピーク電流センサーでセンスする電圧 V_{CS} と誤差電圧 V_{EA} を比較して、スイッチを制御する。

$V_{EA} > V_{CS}$ の時: 駆動されるスイッチ S_0 がONの時、インダクタの電流が増加する。その時に、電圧 V_{CS} も上昇する。

$V_{CS} > V_{EA}$ の時: スイッチ S_0 がOFFになり、インダクタの電流が減少し、インダクタのエネルギーは負荷側コンデンサに供給される。

CLK信号の立上がり時にシステムが1周期リセットされる。

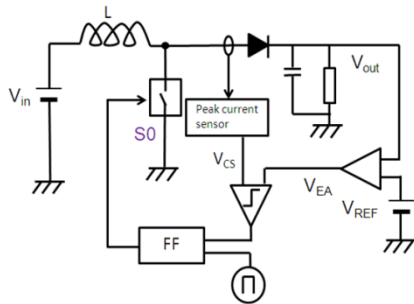


図1 単出力昇圧電源回路構成.

Fig.1 Boost converter circuit topology.

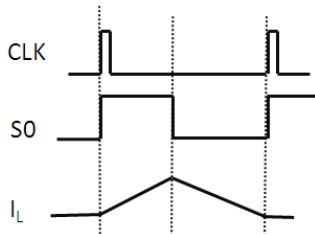


図2 昇圧電源の信号波形

Fig.2 Signal waveforms in the boost converter.

2.2 SIDO基本回路構造

SIDO昇圧形DC-DCコンバータの基本構成を図3に示す。 V_{PCS} はピーク電流センサーでセンスする電圧であり、 V_{EA1} は出力1の誤差電圧であり、 V_{REF} は2電源の基準電圧の差であり、 V_{LCS} は負荷電流センサーでセンスする電圧である。回路は $V_{out1} > V_{out2}$ と設計する。

図3において、まずロジック制御回路の出力の信号により駆動されるスイッチS1をONにし、インダクタに電流を流してエネルギーを供給する。インダクタの充電が終了後にスイッチS2、S3を順番にONにする。インダクタはエネルギーを放電し負荷側のコンデンサに充電する。設定した最低電圧に達すると、S4がONとなる。制御の信号が「H」の時に、スイッチがONである。

SIDO電源の信号波形を図4に示す。本制御方式は電流ヒステリシスを用いている。ピーク電流センサーを通してインダクタのピーク値を決定する。つまりスイッチS1がONする時間が決まる。インダクタの放電する期間で2電源が順番に電流を供給する。 V_{out1} が先に電流を得る。基準電圧として V_{REF} を

達すると、S3が切り替わり、 V_{out2} に電流を供給する。出力電圧の安定のため二つの出力の負荷電流センサーでセンスする V_{LCS} がインダクタのボトム電流が制限される。次の周期までフリーホイールスイッチ(S4)を制御される。

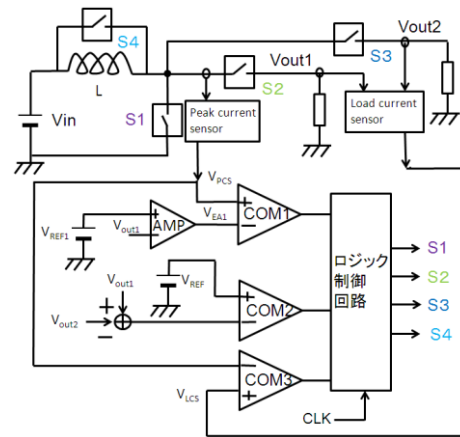


図3 提案SIDO回路基本構成.

Fig.3 Proposed basic SIDO circuit.

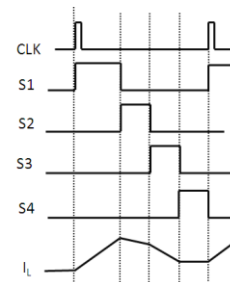


図4 SIDO電源の信号波形.

Fig.4 Signal waveforms in the proposed SIDO circuit.

2.3 制御回路構造

制御論理回路を図5に、制御回路の動作を表1と図6に、示す。 ΔV が二つの出力の差であり、 V_{COM1} がコンパレータ1の出力であり、 V_{COM2} がコンパレータ2の出力であり、 V_{COM3} がコンパレータ3の出力である。

二つのDフリップフロップのDポートが「H」(高レベル)に設定される。まず、CLK信号をHレベルにし、 $V_{PCS} < V_{EA1}$ の関係より、コンパレータ1に「L」(低レベル)信号が出力される。 $\Delta V < V_{REF}$ のため、コンパレータ2に「H」が出力される。また、 $V_{LCS} < V_{PCS}$ の関係により、コンパレータ3に「L」が出力さ

れる。その時にRSフリップフロップのQ2が「H」となり、NQ2が「L」となる。そして、Dフリップフロップ2のQ3が「L」となり、NQ3が「H」となる。コンパレータ1とコンパレータ2をNORしてNQ2とANDして「L」信号をDフリップフロップ1のCLKに入れる。その時にQ1に「L」になり、NQ1に「H」になる。するとQ1とNQ2をNORするスイッチS1がONとなり、Q1とQ2をNORするスイッチS2がOFFになり、NQ1とQ3をNORするスイッチS3がOFFとなり、Q2とNQ3をNORするS4がOFFになる。CLK信号が「L」になる時にQ2とNQ2が前と同じ信号が出力される。インダクタに電流が増加し電圧 V_{PCS} が上昇する。

次に、 $V_{PCS} > V_{EAI}$ の時にコンパレータ1に「H」信号が出力される。RSフリップフロップのQ2が「L」となり、NQ2が「H」となる。2個DフリップフロップのCLK信号がまだ「L」である。すると、S1がOFFになり、S2がONになる。S3とS4がまだOFFである。インダクタの電流が出力1へ流れる。出力電圧 V_{out1} が上がり、電圧 V_{PCS} が下がる。コンパレータ1が「L」に戻る。Q2が「L」とNQ2が「H」信号が出力される。次、 $\Delta V > V_{REF}$ の関係より、コンパレータ2に「L」信号が出力される。この時にDフリップフロップ1のCLK信号が「H」になり、Q1が「H」となり、NQ1が「L」となる。S3がONとなり、S2がOFFとなる。S1とS4が変わらずにOFFの状態である。インダクタのエネルギーが電源2のコンデンサに供給される。電圧 V_{out2} が上がる。コンパレータ2が「L」に戻る時に、Dフリップフロップ1のCLK信号が「L」になる。その時にまたQ1が「H」とNQ1が「L」信号が出力される。

最後、インダクタの電流が負荷側に放電することに従い、負荷電流センサーでセンスする電圧 V_{LCS} が上昇する。 $V_{LCS} > V_{PCS}$ の時に、コンパレータ3が「H」信号が出力される。Dフリップフロップ2のQ3が「H」となり、NQ3に「L」となる。S3がOFFとなり、S4がONとなる。S1とS2がOFFである。インダクタの電流を保持し、CLK信号を次の周期の立ち上がりの時にS1が切り替えられ、このような順序で繰り返す。

3. SID0昇圧形電源の動作結果

3.1シミュレーション結果

動作時のシミュレーション条件を表2に、定常状態時の出力電圧波形を図7に示す。動作とインダクタ電流のシミュレ

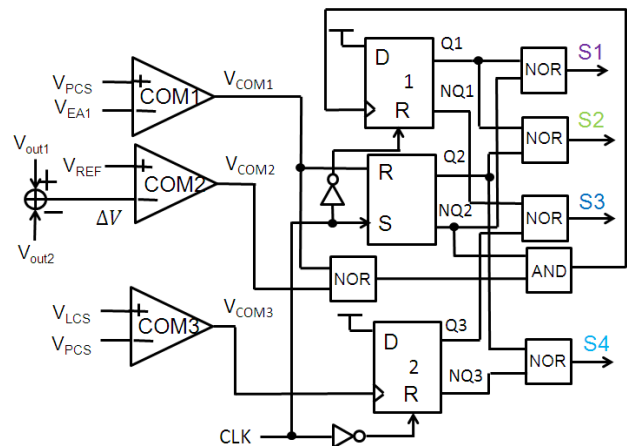


図5 制御論理回路.

Fig.5 Control logic circuit.

表1 制御回路の動作

Table1 Operation of control logic

動作の順序	動作の結果
Step 1: CLK: H→L, V_{COM1} :L, V_{COM2} :H, V_{COM3} :L	S1: ON
Step 2: CLK: L, V_{COM1} :L→H→L, V_{COM2} :H, V_{COM3} :L	S2: ON
Step 3: CLK: L, V_{COM1} :L, V_{COM2} :H→L→H, V_{COM3} :L	S3: ON
Step 4: CLK: L, V_{COM1} :L, V_{COM2} :H, V_{COM3} :L→H→L	S4: ON
Step 5: CLK: H→L, V_{COM1} :L, V_{COM2} :H, V_{COM3} :L (reset)	S1: ON

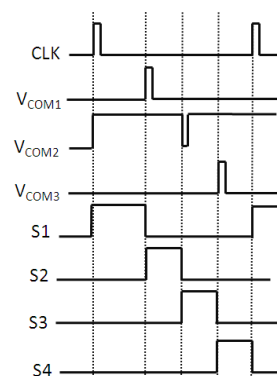


図6 制御回路の動作

Fig.6 Operation of control logic.

ーション結果を図8に示す。負荷電流はいずれも、 $I_{out1} = I_{out2} = 50\text{mA}$ で、出力電圧リップルは 5mVpp より十分に小さい。

次に出力1の負荷電流を $50\text{mA}/100\text{mA}$ と切替えた際の各コンバータの負荷応答特性を図9に示す。出力1のセルフ・レギュレーションは 2mVpp 以下であり、出力2のクロス・レギ

ユレーションも小さい。

3.2 負荷電流とレギュレーション特性

2つの負荷電流を50mA/100mAと切替えた際の過渡応答特性を図10に示す。2つの出力とも応答特性がよく、セルフ/クロス・レギュレーションが2 mVpp以下と十分小さい。

表2 シミュレーション条件
Table2 Simulation conditions

parameter	value
Vin	3V
Vout1	5V
Vout2	7V
L	10uH
C	22uF
F _{CLK}	500KHz
Iout1	50mA
Iout2	50mA

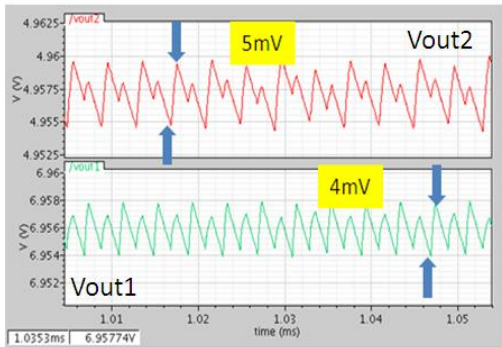


図7 定常時の出力電圧波形 (CCM)

Fig.7 Simulated output voltages at steady state.

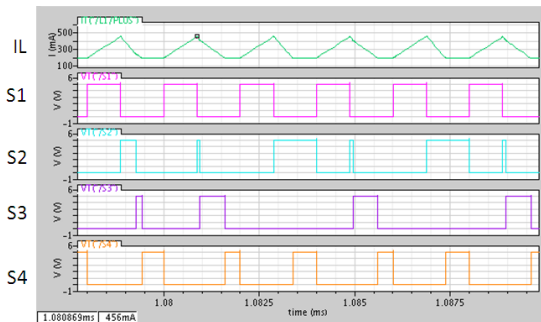


図8 動作とインダクタ電流のシミュレーション結果

Fig.8 Simulated inductor current waveform.

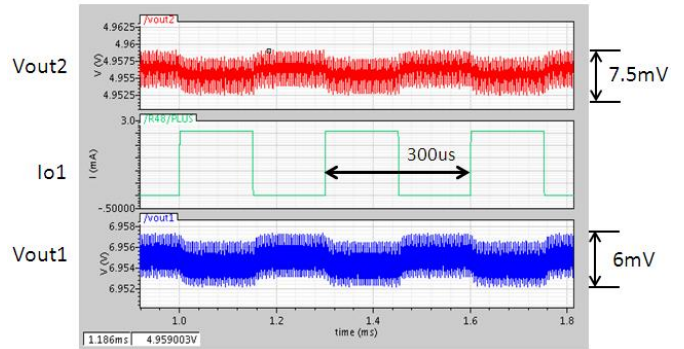


図9 負荷応答特性

Fig.9 Simulated output voltage with response to load change at output 1

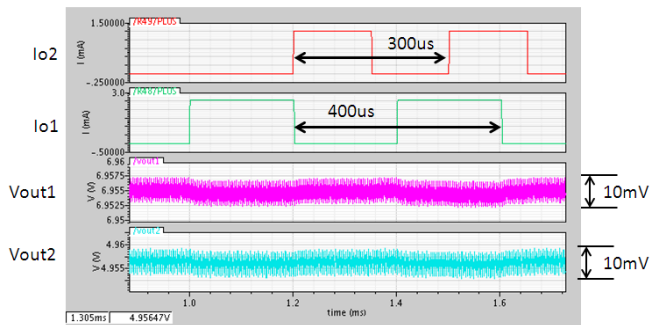


図10 セルフ/クロス・レギュレーション

Fig.10 Simulated self/cross-regulation.

4 まとめ

電流ヒステリシス制御方式インダクタ・デュアル出力SIDO昇圧形コンバータを提案し、制御論理回路による一周期間でスイッチが順番にすることをシミュレーションで確認した。負荷電流Iout1=Iout2=50mAの場合に各出力リップルが5 mVpp以下と良好な応答特性を得ている。更にセルフ/クロス・レギュレーションも5 mVpp以下と十分な性能である。

文献

- (1) 小堀康功、他「単一インダクタ2出力DC-DCコンバータの制御切替方式の一提案」電気学会 電子回路研究会、ECT-12-026 (2012年3月)
- (2) 長島辰徳、小堀康功、他「ヒステリシス制御DC-DC SIMO電源のシミュレーション結果」電子情報通信学会 集積回路研究会、東京(2012年12月)
- (3) 呉澗、小堀康功、他「シリアル制御方法単一インダクタ2出力昇圧形DC-DC変換器のシミュレーション結果」電子情報通信学会 集積回路研究会、東京 (2012年12月)