

高精度・低消費電力サイクリックADCの自己校正法の検討

劉 羽* 新井薫子 小林春夫 松浦達治 (群馬大学)
小林修 (STARC) 高井伸和 (群馬大学) 新津葵一 (名古屋大学)

Self-Calibration Technique of High-Precision Low-Power Cyclic ADC

Yu Liu, Yukiko Arai, Haruo Kobayashi, Tatsuji Matsuura (Gunma Univ.)

Osamu Kobayashi (STARC) Takai Nobukazu (Gunma Univ.), Kiichi Niitsu (Nagoya Univ.)

Abstract: This paper presents a self-calibration technique of a cyclic ADC for high precision and low power. In this technique the cyclic ADC is composed of two comparators, an MDAC, an amplifier by a factor of 2.0, digital calibration logic and a reference DAC (whose resolution is the same as that of the cyclic ADC). The cyclic ADC works in two modes: high-power mode and low-power mode. In high-power mode, the bias currents in the amplifier are large so that the amplifier works with high precision and the capacitor mismatches associated with the MDAC are measured. In low-power operation mode, the bias currents are low and we can also measure the amplifier error effects in this mode. In normal operation, the cyclic ADC works in low power mode with calibration based on these measured errors.

キーワード: サイクリック ADC, 乗算型 DAC, 容量ミスマッチ, 有限ゲイン誤差, デジタル自己校正法 (cyclic ADC, multiplying DAC, capacitor mismatch, amplifier finite gain, digital self-calibration)

1. はじめに

トランジスタのプロセス微細化によりトランジスタ利得低下、素子ばらつき増加のためアナログ回路の性能確保が困難になってきている。その中で微細化の恩恵を受けるデジタル回路を用いてアナログ回路の特性の誤差やばらつきを補正するデジタル自己校正技術が注目されている。特に AD 変換器にデジタル自己校正技術を適用した研究開発が活発に行われている。[1-5]

サイクリック AD 変換器はほかの AD 変換器に比べて構造が簡単、面積が小さく、分解能に依らず構成が同じ (分解能・サンプリングスピードの再構成が比較的容易に可能) という利点がある。[6] しかし、内部 DAC 内の容量ミスマッチやオペアンプ有限ゲイン誤差といった問題がある。これらにより、AD 変換器の特性 (線形性) に大きい影響を与える。

本論文はサイクリック AD 変換器における乗算型 DAC 内の有限ゲイン誤差や容量ミスマッチの影響についてデジタル自己校正法を提案し、Matlab シミュレーションで有効性を確認した。

提案自己校正により、サイクリック ADC 内の MDAC 回路の容量を小さくでき (そのために生じるミスマッチを補正できるので小面積で容量充放電の電力が小)、また通常動作時のアンプは低消費電力で動作可能になる。

2. サイクリック ADC

2-1 サイクリック ADC の構成と動作

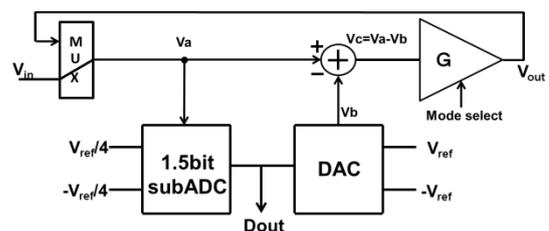


図1 サイクリック ADC の構成

Fig.1 Cyclic ADC block diagram

サイクリック ADC の構成を図1に示す。その動作は次のようになる。入力電圧 $V_{in}(V_a)$ が入力され、コンパレータ (1.5bit ADC) で比較され、デジタル出力 D_{out} を出力する。この D_{out} に対応する乗算型 DAC の出力電圧 V_b が出力され、入力電圧 V_{in} との残差 $V_c = V_a - V_b$ を得る。残差 V_c はオ

ペアンプで増幅され、MDAC 出力 V_{out} (次のサイクルでの入力電圧 V_a) となる。

2-2 サイクリック ADC の回路構成

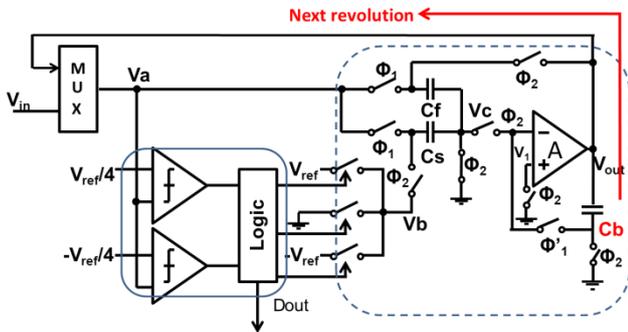


図2 サイクリック ADC の回路構成

Fig.2 Circuit of cyclic ADC.

図2にサイクリック ADC の構成を示す。実線の部分は2つのコンパレータを示す。破線の部分は乗算型 DAC 出力電圧 V_{out} で $\Phi 1$ オフ、 $\Phi 2$ オンで C_b に充電され、 $\Phi 1$ オン、 $\Phi 2$ オフでアンプの負入力にフィードバックさる。 V_{out} は次のサイクルでの入力電圧 V_a となる。以下これと同じ演算を繰り返す。このように1サイクル毎で分解能が1bit 増える。サイクリック ADC ではサイクル数を増やすことで高分解能になるが、高速サンプリングには適さない。

理想な伝達特性は $V_{out}=2*V_{in}-D_{out}*V_{ref}$ となる。

3.有限ゲイン誤差と容量ミスマッチの影響

MDAC 内オペアンプの有限ゲイン誤差がある時、ADC の出力電圧は図3 (a) のようになり、 $V_{out}=0$ の点が不動点である。容量ミスマッチがある時、ADC の出力電圧は図3 (b) のようになり、 $V_{out}=0, \pm V_{ref}$ の点が不動点である。

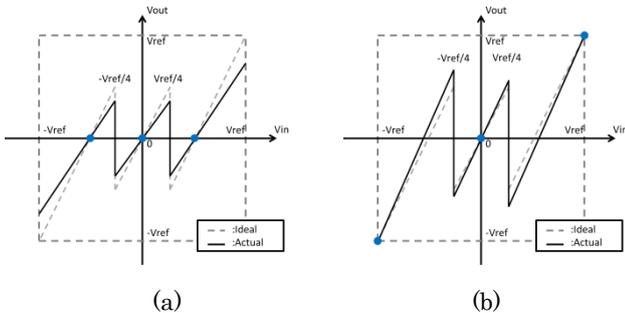


図3 (a)有限ゲイン誤差の影響 (b)容量ミスマッチの影響

Fig.3 (a) Finite gain effects. (b) Capacitor mismatch effects.

これらの誤差によりミス・コードが出てしまい、ADC 線形性を劣化させる。次節でこれらの補正を検討する。

4.乗算型 DAC 動作により伝達関数を算出

サンプリングモード(図4 (a)): スイッチ $\Phi 1$ がオンで、乗算型 DAC がサンプリングモードとなり、 V_{in} が入力電圧 V_a として入力される。この時 C_s と C_f にそれぞれ次の電荷が蓄えられる。

$$Q_f=C_f*V_{in}, Q_s=C_s*V_{in}$$

増幅モード (図4 (b)): $\Phi 1$ がオフ、 $\Phi 2$ がオンで、乗算型 DAC が増幅モードとなる。この時、 C_f 、 C_s の容量の電荷の移動が起き、 C_f 、 C_s に蓄えられる電荷 Q'_f 、 Q'_s が次式で示される値になる。

$$Q'_f=(V_{out}-V_1)*C_f, Q'_s=(V_{DAC}-V_1)*C_s$$

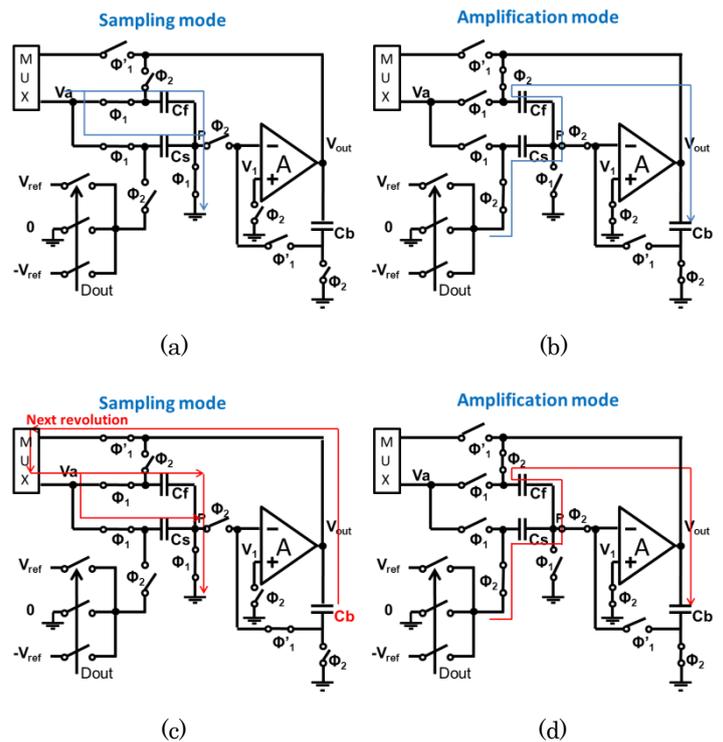


図4 乗算型 DAC の動作

(a)サンプリングモード (b)増幅モード (c)サンプリングモード (次回転) (d)増幅モード (次回転)

Fig.4 Operation of multiplying DAC.

(a) Sampling mode. (b) Amplification mode.

電荷保存則で $-Q'_s-Q'_f=-Q_s-Q_f$ を得て、 $V_1=V_{out}/A$ の式を展開し、 C_s と C_f の伝達関数中での関係は式(1)となる。

$$V_{out} = \frac{V_{in} \left(1 + \frac{C_s}{C_f}\right) - D * V_{DAC} * \frac{C_s}{C_f}}{1 + \left(\frac{C_f + C_s}{C_f} * \frac{1}{A}\right)} \approx \left(1 - \frac{1}{A\beta}\right) \left[V_{in} \left(1 + \frac{C_s}{C_f}\right) - D * V_{DAC} * \frac{C_s}{C_f}\right] \dots\dots\dots(1)$$

オペアンプの利得を A、帰還関数を $\beta = C_s / (C_s + C_f)$ 、容量ばらつきを $em = (C_s - C_f) / C_f$ 、有限ゲイン誤差を $efg = 1 / A\beta$ とすると、式(1)は式(2)になる。

$$V_{out} = (1 - efg) \left[\left(1 + \frac{em}{2}\right) * 2V_{in} - (1 + em)D * V_{ref} \right] \dots\dots\dots(2)$$

式(2)は誤差を考慮した伝達関数である。ここで、オペアンプの利得 A が無限大であれば、efg が 0 になり、回路の誤差は em のみとなる。また、em と efg の両方が 0 になる時、伝達関数は理想の場合となる。

$\Phi 1$ と $\Phi 2$ が切り替えると、 C_f と C_s の電荷が移動し (図 4 (b) 参照)、 C_b に電荷が蓄える。システムが一回転の動作をした後、またスイッチが切り替え、 $\Phi' 1$ がオフからオンになり、 C_b に蓄えられた電荷が移動する (図 4 (c) 参照)。これらの電荷は C_b からマルチプレクサ回路に戻り、次の回転の入力電圧となる。前回転と同じように動作する (図 4 (d) 参照)。スイッチのタイミングチャートを図 5 で示した。

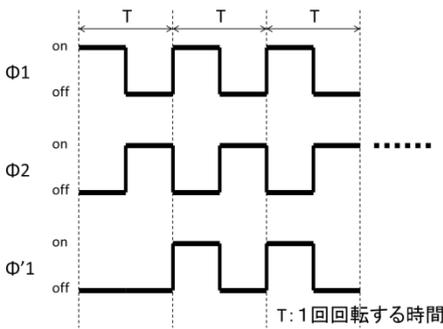


図 5 スイッチのタイミングチャート

Fig.5 Timing chart of switch.

5.サイクリック ADC のデジタル自己校正法の提案

5-1 デジタル自己校正法の原理

提案自己校正システムを図 6 に示す。自己校正の際に、高精度・高分解能を実現するため、サイクリック ADC と同じ分解能のリファレンス DAC を設ける。(このリファレンス DAC は動作スピードは遅くてよい。)

1 サイクル毎にデジタル出力 D_{out} (サイクリック変換した後、2 進重みを合成した k-bit のデータ) が出力される。この出力 (D_{out}) とリファレンス DAC の入力 (D_{in}) の差 (e_{out}) は誤差である。伝達関数により、有限ゲイン誤差と容量 mismatches のそれぞれの誤差係数を持ち、 W_b (有限ゲイン誤差係数) と W_f (容量 mismatches 係数) がシステムに組み込まれている。 W_b と W_f を平均自乗誤差(LMS)アルゴリズムで最適化し、メモリに格納する。 e_{out} が 0 になったときに自己校正を完了とする (図 7 参照)。

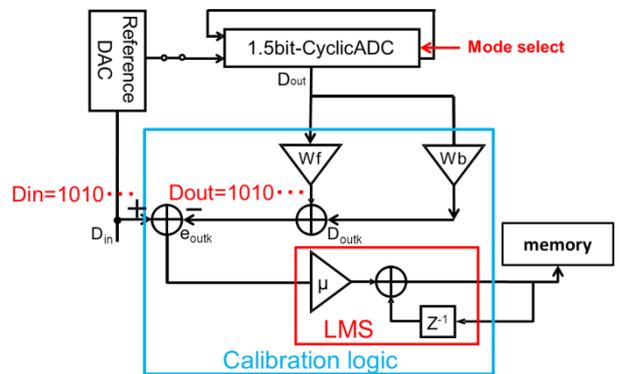


図 6 提案サイクリック ADC 自己校正システム

Fig.6 Proposed self-calibration system for cyclic ADC

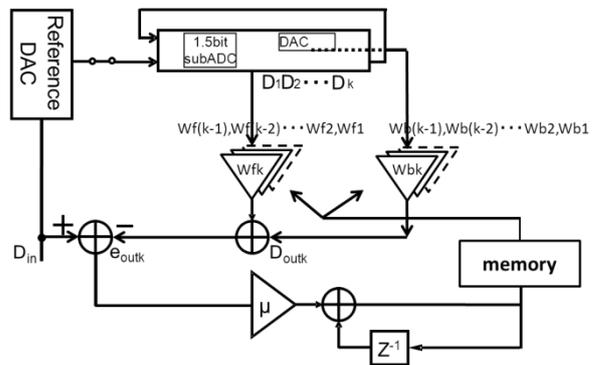


図 7 提案自己校正の動作

Fig.7 Operation of the proposed self-calibration.

5-2 回路誤差分析と数学モデル

システムの自己校正モードで、乗算型 DAC を高電力モードとし、オペアンプ利得を非常に大きく (ここでは無限大と近似) する (図 4 参照)。伝達関数で、有限ゲインの影響がなく回路に影響を与える誤差は容量 mismatches 誤差 (誤差係

数を Wf とする) のみと考える。

回路が通常モードの場合は、この時測定した誤差は容量ミスマッチと有限ゲイン誤差両方を含んでいる誤差である。容量ミスマッチ誤差を除けば、残った分は有限ゲイン誤差(誤差係数を Wb とする) と考える。

図8のように(Dout はサイクリック変換した後、2進重みを合成した k -bit のデータ)、回路が高電力モードとなり、 $Wf1$ を基準にし、回路を k サイクル動作して Wf を測定する。また回路が通常モードに戻り、 $k+1$ 回転動作して Wb を測定する。 $k+1$ 回転を動作する理由は1回目回転の有限ゲイン誤差をデジタル的に測定するため、2回目回転の subADC を用い、1回目回転の有限ゲイン誤差を測定する。このように、各回転の誤差係数の関係が図8となる。数学モデルもこの関係で立てる。

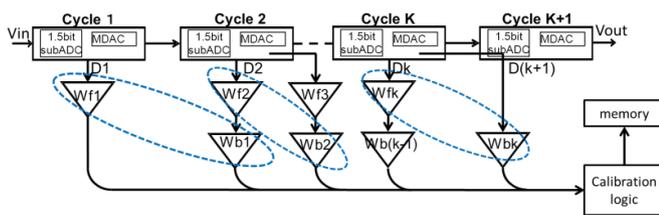


図8 サイクリック ADC の誤差分析

Fig.8 Error analysis of cyclic ADC.

$$e_{out1} = D_{in} - D_{out1} = V_{in} \left[1 - Wb1(1 - efg) \left(1 + \frac{em}{2} \right) * 2 \right] + D1[Wb1(1 - efg)(1 + em) - Wf1] \dots \dots \dots (3)$$

式(3)の第1項と第2項が0であれば、 e_{out1} は0となる。 D_{in} と D_{out1} が同じであるため、自己校正が完了と考える。1サイクルの動作をすると、式(3)により

$$Wb1 = \frac{1}{2 * (1 - efg) \left(1 + \frac{em}{2} \right)} \quad Wf1 = \frac{1}{2 * (1 + em) \left(1 + \frac{em}{2} \right)}$$

となる。 $Wb1$ と $Wf1$ が上の式に収束する。また、 k サイクルを動作すると、誤差係数は

$$Wbk = \frac{1}{\left[2 * (1 - efg) \left(1 + \frac{em}{2} \right) \right]^k} \quad Wfk = \frac{1}{2 * (1 + em) \left(1 + \frac{em}{2} \right)}$$

となる。 Wbk と Wfk が上の式に収束する。

6.シミュレーションによる提案手法の確認

提案自己校正を Matlab シミュレーションで確認した。(分解能 12bit、有限ゲイン誤差 14%、容量ミスマッチ 2%) の

場合、Cyclic ADC 線形性を図9で示す。

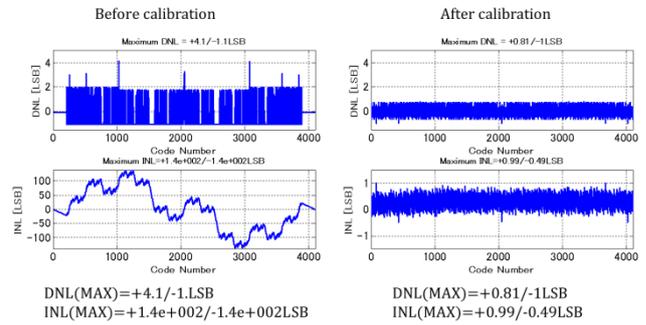


図9 サイクリック ADC の線形性

Fig.9 DNL and INL of cyclic ADC

デジタル自己校正した後(図9参照)、提案自己校正によりサイクリック ADC の線形性が改善されることがわかる。

正弦波入力に対するADC出力結果を図10に示す。

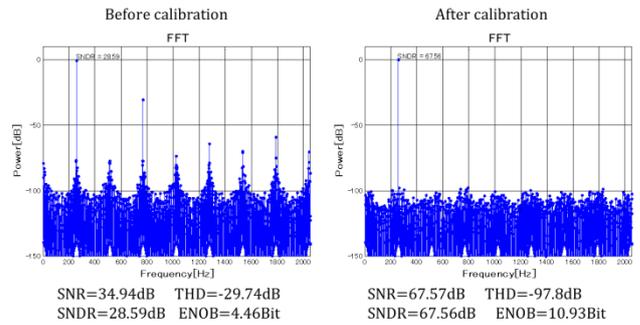


図10 サイクリック ADC のパワーパワースペクトル特性

Fig.10 Power spectrum of cyclic ADC

ADC の有効 bit 数が 4.46 (自己校正前) から、10.93bit (自己校正後) に改善した。

また各サイクルの補正係数を表1で示す。

表1 各サイクルでの補正係数

Table.1 Correction coefficients for each cycle

Wf1=0.4853	Wb1=0.5756
Wf2=0.4853	Wb2=0.3313
Wf3=0.4853	Wb3=0.1907
Wf4=0.4853	Wb4=0.1098
Wf5=0.4853	Wb5=0.0632
Wf6=0.4853	Wb6=0.0364
Wf7=0.4853	Wb7=0.0209
Wf8=0.4853	Wb8=0.0120
Wf9=0.4853	Wb9=0.0069

Wf10=0.4853	Wb10=0.0040
Wf11=0.4853	Wb11=0.0023
Wf12=0.4853	Wb12=0.0013

[6] P. G. A. Jespers, *Integrated Converters, D to A and A to D Architectures, Analysis and Simulation*, Oxford University Press (2001)

7.まとめとコメント

サイクリックADCの自己校正法を提案し Matlab シミュレーションで有効性を確認した。次の知見を得た。

1. サイクリックADCでは、何サイクル動作でも同じ回路なので、誤差係数が規則的である数学モデルが立てられた。

2. 有限ゲイン誤差係数は回転数が増加するに従い、後段回転で有限ゲインの誤差が0に近づく。

3. 量子化誤差などが拡大されると考えているため、有限ゲイン誤差はサイクリックADCの回転数が増えるにつれて、回路に影響が大きい。

提案手法はたとえば12bit分解能のサイクリックADCに対して12bit分解能・精度の参照DACが自己校正のために必要であるがこの参照DACは動作がスピードは遅くてよい。

参考文献

-
- [1] A. Verma, B. Razavi, "A 10b 500MS/s 55mW CMOS ADC", *IEEE ISSCC* (Feb. 2009).
- [2] F. Maloberti, *Data Converters*, Springer (2007).
- [3] 小川智彦, 松浦達治, 小林春夫, 高井伸和, 堀田正生, 傘昊, 阿部彰, 八木勝義, 森俊彦, "逐次比較近似ADCコンパレータ・オフセット影響の冗長アルゴリズムによるデジタル補正技術," *電子情報通信学会誌 和文誌 C*, Vol.J94-C, no.3 (2011年3月)
- [4] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori, "SAR ADC Algorithm with Redundancy and Digital Error Correction", *IEICE Trans. Fundamentals*, vol.E93-A, no.2, (Feb. 2010).
- [5] T. Yagi, K. Usui, T. Matsuura, S. Uemori, Y. Tan, S. Ito, H. Kobayashi, "Background Self-Calibration Algorithm for Pipelined ADC Using Split ADC Scheme", *IEICE Trans. on Electronics*, Vol.E94-C, No.7, pp. 1233-1236 (July 2011).